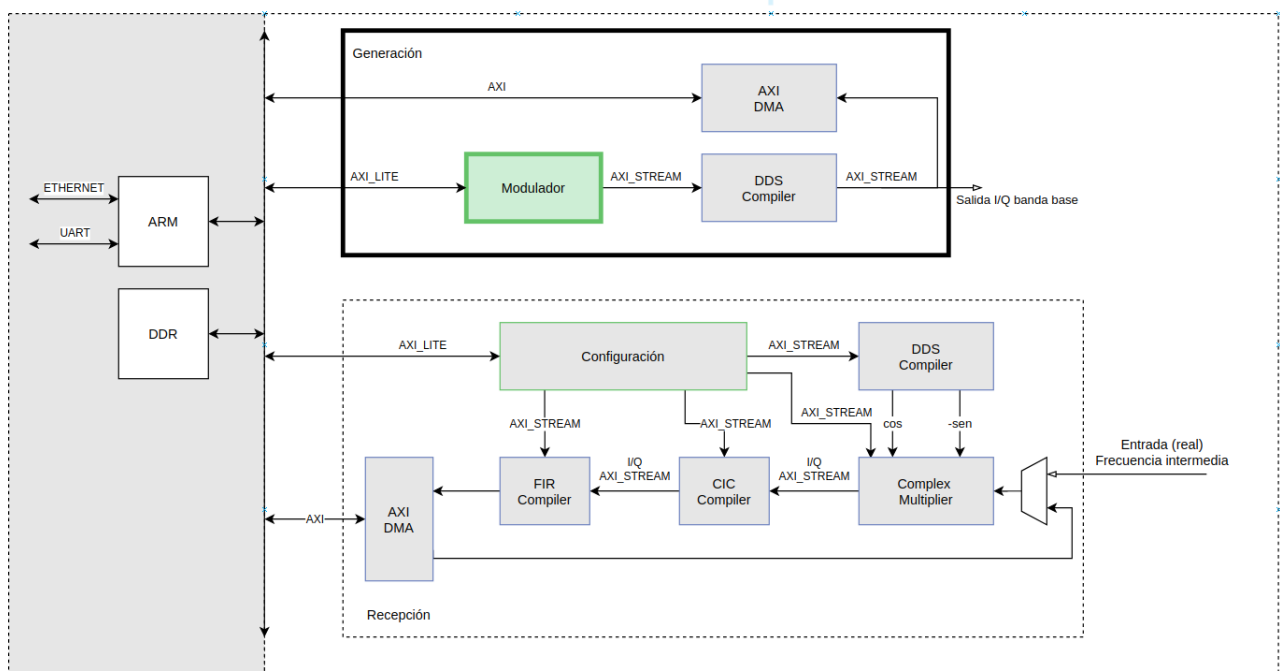


Trabajo Práctico Final

CESE 10ma cohorte - Santiago Abbate

1. Resumen

El bloque de hardware implementado comprende una parte del desarrollo del trabajo final de la CESE "Desarrollo de etapa digital para Radar Pulsado Multipropósito". El sistema general se muestra en la imagen a continuación, y el presente trabajo es parte del bloque "Modulador" marcado en color verde.



La funcionalidad del bloque de Generación es sintetizar formas de onda típicamente usadas en radares, con combinaciones de formas de onda continuas, pulsadas, moduladas en frecuencia o en fase.

Para la síntesis de las señales se eligió en el trabajo final de la CESE utilizar el IP Core de Xilinx, *DDS Compiler*, pero para la generación de las formas de onda mencionadas, es necesario configurar el *DDS Compiler* de forma dinámica para generar pulsos y variaciones en la frecuencia y fase instantánea de la señal de salida.

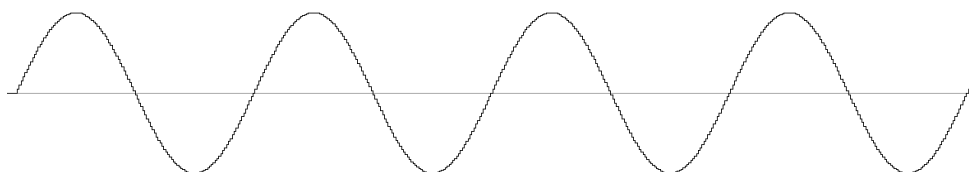
Este trabajo presenta la implementación del bloque desarrollado para configurar el *DDS Compiler*.

1.1 Formas de onda

La configuración, tanto del modulador implementado como del *DDS* apunta a generar 6 tipos de formas de onda, combinando modos de operación continuo o pulsado y modulaciones en frecuencia y en fase

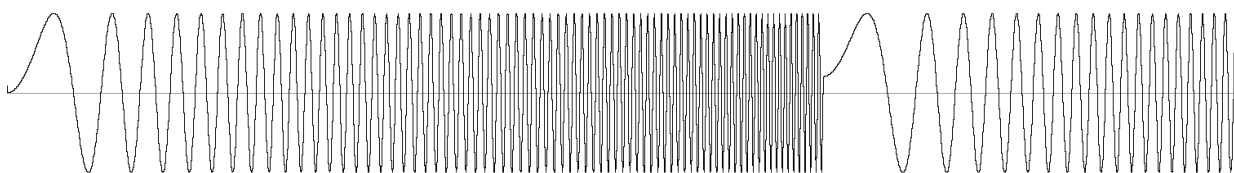
Formas de onda - Continua

1) Continua, frecuencia constante



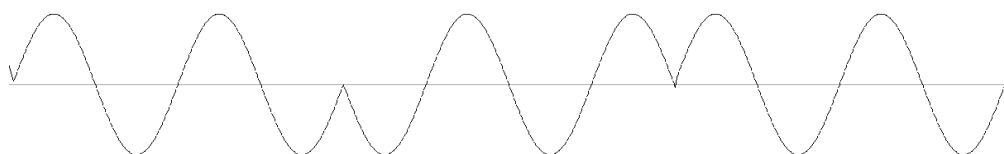
El trabajo final de la CESE plantea requerimientos para un radar con un ancho de banda de 20 MHz. Por lo tanto las ondas continuas a generar se deben poder configurar con un límite superior en 20MHz.

2) Continua, modulada en frecuencia



Una de las modulaciones más empleadas en RADAR es la conocida como "*chirp*". Corresponde a una modulación lineal de la frecuencia instantánea de la señal. La modulación implementada corresponde a una del tipo "*up-chirp*".

3) Continua, modulada en fase



Los requerimientos del trabajo final establecen la implementación de una modulación en fase conocida como "códigos Barker". Estos códigos corresponden con una secuencia de cambios de fase de una señal, que presentan un pico máximo de autocorrelación bien definido.

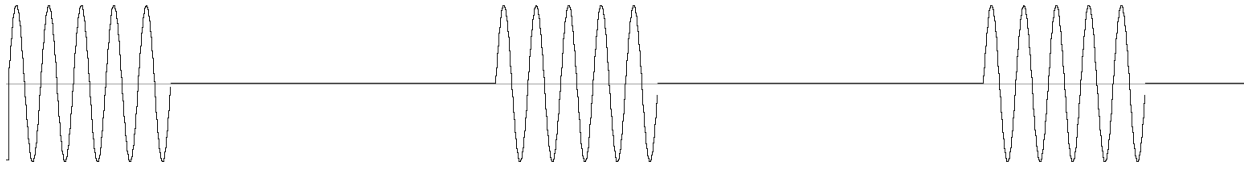
Los códigos son los siguientes, teniendo para un «1» y para un «-1» un cambio de fase de 180° de la señal senoidal.

Longitud	Código
2	+ -
3	+ + -
4	+ - + +
5	+ + + - +
7	+ + + - - + -
11	+ + + - - - + - - + -
13	+ + + + + - - + + - + - +

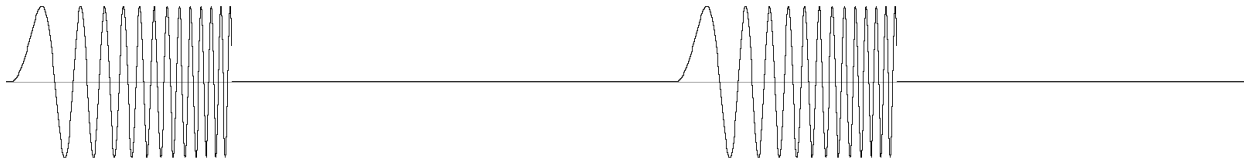
Formas de onda - Pulsada

En este modo de operación se generan pulsos de las distintas formas de onda mostradas anteriormente. Es necesario configurar el ancho de cada pulso, y el intervalo de repetición entre pulsos (período).

4) Pulsada sin modulación



5) Pulsada modulada en frecuencia

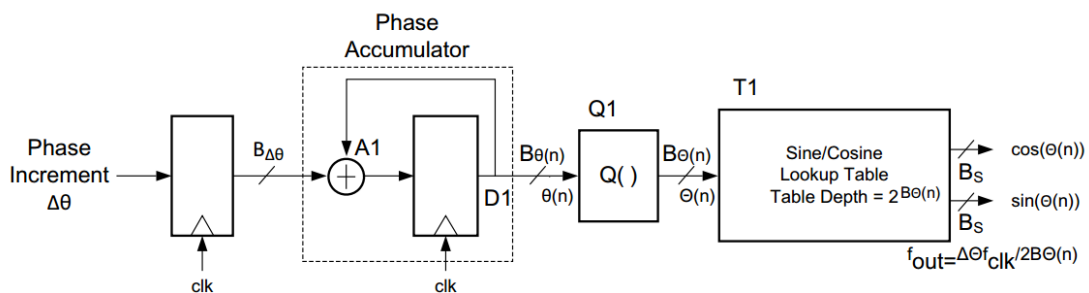


6) Pulsada modulada en fase



1. 2 DDS Compiler

El IP Core «DDS Compiler» es un sintetizador digital de señales senoidales (Direct Digital Synthesizer) que, básicamente, cuenta con un acumulador de fase y una memoria de look up con valores precargados de un semiciclo de un seno o coseno.



A la salida del DDS se generan señales senoidales con una frecuencia dada por:

$$f_{out} = \frac{f_{clk} \Delta \theta}{2^{B_{\theta(n)}}}$$

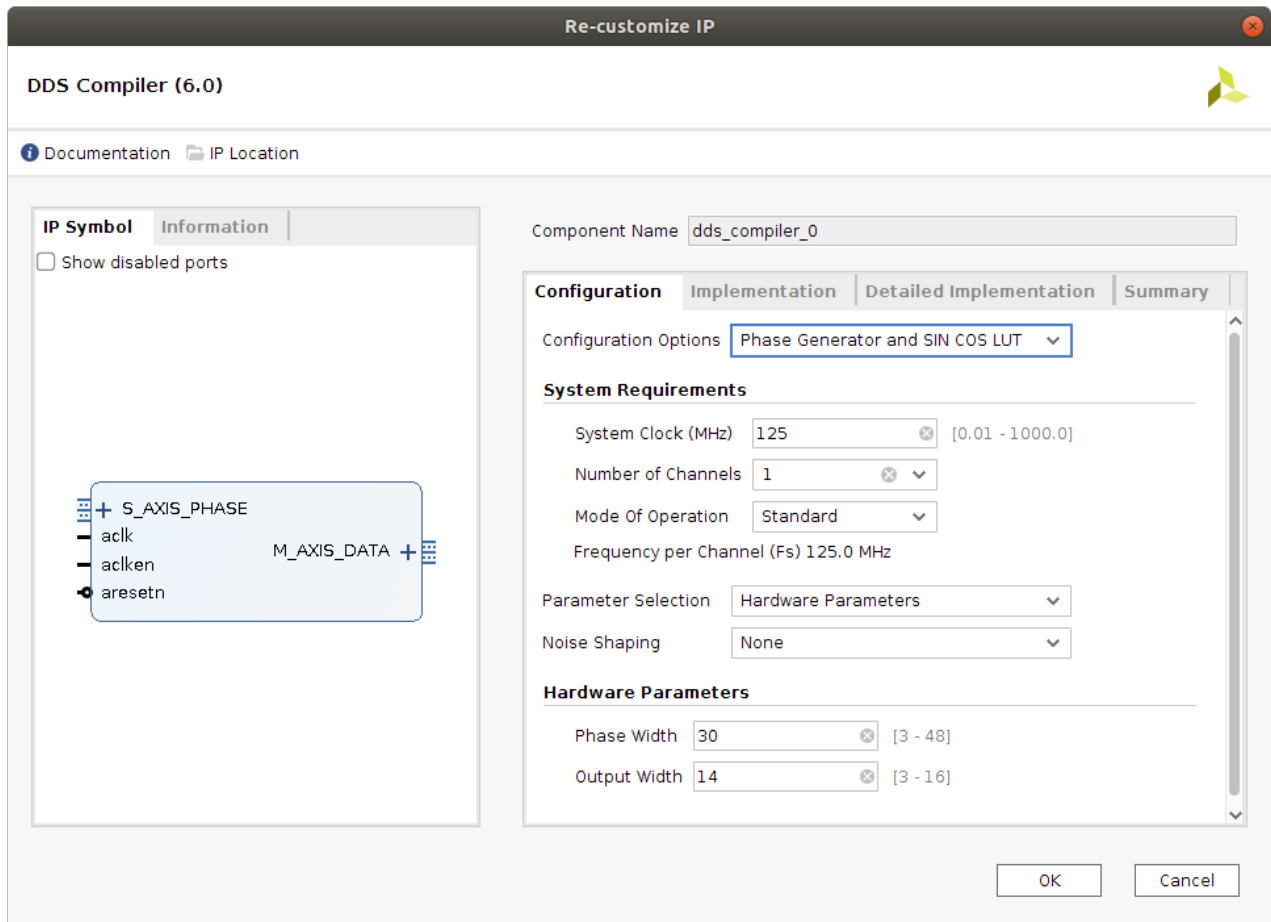
Con:

f_{clk} : Frecuencia de reloj.

$\Delta \theta$: Incremento de fase. Este es el parámetro de entrada principal, y nos va a dar la posibilidad de configurar dinámicamente la frecuencia de las señales generadas.

$B_{\theta(n)}$: Cantidad de bits del acumulador de fase.

El bloque IP, se configuró según se muestra en la siguiente imagen:



La interfaz de entrada y salida del Core es compatible con el bus AXI4-Stream, y es a través de este bus que el bloque de lógica desarrollado en el trabajo, configura la modulación de las señales.

Según la configuración elegida, las señales de entrada al DDS que se deben comandar con el modulador implementado, son las siguientes, y forman parte de los datos transmitidos a través del bus AXI-Stream.

m_axis_modulation_tdata (71 downto 0)

Sin usar	RESYNC	Sin usar	POFF				Sin usar	PINC			
71	65	64	63	62	61		32	31	30	29	0

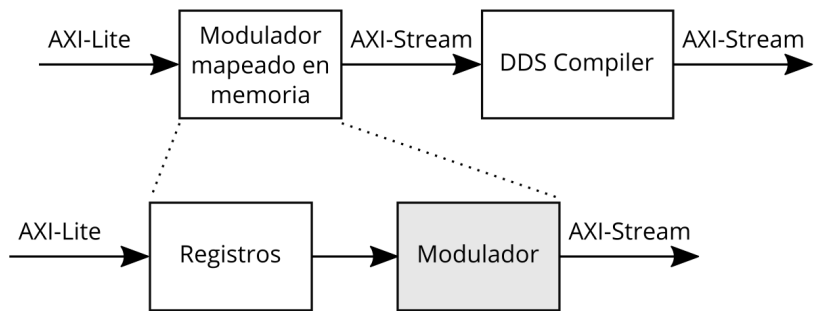
Los campos de esta señal de datos del bus representan lo siguiente:

- **PINC:** Configuración externa del incremento de fase del DDS. **Este parámetro setea la frecuencia instantánea de salida.**
- **POFF:** Configuración externa del cambio de fase del DDS. Este parámetro suma una fase constante al acumulador de fase del DDS. **Este parámetro se utiliza para generar cambios de fase.**
- **RESYNC:** Bandera que inhibe el funcionamiento del acumulador del DDS, y establece su fase interna según el valor de PINC. **Esta señal de control es utilizada para generar los pulsos en modo pulsado, inhibiendo la generación de señales y "resetando" a un valor inicial para cada pulso.**

2. Bloque Modulador

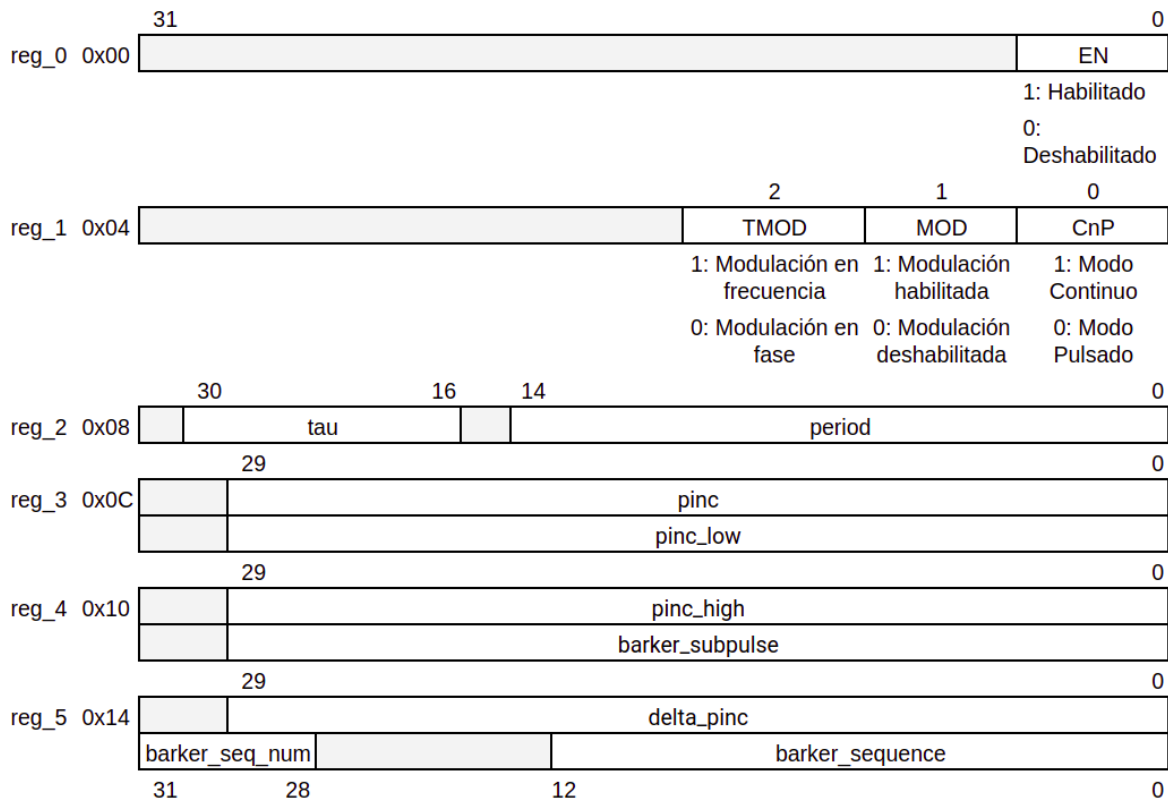
El bloque modulador que se muestra en este trabajo, forma parte de la sección de Generación del trabajo final, pero a su vez forma parte de un bloque que contiene una serie de registros de configuración mapeados a memoria y accesibles a través de un bus AXI-Lite.

El bloque desarrollado es el que se muestra en gris en la imagen a continuación.



2.1 Mapa de memoria

A través de los registros se establece la configuración del modulador, con los campos de cada registro organizados de la siguiente manera. Los rangos válidos de los campos están definidos previamente por los requerimientos del sistema completo:



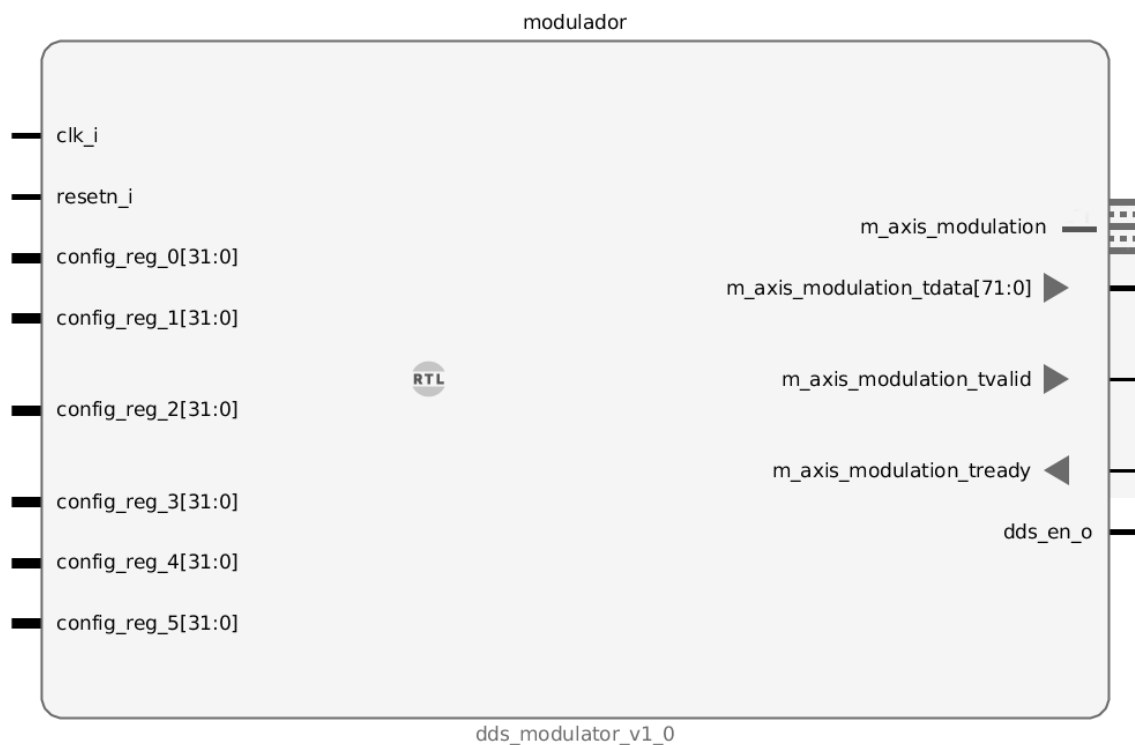
reg_0 Habilitación/Deshabilitación del modulador

reg_1 Bits de configuración de modo continuo o pulsado, y tipo de modulación.

reg_2	period: En modo pulsado, Período del pulso tau: En modo pulsado, Ancho del pulso
reg_3	pinc: En modo continuo o modulado en fase, Incremento de fase (constante) para el DDS pinc_low: En modo modulado en frecuencia, equivale al incremento de fase inicial del DDS
reg_4	pinc_high: En modo modulado en frecuencia, equivale al incremento de fase final del DDS barker_subpulse: En modo modulado en fase, Ancho de cada subpulso
reg_5	delta_pinc: En modo modulado en frecuencia, equivale a la pendiente de cambio de la fase del DDS. barker_sequence: En modo modulado en fase, Código binario correspondiente al código Barker. barker_seq_num: En modo modulado en fase, Número de código Barker.

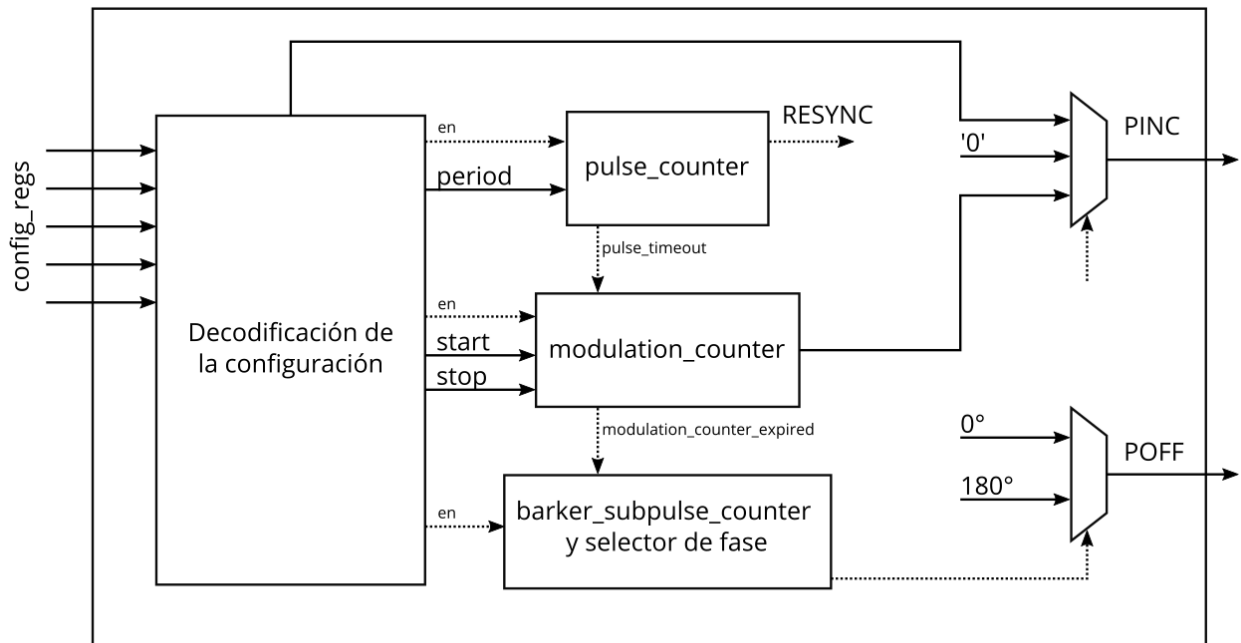
2.2 Señales de entrada y salida

- Los registros de configuración se conectan directamente al módulo mediante las señales *config_reg_N*.
- La señal *dds_en_o* actúa como "clock enable" del core DDS que se conecta "aguas abajo".
- El bus AXI-Stream, *m_axis_modulation*, contiene los campos PINC, POFF y RESYNC mencionados anteriormente.



2.3 Arquitectura interna del bloque modulador

A continuación se muestra un esquema de lo implementado. Las modulaciones se realizan decodificando la configuración que llega a través de los registros y habilitando/deshabilitando una serie de contadores que generan las correspondientes señales para armar los campos PINC, POFF y RESYNC del bus AXI-Stream.

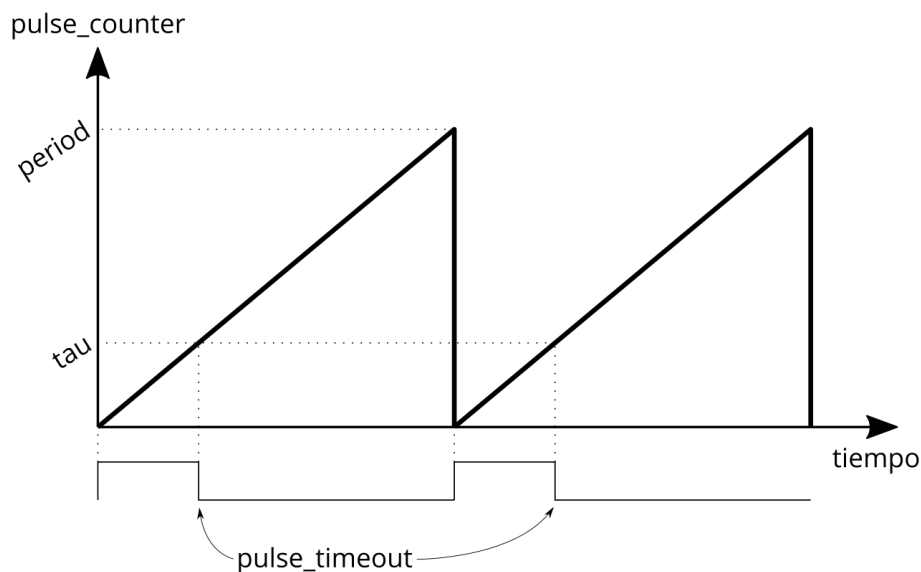


*Las señales y bloques son una representación esquemática y resumida de lo implementado. No representan exactamente los nombres y totalidad de las señales del código.

2.4 Modo Pulsado vs Modo Continuo

En modo pulsado se generan señales por un período de tiempo y luego se inhibe la generación hasta iniciar el próximo período. Esto se realiza mediante el contador *pulse_counter*.

El período y ancho de pulso se configuran externamente, y una vez habilitado, el contador se incrementa periódicamente, reseteándose en la cuenta máxima, y generando una señal *pulse_timeout_n* que indica si se llegó o no al ancho de pulso (*tau*).



Pulse Counter: Representación de la cuenta para la generación de pulsos

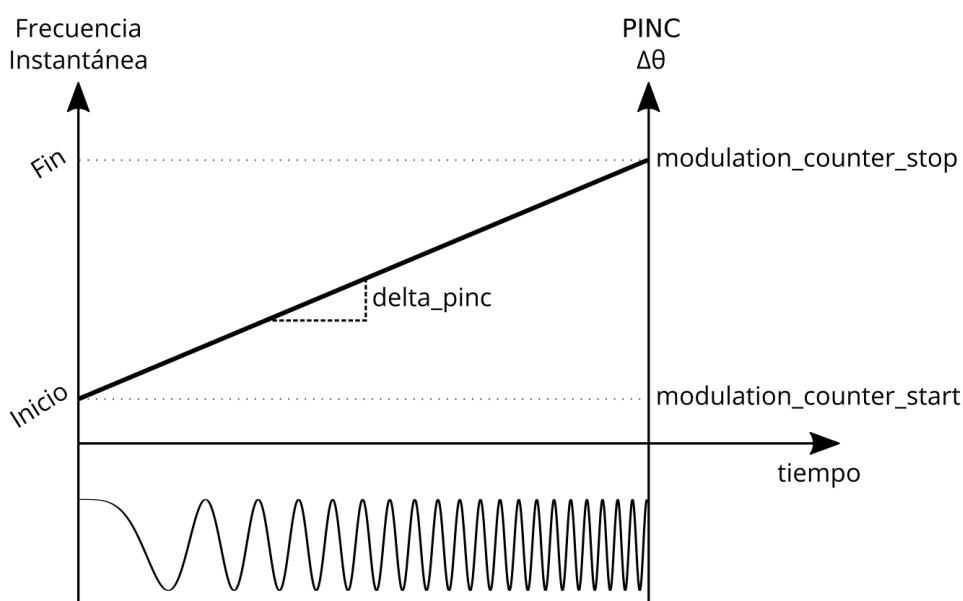
La señal de timeout del contador es utilizada para inhibir la generación del DDS mediante la señal RESYNC del bus de configuración.

En modo continuo, el contador de pulsos está deshabilitado.

2.5 Modulación en frecuencia

Para variar linealmente la frecuencia de salida del DDS se debe generar una rampa que se incremente desde el valor inicial al valor final del incremento de fase ($\Delta\theta$, ó PINC). Estos valores estarán dados por el ancho de banda de la modulación en frecuencia que se desee.

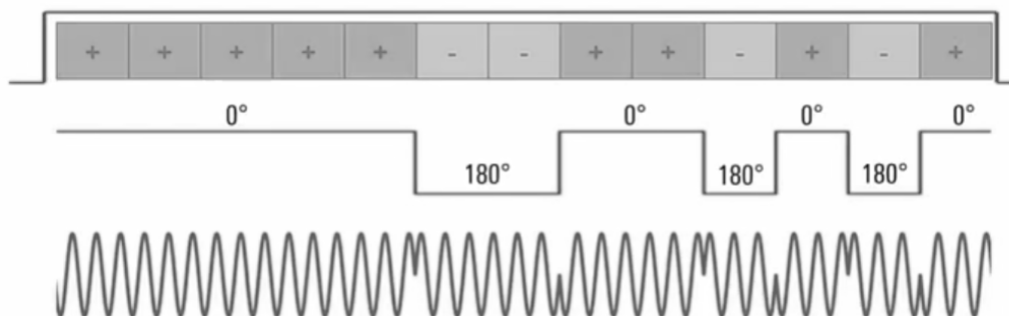
La rampa se implementó mediante otro contador (*modulation_counter*). El bloque implementado recibe a través de las señales de configuración el valor de *PINC* de inicio y de fin, y el valor de incremento del contador de modulación (*delta_pinc*) que corresponde a la pendiente de la rampa que se muestra en la imagen siguiente:



De esta manera se generará una señal "chirp" de un ancho de banda y duración específicos.

Para poder operar en conjunto con el modo pulsado, el contador de modulación es habilitado/deshabilitado por el contador de pulsos en caso que el modo sea: "Pulsado con modulación en frecuencia".

2.6 Modulación en fase



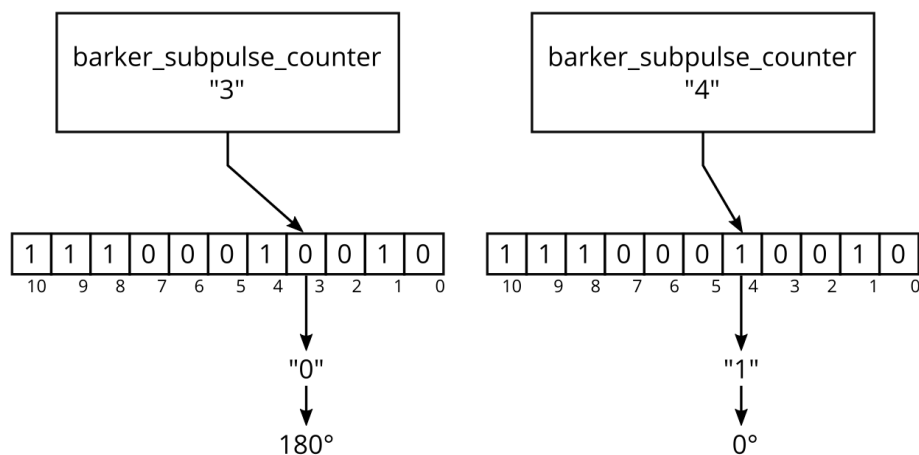
La modulación en fase requiere generar cambios de fase de 180° según una secuencia de bits que el bloque recibe a través de una de las entradas de configuración. Como el *DDS Compiler* cuenta con la entrada POFF específica para aplicar el defasaje, el modulador únicamente debe colocar en la estructura de datos

del bus AXI la fase correcta en cada instante de la secuencia de modulación.

Se necesita poder generar todas las 7 secuencias Barker vistas anteriormente, por lo que al ser de longitud variable, el modulador recibe además del código correspondiente a la secuencia, un valor que indica qué número de secuencia es (2, 3, 4, 5, 7, 11, ó 13), y la duración en tiempo (ciclos de reloj) que se desea para cada "subpulso" de la secuencia. Por ejemplo, una secuencia de longitud 7 bits, posee 7 subpulsos. Estableciendo una longitud de subpulso de 2 microsegundos, la secuencia total tendrá una duración de 14 microsegundos.

Para saber qué defasaje aplicar se implementó un contador que indica cuál es el subpulso actual, y así extraer el valor del bit de la secuencia correspondiente y, en función de ese valor, aplicar o no el cambio de fase.

Este tercer contador es habilitado/deshabilitado una vez que se cumple el tiempo correspondiente a cada subpulso. Se tomó la decisión de utilizar el mismo contador para contar la longitud de los subpulsos que para la modulación en frecuencia (modulation_counter), dado que ambas modulaciones no pueden estar activas simultáneamente.

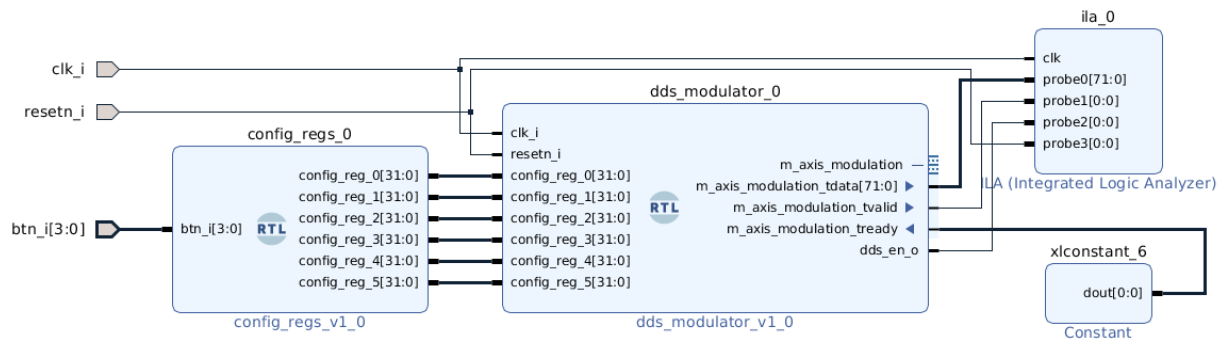


2.7 Bloque Top e implementación

Para realizar la síntesis e implementación del sistema se generó un diagrama en bloques en Vivado con una instancia del modulador implementado y un pequeño bloque HDL que realiza una interfaz entre los botones de la placa Arty y distintos valores de configuración.

En función del botón apretado en la placa, se ingresa al modulador uno de cuatro posibles configuraciones.

Además se agregó un bloque ILA para verificación en hardware de las señales generadas por el modulador.



A continuación se muestra la tabla de recursos de la FPGA tomando como implementación al módulo top de la imagen anterior. La primera tabla muestra los valores absolutos y la segunda el porcentaje. Se observa que el bloque ILA es el que ocupa la mayor cantidad de los recursos.

Name	Slice LUTs (17600)	Slice Registers (35200)	F7 Muxes (8800)	Slice (4400)	LUT as Logic (17600)	LUT as Memory (6000)	Block RAM Tile (60)	Bonded IOB (100)	BUFGCTRL (32)	BSCANE2 (4)
trabajo_final_wrapper	1501	2282	3	737	1331	170	34	6	2	1
dbg_hub (dbg_hub)	444	727	0	239	420	24	0	0	1	1
trabajo_final_i (trabajo_final)	1057	1555	3	507	911	146	34	0	0	0
config_regs_0 (trabajo_final)	3	0	0	1	3	0	0	0	0	0
dds_modulator_0 (trabajo_final)	84	34	0	31	84	0	0	0	0	0
ila_0 (trabajo_final_ila_0_0)	970	1521	3	478	824	146	34	0	0	0

Name	Slice LUTs (17600)	Slice Registers (35200)	F7 Muxes (8800)	Slice (4400)	LUT as Logic (17600)	LUT as Memory (6000)	Block RAM Tile (60)	Bonded IOB (100)	BUFGCTRL (32)	BSCANE2 (4)
trabajo_final_wrapper	8.53%	6.48%	0.03%	16.75%	7.56%	2.83%	56.67%	6.00%	6.25%	25.00%
dbg_hub (dbg_hub)	2.52%	2.07%	0.00%	5.43%	2.39%	0.40%	2.07%	0.00%	0.00%	0.00%
trabajo_final_i (trabajo_final)	6.01%	4.42%	0.03%	11.52%	5.18%	2.43%	4.42%	0.00%	0.00%	0.00%
config_regs_0 (trabajo_final)	0.02%	0.00%	0.00%	0.02%	0.02%	0.00%	0.00%	0.00%	0.00%	0.00%
dds_modulator_0 (trabajo_final)	0.48%	0.10%	0.00%	0.70%	0.48%	0.00%	0.10%	0.00%	0.00%	0.00%
ila_0 (trabajo_final_ila_0_0)	5.51%	4.32%	0.03%	10.86%	4.68%	2.43%	4.32%	0.00%	0.00%	0.00%

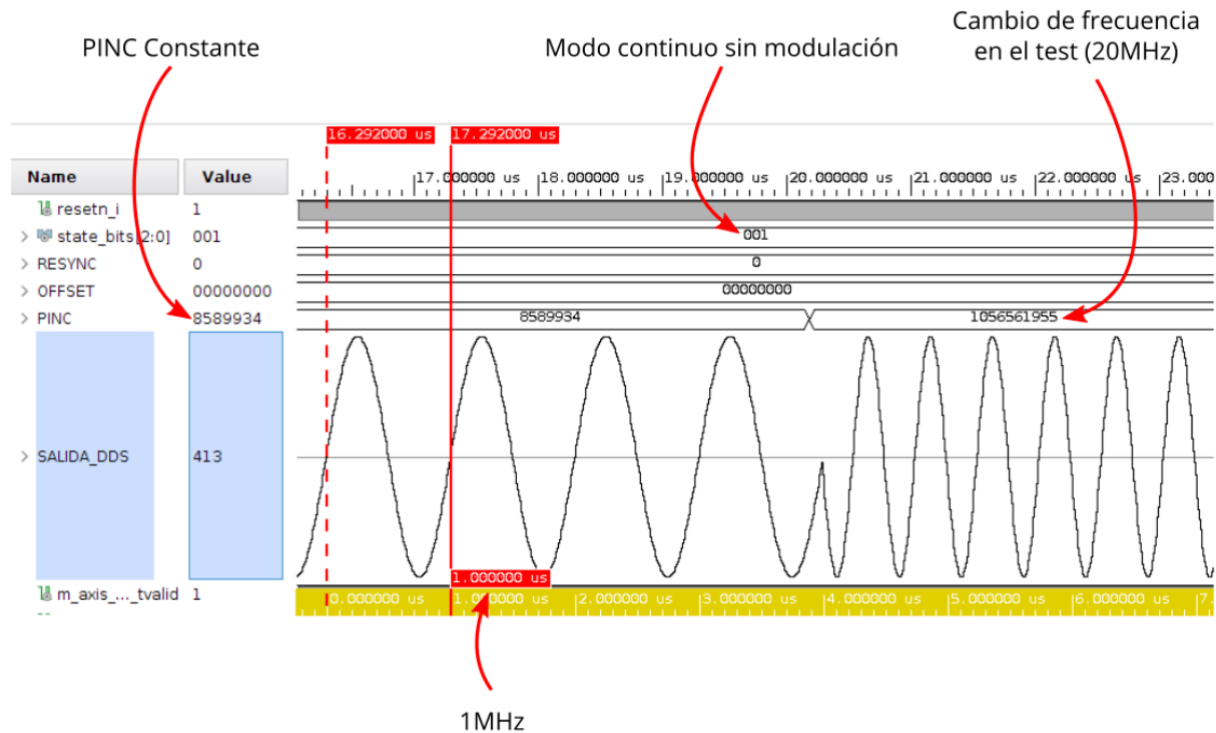
3. Tests

3.1 Tests en simulación

Mediante simulaciones de comportamiento (behavioral), se verificó el funcionamiento de los 6 modos de operación. Un mismo banco de pruebas realiza de forma secuencial las configuraciones para cada uno de los modos, instanciando también al *DDS Compiler* para observar las formas de onda generadas.

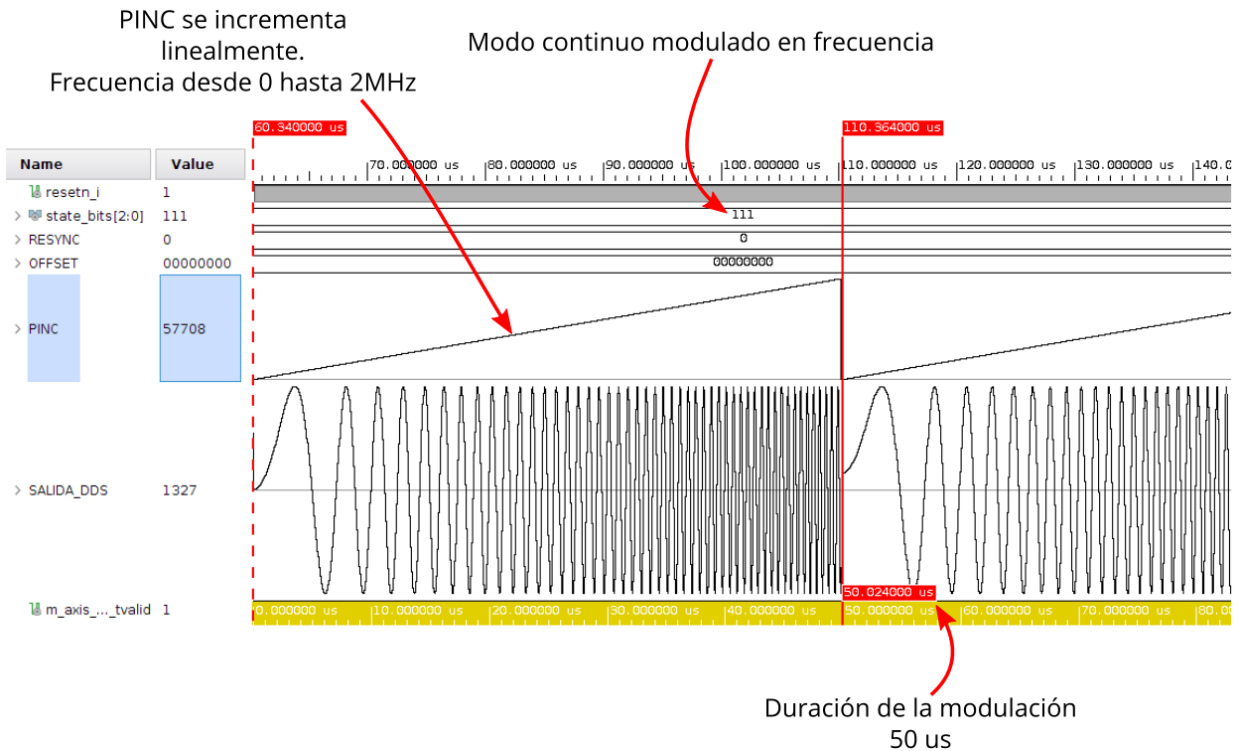
3.1.1 Modo continuo sin modulación

Se configuró el test para generar una frecuencia constante de 1 MHz, y cambiarla luego de un período de tiempo a 20 MHz.



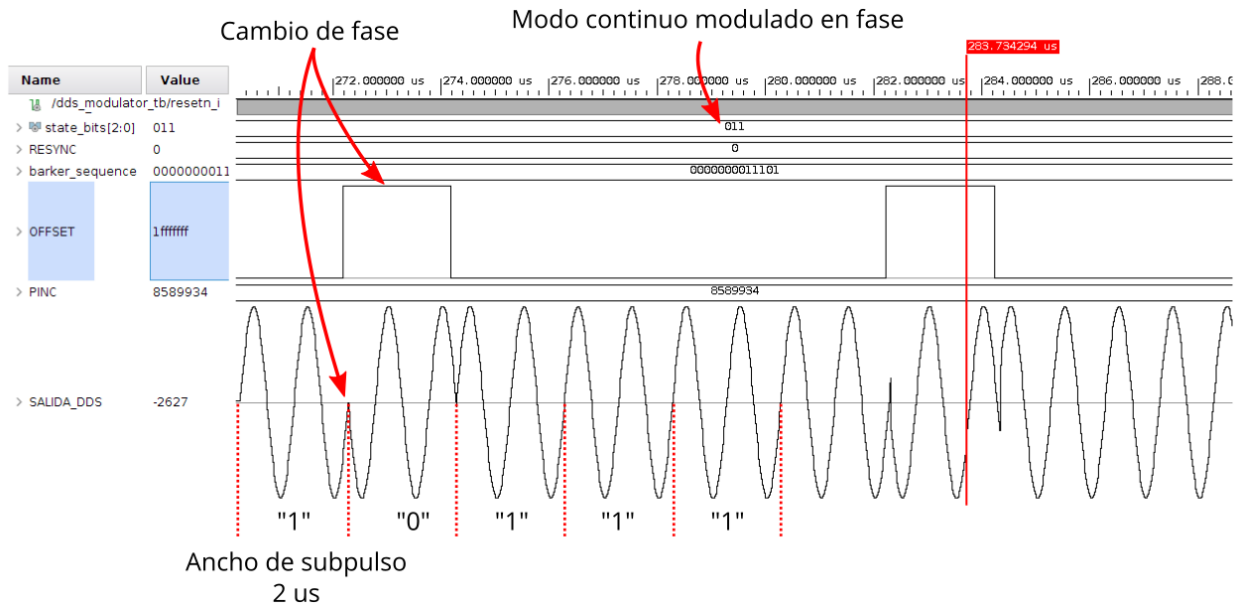
3.1.2 Modo continuo modulado en frecuencia

Se configuró el test para generar una modulación en frecuencia de 0 a 2 MHz en un intervalo de 50 us.



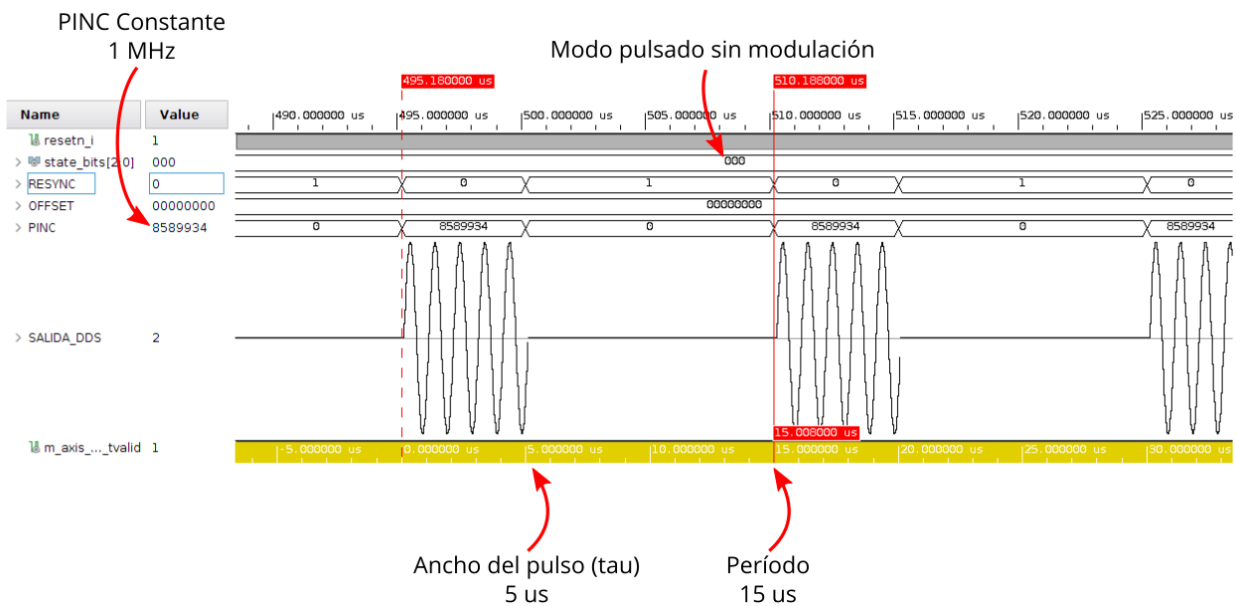
3.1.3 Modo continuo modulado en fase

Se configuró el test para generar una modulación en fase con el código Barker N°5, de ancho de subpulso de 5 us.



3.1.4 Modo pulsado sin modulación

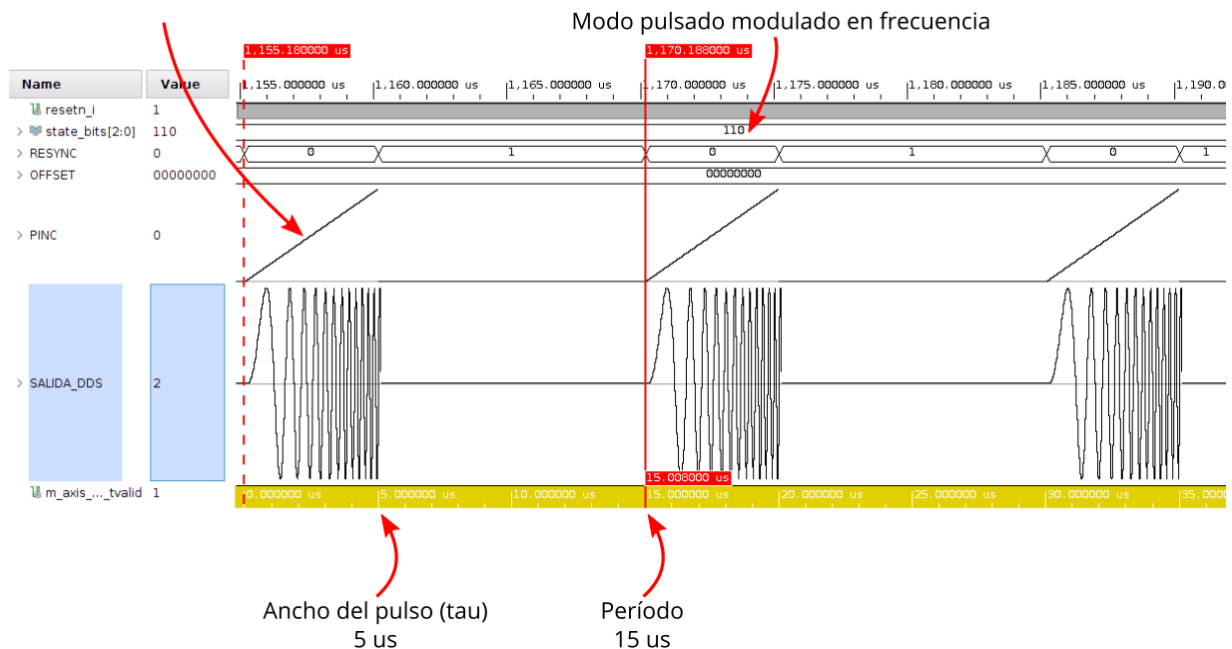
Se configuró el test para generar pulsos de 1MHz, con un ancho de 5 us y un período de 15 us.



3.1.5 Modo pulsado modulado en frecuencia

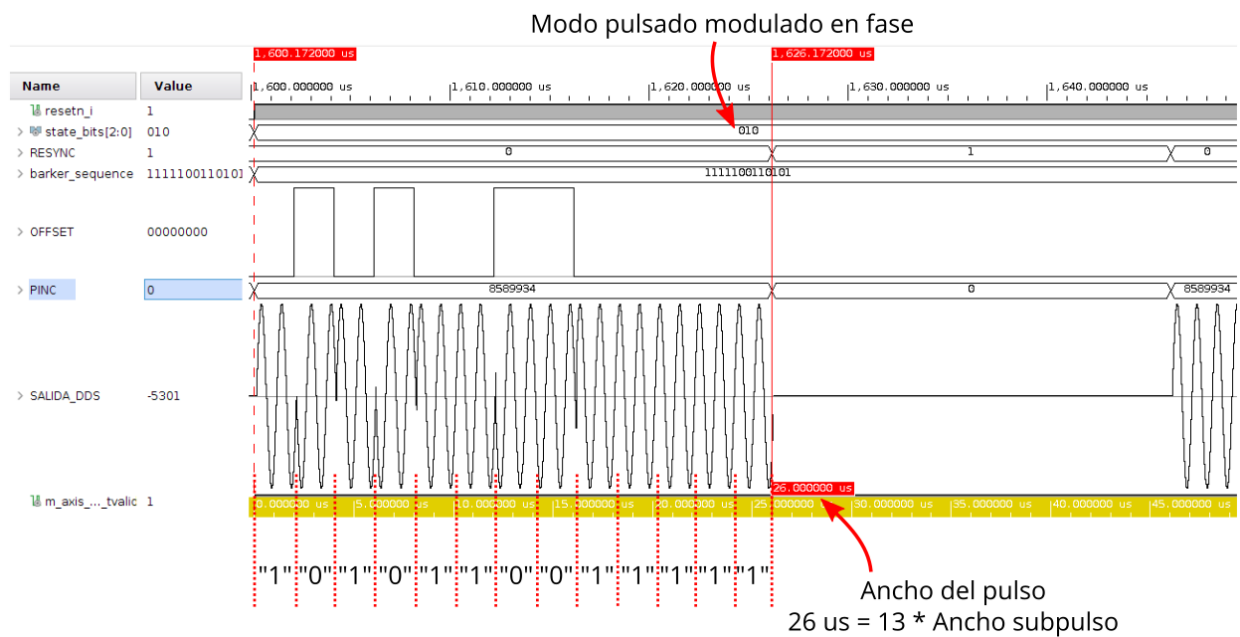
Se configuró el test para generar pulsos de 5 us con período de repetición de 15 us y modulados en frecuencia de 0 a 5MHz.

PINC se incrementa
linealmente.
Frecuencia desde 0 hasta 5MHz



3.1.6 Modo pulsado modulado en fase

Se configuró el test para generar pulsos de modulados en fase, con el código Barker N° 13, con subpulsos de duración 2 us.



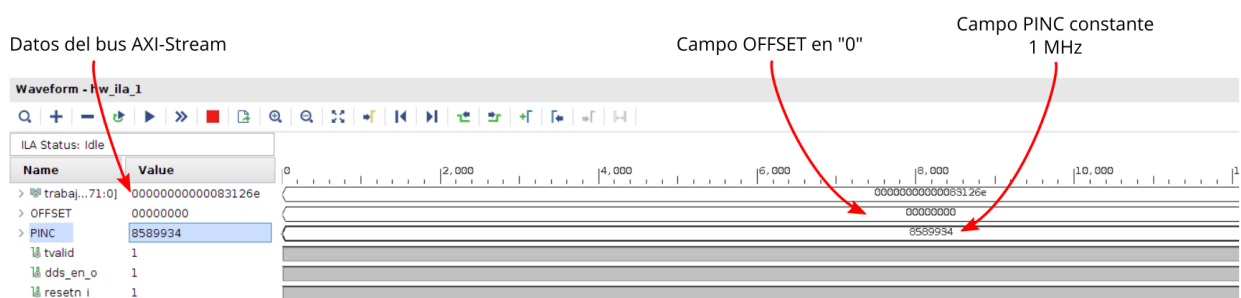
3.2 Test con ILA

Se generó el bitsream y se programó la placa Arty Z7-10 con el módulo top mostrado en la sección 2.7.

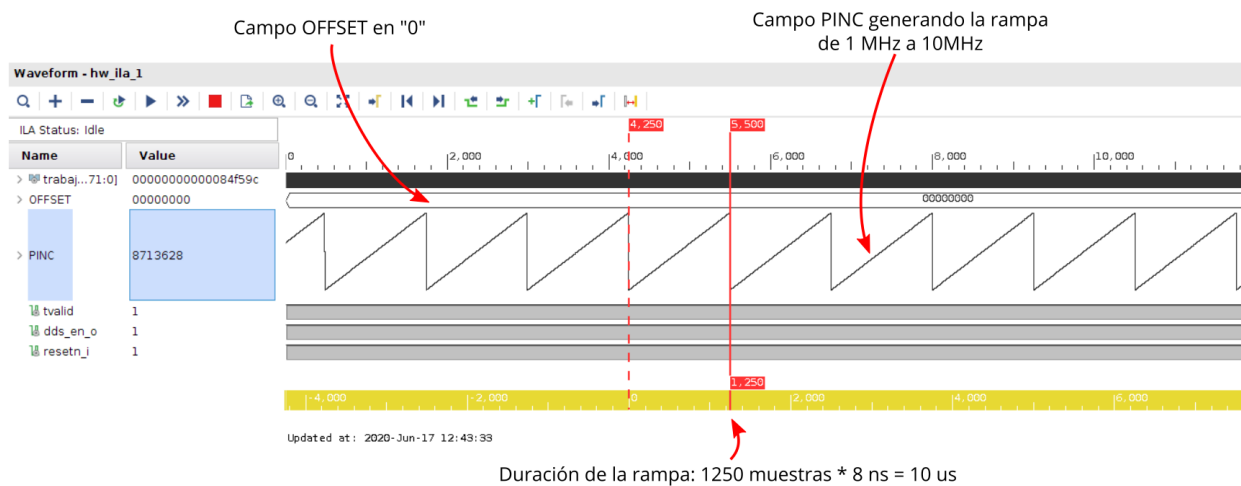
Los botones BTN0, a BTN3 de la placa se utilizan para configurar el modulador en estas 4 posibles configuraciones:

- BTN0: Modo frecuencia constante en 1MHz
- BTN1: Modo continuo modulado en frecuencia de 1 MHz a 10 MHz en 10 microsegundos.
- BTN2: Modo continuo modulado en fase. Secuencia Barker N° 13, ancho de subpulso de 2 us, frecuencia de 1MHz.
- BTN3: Modo pulsado sin modulación. Ancho del pulso 5 us, período 16 us.

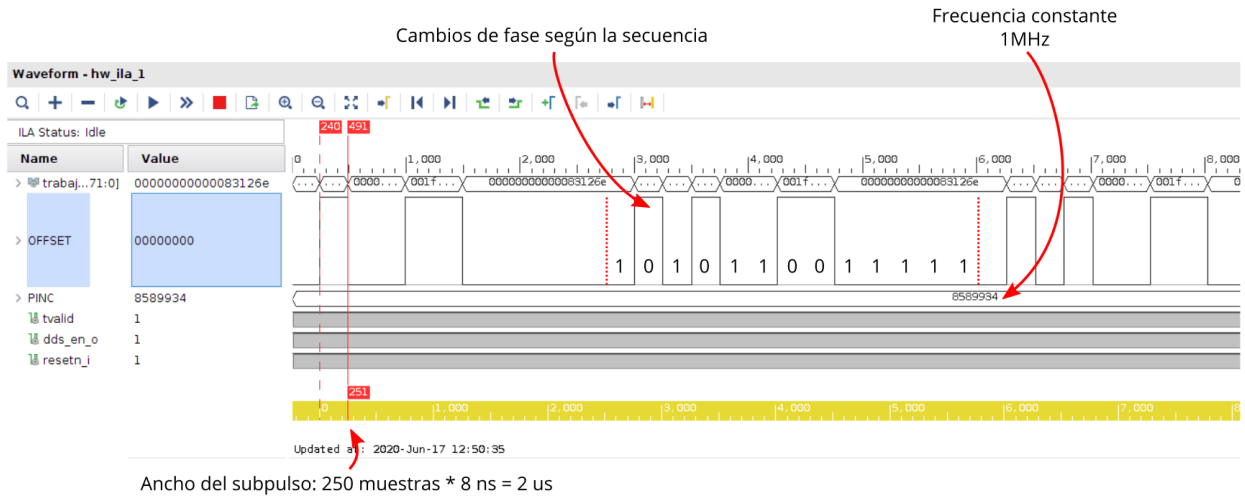
3.2.1 BTN0 presionado



3.2.2 BTN1 presionado



3.2.3 BTN2 presionado



3.2.4 BTN3 presionado

