

Departamento de Ingeniería Electrónica  
Facultad de Ingeniería Universidad de Antioquia  
Electrónica Digital 1  
Práctica No. 3: Diseño e implementación de circuitos  
combinacionales modulares  
**Guía**

## **OBJETIVOS**

- Diseñar circuitos con circuitos combinacionales, registros, contadores constituidos de múltiples módulos (mux, memoria ROM, decos, ALU, Registros, etc.).
- Adquirir habilidades en el modelado genérico (parametrizable) con VHDL de circuitos digitales.
- Adquirir habilidades en el diseño de testBench con VHDL.
- Utilizar los Displays de 7 segmentos para desplegar información.

## **DESCRIPCIÓN**

En este laboratorio se suministrará a cada Equipo un problema que deberá implementar en la FPGA (Xilinx Artix-7 XC7A35T-ICPG236C) de la tarjeta Basys3. El diseño debe implementarse de forma modular y debe ser parametrizado (use la instrucción generics) donde sea posible. Se pueden utilizar en la implementación las diferentes estrategias de modelado (comportamental, flujo de datos, estructural). Los testBench para la simulación del circuito deben permitir una verificación completa del mismo. Para esto debe generarse los vectores de prueba y realizarse la verificación automática mediante un módulo verificador. Cada Grupo deberá usar la ALU implementada en la práctica anterior.

En la primera parte se debe implementar un circuito en la tarjeta Basys3 y verificar el funcionamiento de los contadores y divisores de frecuencias. Este circuito lo implementarán todos los grupos. También se debe realizar el un testbench. Mida los periodos de las señales: clk\_interno y CLK-1HZ, CLK\_16MSE. Verifique como varían las señales EN0, EN1, EN2 y EN3 que activan los display de 7 segmentos. Modifique el circuito de acuerdo como se describe en el anexo.

## **PROCEDIMIENTO, PARA LA SEGUNDA PARTE**

1. Construya un esquema de sus circuitos y un plan para implementar cada módulo de su circuito: mux, decos, ALU, memoria ROM, etc. (Qué instrucciones VHDL va a usar para diseñar cada módulo?).
2. Use, donde sea posible, la instrucción "generic" en la entidad.
3. Planee una estrategia para automatizar las pruebas por simulación. Debe considerar el tamaño de puertos de entrada y salida para definir el número de vectores de prueba necesarios, que permitan verificar completamente su circuito.
4. Modele su circuito con VHDL, además del testBench. Organice el código por módulos. Introduzca comentarios en el código para que sea fácilmente entendible. En cada sección de código explique cómo funciona.
5. Realice una simulación comportamental.
6. Sintetice el circuito y realice una simulación de timing. Analice los reportes y los esquemáticos generados. Establezca el tiempo de atraso total de su circuito. Interprete el esquemático del análisis y el mostreado después de la síntesis). Si coincide con sistema diseñado ?
7. Implemente el circuito en la tarjeta Basys3.. Realice las pruebas del circuito en la tarjeta. Especifique el conjunto de vectores de prueba que va a usar.

## **INFORME**

1. La práctica tiene una duración de 2 semanas.
2. Cada Grupo debe mostrar funcionando el circuito en el laboratorio a nivel de simulación.
3. Se debe entregar un informe detallado con los resultados obtenidos de la parte 1 y la parte2, incluyendo las gráficas con las simulaciones y los informes suministrados por la herramienta. Anexe los archivos VHDL de cada módulo.
4. Siga las pautas dadas para la realización y el envío del informe, de acuerdo a Las indicaciones publicadas en el Team.

## **CALIFICACIÓN**

1. Funcionamiento completo del circuito, simulación y verificación en los Display de la tarjeta (70%).
2. Estética (organización), documentación realizada en el código VHDL y su implementación (15%).
3. Análisis de los reportes y sustentación (explicación) de la implementación (15%)

## **Descripción de los sistemas a desarrollar**

Revise el anexo1 para la práctica 3 correspondiente al grupo en el que está matriculado (lunes, martes o viernes). Suba los códigos VHDL de su diseño. Los códigos VHDL de la primera parte de la práctica son suministrados.