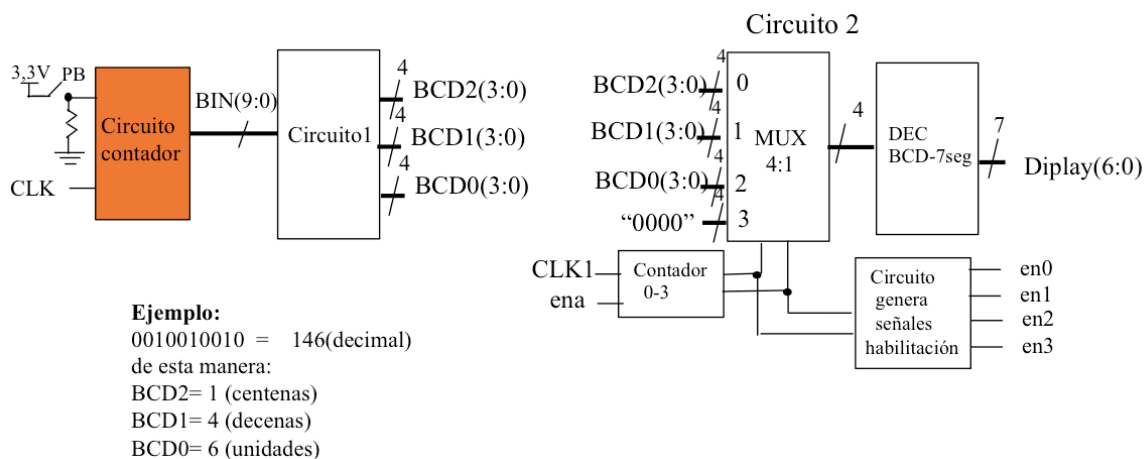


Departamento de Ingeniería Electrónica
Facultad de Ingeniería Universidad de Antioquia
Electrónica Digital 1

Práctica No. 3: Diseño e implementación de circuitos
combinacionales modulares

Anexo 1 – Sistemas a diseñar – Grupo Viernes 3-6 PM

1. Implemente y verifique en la tarjeta el circuito mostrado en el diagrama siguiente. El circuito es un contador de 0 hasta 999, que cuenta cuando se oprime un botón PB (push button). El valor de la cuenta se muestra en los display de 7 segmentos en la tarjeta Basys3. Los diseños VHDL del circuito contador y el circuito 1 se suministran. Se debe diseñar el test bench y verificarlo en la tarjeta. El reloj CLK1 (señal CLK_16MSE) debe ser de 16ms o 32 ms. Los en0, en1, en2 y en3 se deben activar también cada 16 milisegundos.



Analice el código PBCounter y explique que función realiza cada componente(desde el componente No.1 hasta el componente No. 8). Verifique el archivo Basys3_Mater1.xdc, si las conexiones están correctas. Modifique el circuito para parametrizar la velocidad de conteo del Contador y verifique usando diferentes velocidades como se ve la información mostrada en el Display.

2. Diseñe el siguiente circuito compuesto de varios subsistemas como muestra en la gráfica siguiente (una ALU que tiene dos buses de entrada de 4 bits: Bus: BA[3:0] y BB[3:0], una memoria ROMA, Una unidad Aritmética y Lógica, un decodificador de binario a 7 segmentos, dos drives triestado y un display de 7 segmentos). Los datos a los buses llegan a dos registros implementados con FF

tipo D de 4 bits (R1, R0), los cuales tienen señales de habilitación en0 y en1 respectivamente. A cada registro llegan los datos de dos posibles fuentes a través de los drives triestado: que conectan las estradas B1(3:0) y B0(3:0). Una señal de un bit denominada C, selecciona la entrada correspondiente. Al bus BB(3:0) llega el dato desde una memoria ROMA, la cual tiene un bus de direcciones de tres bits (Add_A(2:0)) que selecciona uno de los 8 valores (c/u de 4 bits) almacenados en la memoria. El circuito continuamente debe realizar una operación aritmética o lógica dependiendo de las señales de entrada Sel1 y Sel0. Las operaciones que realiza la ALU son las mismas asignadas en la práctica anterior. El resultado de la operación de la ALU debe ser capturada en el registro de salida, el cual se controla con la señal en1, para luego mostrar su valor en un Displays de 7 segmentos de la tarjeta en formato hexadecimal. Para lograr esto se debe diseñar un conversor (decodificador) binario (del valor que sale de la ALU) a 7 segmentos. El Display debe mostrar los valores de X'0 a X'F (formato hexadecimal). La figura 1 muestra con más detalle el sistema a diseñar. Para la construcción del testbench considere una señal de reloj CLK que de 30 milisegundos de periodo (implemente un divisor de reloj a partir del reloj de la tarjeta de 100 Mhz), con el propósito de realizar realizar en dos ciclos la operación en la ALU como se muestra en la gráfica. En un primer ciclo, se capturan los datos en los Registro R0 y R1 activando las señales en0 y en el segundo ciclo se captura los resultados de la ALU por el Registro de salida R2, activando la señal en1 (la señal en0 permanece desactiva en este ciclo). Los ciclos se repiten hasta verificar todas las posibles entradas y salidas del circuito por simulación. Las operaciones de ALU son las mismas asignadas en la práctica anterior para cada grupo. Los contenidos de las ROM se asignan a continuación (tabla No. 1) de acuerdo a número que le corresponde a cada grupo. Para la prueba física, se debe diseñar el circuito generador de tal manera que el periodo de la señal CLK1 sea de 0,1 segundo. Utilice push botton para las señales en0 y en1.

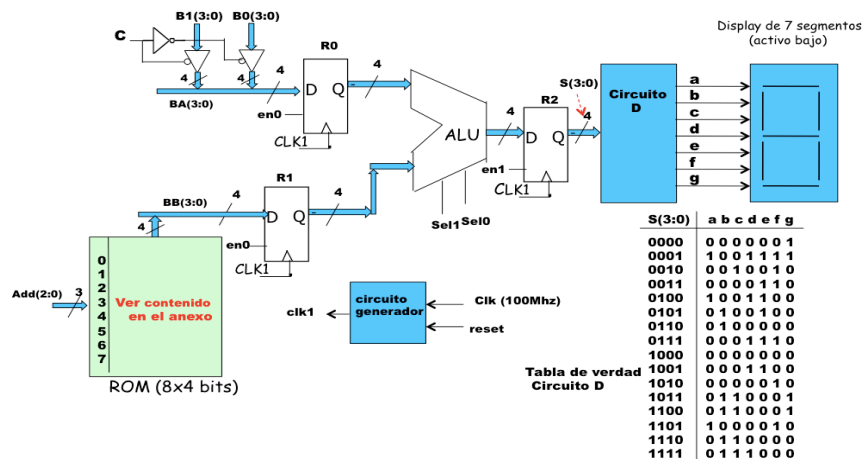


Figura 1. Sistema a diseñar.

GRUPOS VIERNES 3-6 PM

Grupo	ADDRESS	ROMA
1	000	XF
	001	XE
	010	X1
	011	X0
	100	X3
	101	X4
	110	X2
	111	XD
2	000	XB
	001	X9
	010	X5
	011	X0
	100	X3
	101	XA
	110	X8
	111	XA
3	000	X1
	001	X0
	010	X3
	011	XF
	100	XE
	101	XB
	110	X6
	111	X5
4	000	X3
	001	X5
	010	X7
	011	XB
	100	XA
	101	X9
	110	XF
	111	XE
5	000	XD
	001	XA
	010	XB
	011	X9
	100	X2
	101	X1
	110	X6
	111	X8
6	000	XB
	001	XF
	010	XD

	011	X1
	100	XD
	101	XB
	110	X3
	111	X0
7	000	X0
	001	X5
	010	X4
	011	XF
	100	XE
	101	XA
	110	X7
	111	X6

Tabla 1. Valores almacenados en la memoria ROM en Hexadecimal