

Departamento de Ingeniería Electrónica
Facultad de Ingeniería Universidad de Antioquia
Práctica No. 1. Diseño, simulación e
implementación de circuitos combinacionales con
dispositivos CMOS

Guía

OBJETIVOS

- Corroborar conceptos fundamentales asociados a la implementación de compuertas lógicas con tecnología CMOS.
- Realizar la verificación de las funciones básicas usando simulación eléctrica con el Spice.
- Verificar, por simulación, parámetros básicos tales como tiempo de atraso (T_d), tiempos de subida (T_r), tiempos de bajada (T_f), disipación de energía, asociados a la compuertas lógicas implementadas.
- Realizar la implementación de funciones combinacionales con dispositivos CMOS y realizar la simulación eléctrica con el Spice.

INTRODUCCIÓN

En esta sesión se entregará los códigos para implementar un inversor, una compuerta NAND y NOR de dos entradas a nivel de transistores. Se deben caracterizar usando el simulador Spice.

A cada grupo se le asignará una compuerta de dos entradas y las dimensiones de los transistores canal N y canal P. Se deben medir los siguientes parámetros: tiempo de atraso (T_d), tiempos de subida (T_r), tiempos de bajada (T_f), disipación de energía.

En el informe se debe presentar las tablas con la caracterización de los parámetros medidos. Igualmente se debe construir la curva (gráficos) de tiempo de atraso versus capacitancia de salida (use al menos 3 valores diferentes de capacitancia: 200 fF, 500 fF y 2000 fF) y consumo de energía versus capacitancia de salida.

El periodo de las señales de entrada también se asignará a cada grupo. Usar el modelo de la tecnología de IBM de 180nm para los transistores NMOS y PMOS. Ver archivos con los ejemplos de las compuertas.

PRIMERA PARTE

En esta sesión se suministrará a cada equipo una FUNCIÓN combinacional de 4 entradas. Se debe simplificar la función usando el método de Quine McCluskey.

La función simplificada se implementará de dos maneras:

- i. Usando solo las compuertas permitidas para su equipo.
- ii. Empleando una red de transistores (con transistores NMOS y PMOS en una estructura CMOS). Usar el modelo de la tecnología de IBM de 180nm para los transistores. Ver modelos en https://github.com/DDD-FIT-CTU/CMOS-SPICE-Model-Collections/blob/github/MOSIS_waferTestData_IBM_180nm/data/t42s-params.txt

Procedimiento:

- a. Construya la tabla de verdad de función asignada. Utilice la tabla suministrada al final. Simplifique la FUNCIÓN usando el método de Quine-McCluskey. Verificar a tabla de verdad de la función simplificada. Usando la columna correspondientes de tabla suministrada al final.
- b. Implemente la FUNCIÓN de dos maneras: mediante una red de transistores en una estructura CMOS con transistores NMOS y PMOS en conexión serie paralelo, y usando con compuertas (nand o nor) e inversores si es necesario con diferente número de entradas, Verifique para cada circuito, si se cumple todas las combinaciones de la tabla de verdad de la función mediante simulación con el Spice. Si en la simulación aparecen Glitches, explique a que se deben. Haga un análisis de un caso en particular. Considere el siguiente procedimiento:
 - Construya la tabla de verdad de la función asignada. Simule utilizando el Spice las dos implementaciones del circuito a nivel de transistores.
 - Verifique el funcionamiento simulando con el spice todas la combinaciones de las señales de entrada de la tabla de verdad. Utilice una tabla suministrada que describe al final para completar todas las combinaciones de entrada/salida.

Para la simulación defina las cuatro señales de entrada x, y, w y z con el fin de verificar todas las posibles combinaciones de la tabla de verdad. Describa las señales como fuentes tipo pulso para realizar la simulación. Cada combinación de las señales digitales de entrada debe permanecer estable por 400 ps antes de cambiar al próximo valor. Considere que las señales de entrada tienen tiempo de subida y de bajada de 10 ps. Use un voltaje 1.5 V para “1” lógico y una fuente de polarización VDD de 1.5 V. Para los transistores.
- c. Estime el número de transistores necesarios y el tiempo de atraso para los dos casos.

Nota: para implementación de la función con compuertas, use subcircuitos en el Spice. (.SUBCKT), definiendo para cada compuerta el subcircuito correspondiente.

SEGUNDA PARTE

En esta sesión se utilizará el Spice para simular el funcionamiento de un sumador de 5 bits, a partir de sumadores completos interconectados.

- a. Como una interconexión de compuertas NAND o NOR (usando subcircuitos en la descripción para el spice, con diferente número de entradas implemente un sumador completo y luego usando subcircuitos implemente el sumador de 5 bits.
- b. Verifique el funcionamiento del sumador por simulación usando el Spice (toda la tabla de verdad). Simule todas las combinaciones de entrada de las 5 entradas usando fuentes tipo “pulse” para todas las entradas.
- c. Cuántos transistores se requieren ?
- d. Estime por simulación el atraso en el peor caso del sumador (cuando una entrada es 00001 y la otra 11111).

TERCERA PARTE

En esta parte se realizará una verificación práctica de la función asignada a su equipo y el sumador de dos bits de las SEGUNDA PARTE. Utilice el circuito integrado IC 4011 para las compuertas NAND o el IC 4001 para las nor. Estos dispositivos son construidos con una tecnología CMOS por la Texas Instrument. Revise el *Datasheet* correspondiente. La función asignada debe implementarla únicamente con compuertas Nand o Nor de solo dos entradas (realice las transformaciones en función booleana simplificada) (Nota: aunque la tecnología usada en estos circuitos se encuentra en desuso por el avance las tecnologías de fabricación, se utiliza en esta práctica por el acceso a las compuertas básicas de dos entradas construidas en una tecnología CMOS.)

Procedimiento

- a. En un diagrama (si tiene acceso en un protoboard) utilice un dibujo del CI con pines, y haga un diagrama con los chips y la conexiones para implementar la FUNCIÓN de la primera parte diseñada con compuertas nand o nor de únicamente dos entradas. (tiene que realizar la implementación a compuertas solo nand o nor solo de dos entradas)

Nota: Revise la hoja de datos para identificar los pines de entrada y salida de cada compuerta. Polarícelo con un voltaje $V_{DD} = 3.3 \text{ V}$.

- b. Conecte los chips en el protobard para implementar su función.
- c. Utilice las fuentes de voltaje (pueden ser pilas) para introducir los diferentes valores lógicos en las entradas para comprobar toda la tabla de verdad.
- e. Verifique todas las combinaciones, cambiando el valor del voltaje en las entradas de la función y comprobando el valor de la salida, utilizando un voltímetro para medir el voltaje. Verifique todas la tabla de verdad cambiando la polarización de las entradas de acuerdo a valores de la tabla de verdad (‘1’ lógico seria 3,3 V y ‘0’ lógico seria 0 V). Verifique todas las combinaciones. Debe tener la misma tabla de verdad encontrada en la primera parte.

Nota: Utilice también estas fuentes (pilas) para la polarización los CI (V_{dd} y tierra). (Nota: tómese una foto al circuito para el informe de la práctica).

INFORME:

La práctica tiene una duración de dos semanas. Cada Equipo debe mostrar funcionando en circuito en el laboratorio a nivel de simulación y en la implementación en el CI.

Se debe entregar un informe detallado con los resultados obtenidos en el procedimiento, incluya las evidencias, las gráficas de la simulación.. Anexe los archivos *.cir, para los dos los casos. En el informe considere lo siguiente:

- a. Realice un informe del procedimiento e incluya los resultados de cada paso (incluya la descripción de los circuitos (archivos .cir), resultados de simulación (gráficas impresas), medidas realizadas y tablas de verdad completa)
- b. Imprima los resultados de la simulación mostrando las formas de onda de las entradas (5) y la salida (1). Construya una tabla con los tiempos de atraso medidos por simulación.

Cuidados en el laboratorio (en el caso que se implemente el circuito con los Chips)

1. La manipulación de los chips fabricados con tecnología CMOS debe ser muy cuidadosa, debido a su sensibilidad a las cargas electroestáticas, que pueden dañar permanentemente los componentes electrónicos internos del circuito. Es importante evitar tocar con los dedos los terminales de los circuitos, si no se ha llevado a cabo una descarga de la energía estática. Utilice siempre la manillas antiestáticas suministradas en el laboratorio.
2. Antes de energizar el circuito verifique que no existe un corto circuito (conexión directa entre VDD y tierra). Evite manipular las conexiones con el circuito energizado, pues es la causa principal de los cortos circuitos.

Calificación

75% Demostración de los circuitos funcionando en las tres secciones (partes) (sustentación e implementación) de la práctica. (25% por cada parte). Nota: es importante tener completa la tabla de verdad para la sustentación.

25% informe escrito con los resultados y conclusiones.

Tablas de verdad

Z1: Salida de función original sin simplificación (mintérminos)

Z2: Salida de la Función simplificada.

Z3: Salida de simulación de la implementación de la función con compuertas usando inversores, nand y nor con diferente número de estradas usando el Spice.

Z4: Salida de simulación con el spice de la función implementada en una red completaría de transistores (red de transistores)

Z5: Salida medida de la función implementada usando los chips IC 4011 o IC 4001 CI. (si se debe implementar en un Protoboard)

x	y	z	w	Z1	Z2	Z3	Z4	Z5
0	0	0	0					
0	0	0	1					
0	0	1	0					
0	0	1	1					
0	1	0	0					
0	1	0	1					
0	1	1	0					
0	1	1	1					
1	0	0	0					
1	0	0	1					
1	0	1	0					
1	0	1	1					
1	1	0	0					
1	1	0	1					
1	1	1	0					
1	1	1	1					

Tabla de verdad del sumador de dos bits: (entradas a(4:0) y b(4:0), salidas S(4:0) y Cout

[illegible]

.....