

Práctica No. 1.

Diseño, simulación e implementación de circuitos combinacionales con dispositivos CMOS

Manuel Salazar Burgos, Santiago Vargas Higuera
Grupo 4.

1. INTRODUCCIÓN

Función Asignada: AND.

Dimensiones: 4 μ m tipo N, 8 μ m tipo P.

Para la implementación de esta función, se utiliza el circuito que representa a la compuerta NAND, y se le agrega una negación en la salida. Se usan en total 6 transistores.

En la siguiente tabla se tienen las mediciones de valores de tiempo de atraso y energía vs capacitancia.

Capacitancia	Tiempo Atraso	Energía
200fF	0.343ns	1.150e-05
500fF	0.776ns	2.834e-05
1000fF	1.485ns	5.686e-05
2000fF	2.87ns	1.125e-04

Tabla 1. Tiempo de Atraso y Energía para distintos valores de Capacitancia
Y la gráfica correspondiente es:

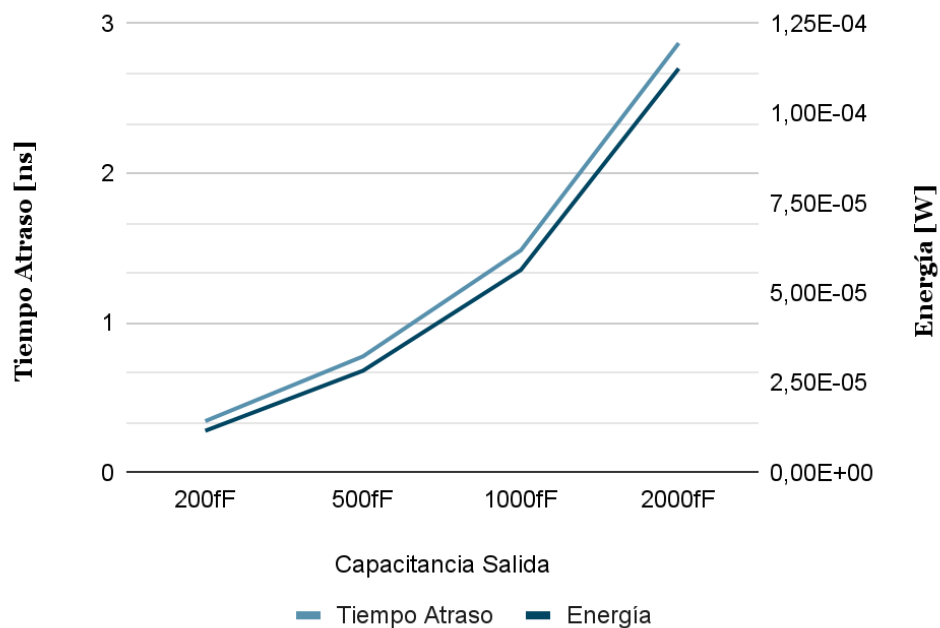


Fig. 1. Tiempo de Atraso y Energía vs Capacitancia

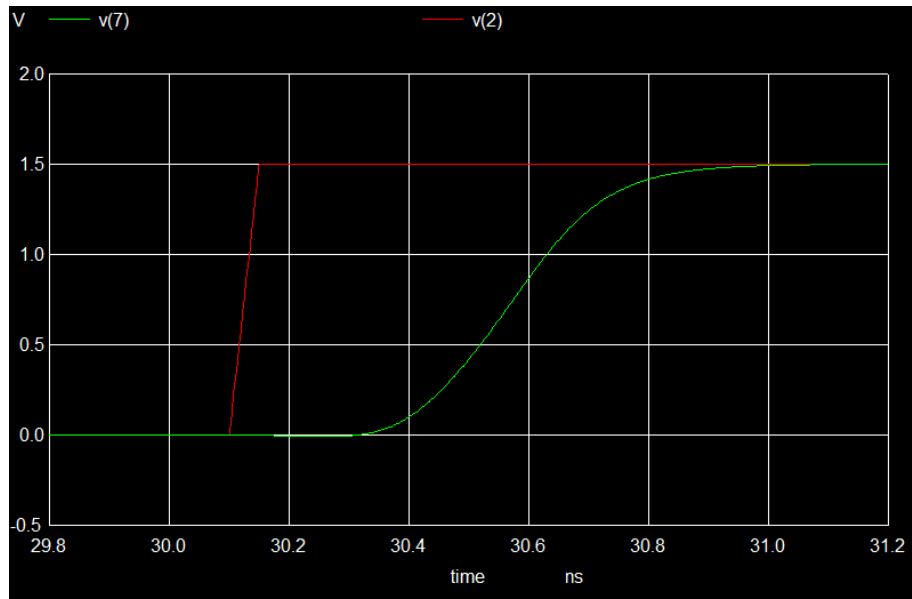


Fig. 2. Tiempo de atraso de Subida

A continuación se muestra la salida de la compuerta AND con valores distintos de capacitancia.

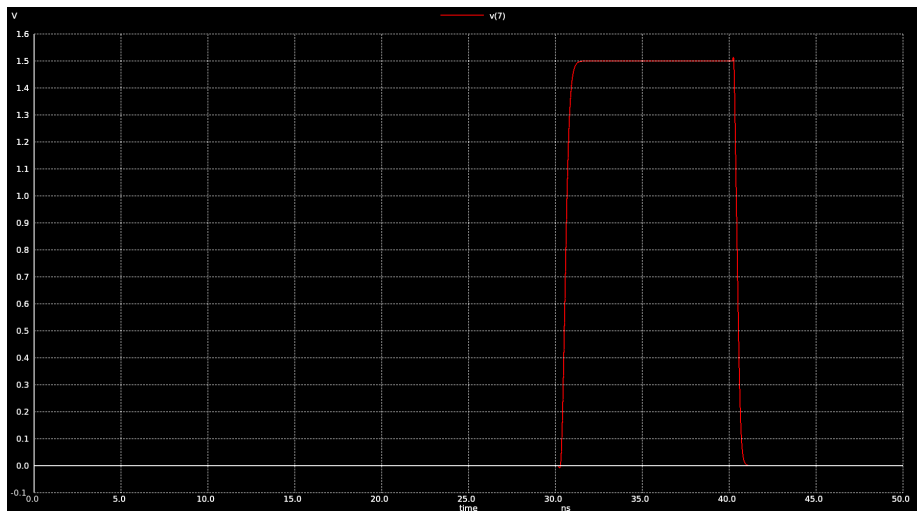


Fig. 3. Capacitancia de salida 500fF

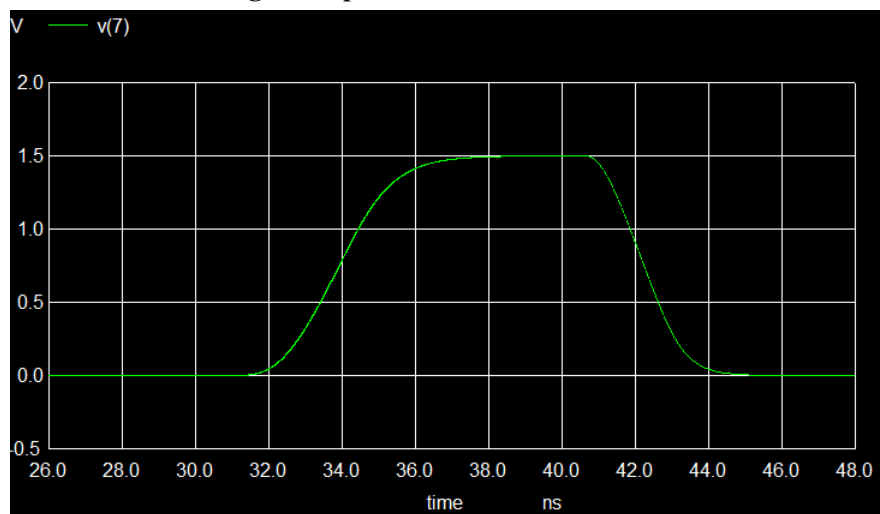


Fig. 4. Capacitancia de salida produce más tiempo de atraso 2000fF

Se observa que al aumentar la capacitancia de salida, el circuito consumirá más energía y su tiempo de atraso será mayor.

2. PARTE 1

La función dada fue la siguiente:

$$\Sigma m(1, 3, 4, 8, 12) + d(0, 2, 13)$$

Simplificación por método de Quine-McCluskey:

Se sigue el procedimiento para expresar la función en términos de las entradas, como se muestra a continuación.

	Entrada	Primera Comparación	Segunda Comparación
0	d0 0000✓	(1 , 0) 000-✓ (2 , 0) 00-0✓ (4 , 0) 0-00✓ (8 , 0) -000✓	(3 , 2 , 1 , 0) 00-- (12 , 8 , 4 , 0) --00
1	m1 0001✓ m2 0010✓ m4 0100✓ m8 1000✓	(3 , 1) 00-1✓ (3 , 2) 001-✓ (12 , 4) -100✓ (12 , 8) 1-00✓	
2	m3 0011✓ m12 1100✓	(13 , 12) 110-	
3	d13 1101✓		

Implicantes principales
(3 , 2 , 1 , 0) 00-- (12 , 8 , 4 , 0) --00
(13 , 12) 110-

	00-	-00	110-
1	X		
2	X		
3	X		
4		X	
8		X	
12		X	X

Funcion resultante: $X'Y' + Z'W'$

2.1. Implementación por red de transistores CMOS:

Representación gráfica entradas vs salidas:

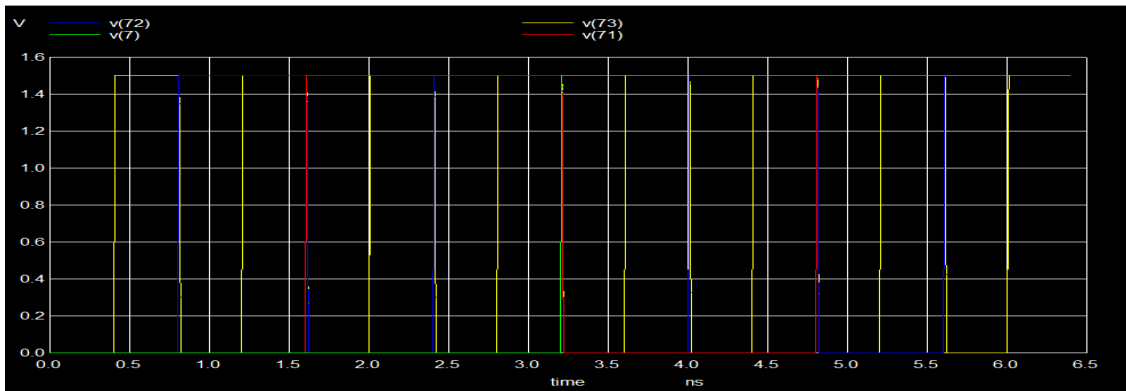


Fig. 5. Impulsos de entrada para prueba.

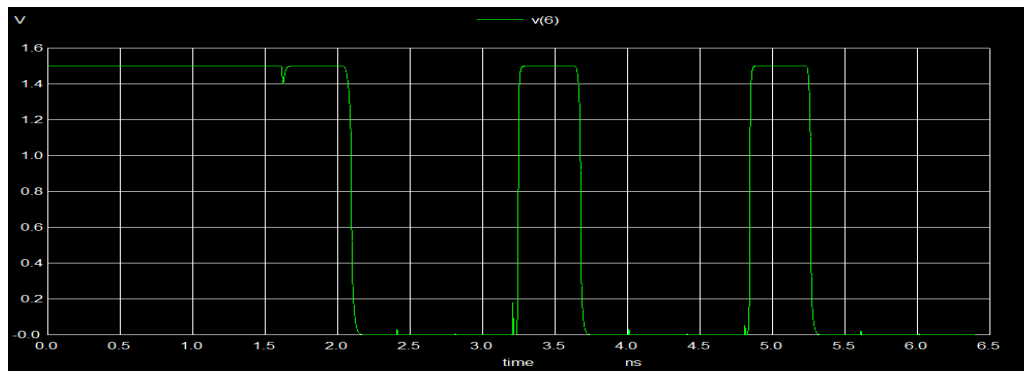


Fig. 6. Salida de la función representada en tecnología CMOS

- Para esta configuración CMOS el número de transistores necesarios es 18.
- El tiempo de atraso, medido entre 3.2ns y 3.7ns (mintermo 8) fue de 5.098e-11 [s].

2.2 Implementación por compuertas NAND:

Es necesario realizar un pequeño procedimiento a nuestra función para poder implementarla solo con compuertas NAND.

$$\begin{aligned}
 &X'Y' + Z'W' \\
 &(X'Y' + Z'W')'' \\
 &((X'Y')' \cdot (Z'W')')'
 \end{aligned}$$

Para la implementación en spice se usa la herramienta de subcircuitos, diseñando la compuerta NAND y NOT, luego se pueden interconectar. En la fig 6, se muestra el diagrama esquemático de las compuertas.

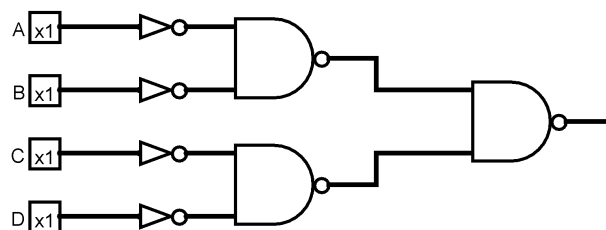


Fig 6. Circuito de la función

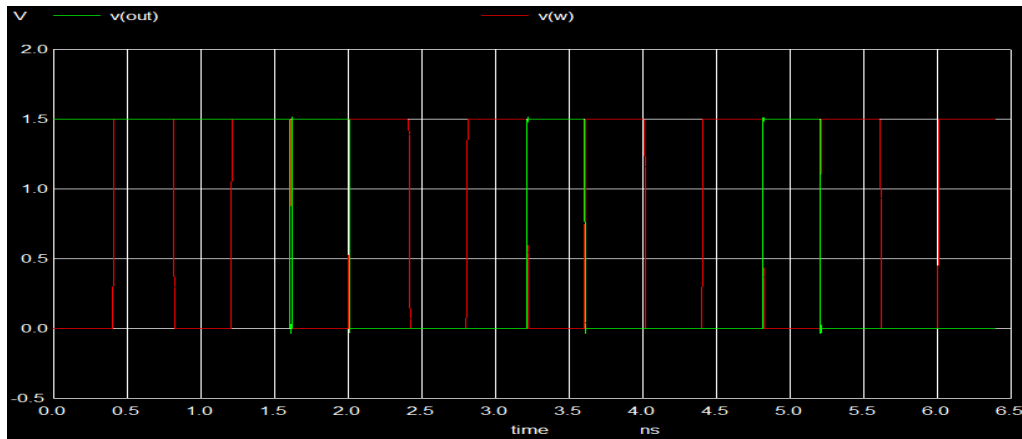


Fig. 7. Salida de la Función usando compuertas NAND y NOT

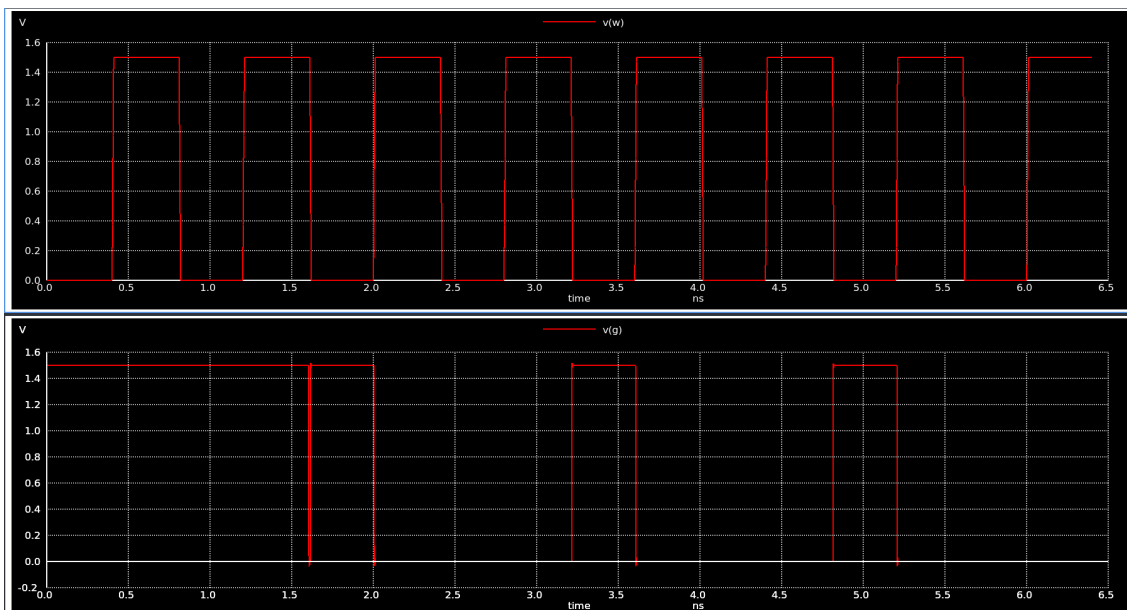


Fig. 8. Salida de la función representada en compuertas lógicas

- Para este caso se utilizaron 20 transistores en total.
- El tiempo de atraso, medido entre 3.2ns y 3.7ns (mintermo 8) fue de $786. e - 16$ [s]

3. PARTE 2 (SUMADOR DE 5 BITS)

Se implementa a partir de la interconexión de varios subcircuitos sumadores completos, para que en total sean 5, conectando el carry de salida al carry de entrada del siguiente subcircuito hasta el final.

Se realiza la prueba únicamente cuando una entrada es 00001 y la otra es 11111.

La cantidad de transistores utilizados es de 135 transistores (por cada sumador son 27 transistores).

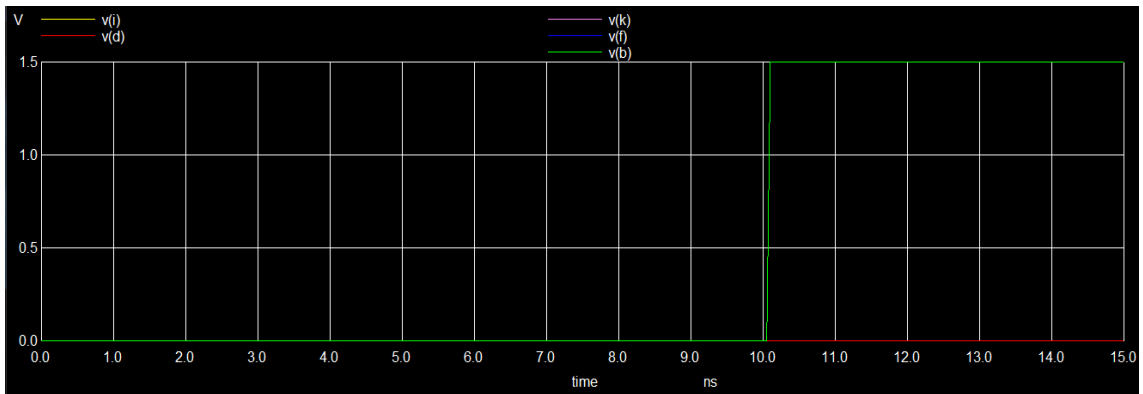


Figura 9. Entrada correspondiente a 00001

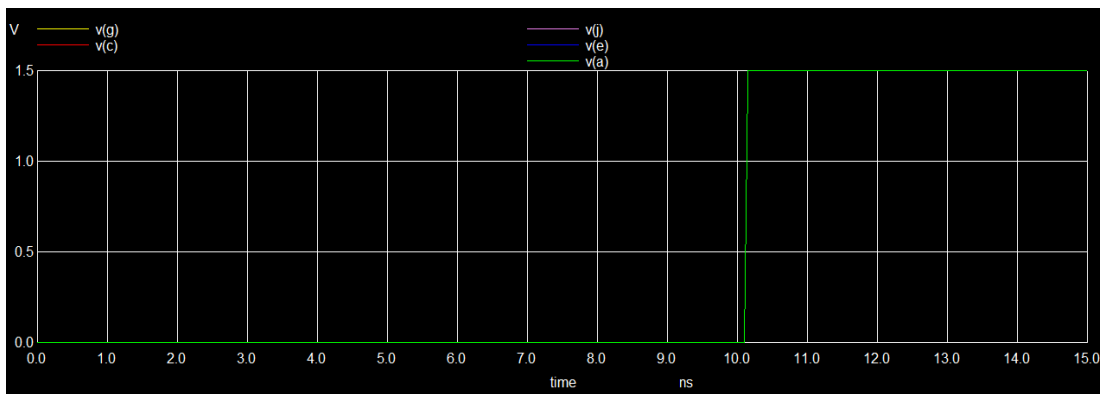


Figura 10. Entrada correspondiente a 11111

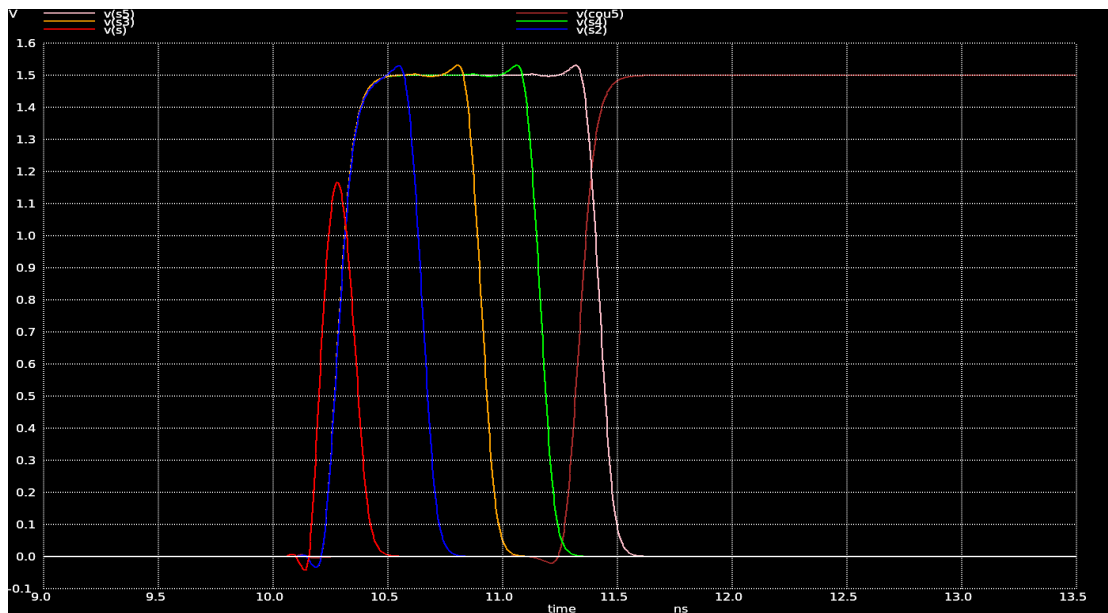


Fig. 11. Comparación salidas y carry en el peor caso

Midiendo el atraso de cada salida respecto al último carry se obtienen los siguientes valores:

1ns => salida 1

0.68ns => salida 2

0.43ns => salida 3

0.17ns => salida 4

0.087ns => salida 5

4. TERCERA PARTE

Se realiza la implementación física utilizando dos IC 4011 (compuertas NAND). El montaje se ve a continuación y el resultado de la salida se verá en la tabla 1:

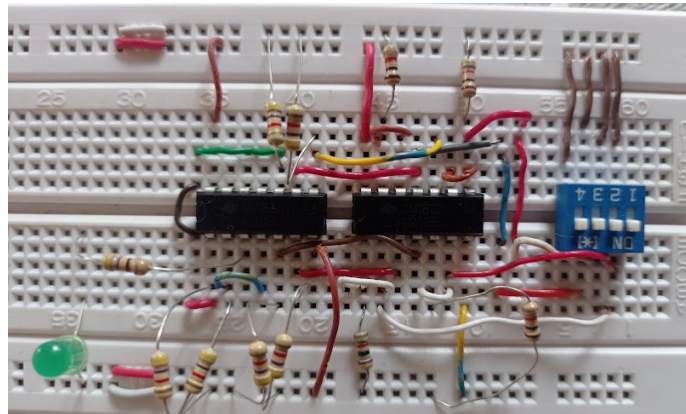


Fig. 12. Montaje de la función con compuertas NAND

TABLA DE VERDAD

En la tabla dos se observa el resultado para la función dada en la parte 1.

Z1: Salida de función original sin simplificación (mintérminos)

Z2: Salida de la Función simplificada.

Z3: Salida de simulación de la implementación de la función con compuertas usando inversores, nand y nor con diferente número de entradas usando el Spice.

Z4: Salida de simulación con el spice de la función implementada en una red completaría de transistores (red de transistores)

Z5: Salida medida de la función implementada usando el chip IC 4011.

x	y	z	w	Z1	$Z2=x'y' + z'w$	Z3	Z4	Z5
0	0	0	0	x	1	1	1	1
0	0	0	1	1	1	1	1	1
0	0	1	0	x	1	1	1	1
0	0	1	1	1	1	1	1	1
0	1	0	0	1	1	1	1	1
0	1	0	1	0	0	0	0	0
0	1	1	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0
1	0	0	0	1	1	1	1	1
1	0	0	1	0	0	0	0	0
1	0	1	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0
1	1	0	0	1	1	1	1	1
1	1	0	1	x	0	0	0	0
1	1	1	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0

Tabla 1. Tablas de Verdad de la función dada.

CONCLUSIONES

En el circuito de la compuerta AND, se observa que al aumentar la capacitancia de salida, la energía y el tiempo de atraso aumenta, por lo cual es necesario usar un valor adecuado. En segundo lugar, en el caso de la función dada, el método de Quine-Mccluskey facilita la simplificación del circuito y tiene la ventaja de que puede ser implementado en un algoritmo. Comparando los tiempos de atraso entre los dos tipos de implementación, redes de transistores y compuertas, se observa que con compuertas se obtiene un mejor resultado debido a que estos presentan mayor eficiencia energética y capacidad para operar a alta velocidad, sin embargo siempre es importante analizar las características y limitaciones de ambos enfoques para determinar cuál es el más adecuado en cada caso. Además es posible observar algunos “glitches”, ya que existe un pequeño instante en el que una de las señales de entrada alcanza a estar en un valor tal que en la salida se produce un pequeño cambio de estado. Este efecto se puede ver en la figura 8, aún así es casi imperceptible. Fue posible realizar las verificaciones gracias a Spice y sus diversas herramientas para el análisis en los circuitos.