

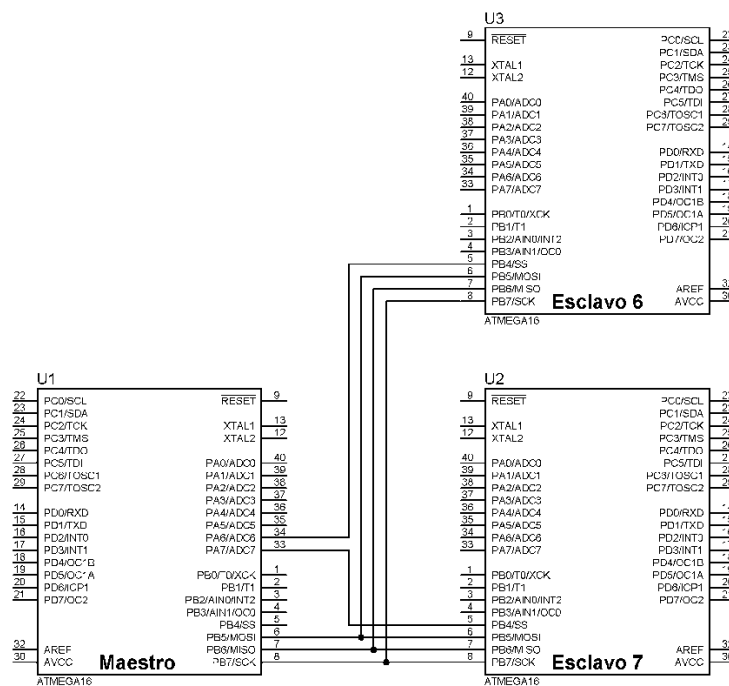
Comunicación SPI

La comunicación SPI (Serial Peripheral Interface) es un protocolo de comunicación propuesto inicialmente por Motorola Corp.

Este tipo de comunicación permite la interconexión de varios dispositivos entre sí, en donde uno de ellos será configurado como maestro, mientras que los demás serán configurados como esclavos. Cada uno de los esclavos requiere tener conectado un bit específico del maestro en su entrada SS (Slave Select Input), y para ser “seleccionado” es necesario recibir un 0 a través de este bit.

Por otra parte los bits MOSI(Master Out/Slave In), MISO(Master In/Slave Out) y SCK(Shift Clock) del microcontrolador maestro, son conectados con esos mismos bits en todos los esclavos.

MOSI	Master Out / Slave In	En este bit el microcontrolador maestro transmite los datos y el esclavo los recibe
MISO	Master In / Slave Out	En este bit el microcontrolador maestro recibe datos, mientras que el esclavo transmite
SCK	Shift Clock	El maestro genera una señal de reloj a través de este bit, que es utilizada por el esclavo.
SS	Slave Select	El microcontrolador maestro enviará un 0 al pin SS del esclavo con el cual desea comunicarse (Cuando no se desea establecer comunicación con un esclavo, este bit debe mantenerse en 1).



Pin SPI	Maestro	Esclavo
MOSI	Salida	Entrada
MISO	Entrada	Salida
SCK	Salida	Entrada
SS	-	Entrada

Para enviar información a un esclavo es necesario inicializar el SPI, seleccionar el esclavo que se desea y enviar el byte de información a través del registro SPDR. Entonces, el bit SCK del maestro comenzará en forma automática a generar la señal de reloj y a enviar el dato correspondiente que irá siendo recibido bit por bit en el esclavo seleccionado. Al mismo tiempo el esclavo mandará al maestro la información que tenía en ese momento en el registro SPDR.

Es importante notar que se establece entonces una comunicación bidireccional, en la que el maestro envía datos al esclavo, pero al mismo tiempo el esclavo envía datos al maestro. De forma que, si únicamente se desea leer un dato de algún microcontrolador esclavo, es necesario que el maestro envíe algo al esclavo.

Los registros que se utilizan para la comunicación SPI son:

SPCR – SPI Control Register

Bit	7	6	5	4	3	2	1	0	
	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	SPCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Bit 7 – SPIE: SPI Interrupt Enable

Este bit permite que se ejecute la interrupción correspondiente al SPIF.

Bit 6 – SPE: SPI Enable

Si se escribe un 1 en este bit, la comunicación SPI estará habilitada, de otra forma no lo estará.

Bit 5 – DORD: Data Order

Cuando DORD es configurado con 1, la transmisión del dato comienza a través del bit menos significativo; en cambio cuando tiene 0, la transmisión comienza a partir del bit más significativo.

Bit 4 – MSTR: Master / Slave Select

Cuando se configura con un 1 quiere decir que ese microcontrolador será el maestro, y cuando se configura con un 0 significa que será un esclavo.

Bit 3 – CPOL: Clock Polarity

Cuando este bit es configurado con un 0, la señal de reloj empieza en 0 y el primer flanco (Leading Edge) corresponderá a un flanco de subida, mientras que el segundo (Trailing Edge) corresponderá a un flanco de bajada.

En cambio, cuando este bit está configurado con un 1, la señal de reloj empieza en 1 y el primer flanco (Leading Edge) corresponderá a un flanco de bajada, mientras que el segundo (Trailing Edge) corresponderá a un flanco de subida.

Table 18-3. CPOL Functionality

CPOL	Leading Edge	Trailing Edge
0	Rising	Falling
1	Falling	Rising

Bit 2 – CPA: Clock Phase

Este bit determina si la señal es leída durante el primer flanco (leading Edge) o en el segundo flanco (Trailing Edge) de SCK.

Table 18-4. CPHA Functionality

CPHA	Leading Edge	Trailing Edge
0	Sample	Setup
1	Setup	Sample

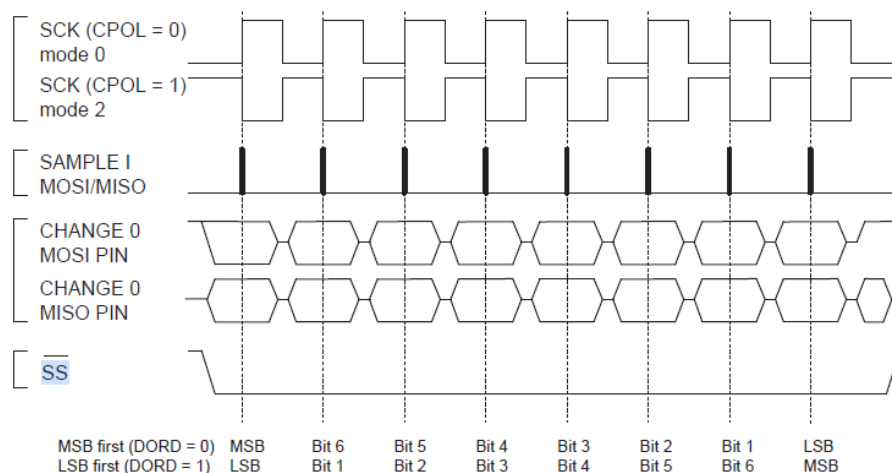
Bits 3 y 2: Al unir la funcionalidad de los dos últimos bits descrito CPOL y CPHA, encontramos que el SPI puede ser configurado en cuatro diferentes modos de funcionamiento:

Table 18-2. CPOL and CPHA Functionality

	Leading Edge	Trailing Edge	SPI Mode
CPOL = 0, CPHA = 0	Sample (Rising)	Setup (Falling)	0
CPOL = 0, CPHA = 1	Setup (Rising)	Sample (Falling)	1
CPOL = 1, CPHA = 0	Sample (Falling)	Setup (Rising)	2
CPOL = 1, CPHA = 1	Setup (Falling)	Sample (Rising)	3

En estos modos de funcionamiento lo que cambia es los flancos de reloj en los que se lee la señal y se producen los cambios en el bit transmitido, esto puede apreciarse en los siguientes diagramas:

CPHA=0



Bit 7 – SPIF: SPI Interrupt Flag

Esta bandera se activa (tendrá un 1) cuando la transferencia de un dato está completa, y puede generar una interrupción si se habilitó el bit SPIE en el registro SPCR.

Bit 6 – WCOL: Write COLision Flag

Este bit cambiará su valor a 1 en caso de que se intente escribir un dato en SPDR mientras se está llevando a cabo la transferencia de otro dato.

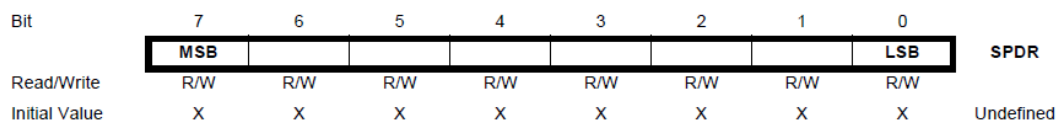
Bit 5:1 – Reservados

Escribir siempre 0 en estos bits

Bit 0 – SPI2X: Double SPI Speed Bit

Cuando este bit es configurado como 1 la velocidad de transferencia de SPI (la frecuencia de SCK) será del doble.

SPDR – SPI Data Register



Este registro se utiliza para escribir / leer la información que será transferida.

En resumen

SPCR

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	1						
SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
1 = genera interrupción al terminar transm. 0 = no interrupción	1 = SPI habilitado 0 = SPI inhabilitado	0 = Se transmite primero el LSB 1= Se transmite primero el MSB	0 = Esclavo 1 = Maestro	Estos dos bits definen el modo SPI, consultar la tabla 18 - 2		Estos bits definen la frecuencia del SCK, consultar la tabla 18 - 5	

SPSR

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1		0	0	0	0	0	
SPIF	WCOL	-	-	-	-	-	SPI2X
0 = bandera sin activar 1 = bandera activa Indica que se terminó la transmisión	Se pone en 1 cuando se escribe el SPDR mientras se está transfiriendo un dato (error).						Doble velocidad (ver tabla 18-5)

Maestro:

Configurar el puerto (MOSI, SCK como salidas, MISO como entrada, los bits que irán a SS como salidas)

Configurar SPCR, si hiciera falta también SPSR (para interrupciones o velocidad).

Poner un 1 en todos los bits SS de los esclavos

Para transmitir:

- Seleccionar el esclavo con el que se quiere comunicar (poner un 0)
- Escribir el dato en SPDR
- Esperar hasta que el bit SPIF se tenga un 1 (para garantizar que terminó la transmisión)
- Regresar el bit del esclavo a 1.

Esclavo:

Configurar el puerto (MISO como salida, MOSI, SCK y SS como entrada)

Configurar SPCR (Habilitarlo y ponerlo como esclavo...), si hiciera falta también SPSR (para interrupciones o velocidad).

Para recibir un dato:

- Esperar hasta que el bit SPIF tenga un 1 (o bien hasta que se genere la interrupción).
- Leer el valor del SPDR.