

### 1ª Parte

1. Pretende-se implementar um sistema digital binário que realize a função  $y = |x|$  para operandos de 4 bits num contexto de representação em complemento para 2. O sistema tem, como entrada, o operando  $x = (x_3...x_0)$  e, como saídas,  $y = (y_3...y_0)$  e ainda um sinal OVF para sinalizar caso(s) de overflow.
  - a. (1) Elabore a tabela de verdade do sistema.
  - b. (1) Identifique, justificando, caso(s) de overflow.
  - c. (1) Proponha uma implementação minimizada apenas com portas NAND.
  - d. (2) Para as saídas,  $y = (y_3...y_0)$ , proponha uma implementação baseada em multiplexers 8:1. Escolha as entradas  $(x_3...x_1)$  para entradas de seleção dos multiplexers. Admita que os sinais complementares das entradas estão disponíveis. Minimize o número de componentes. Justifique a sua solução.
  - e. (2) Para as saídas,  $y = (y_3...y_0)$ , proponha uma implementação alternativa com base num somador binário de 4 bits e portas XOR adicionais. Justifique.
2. Pretende-se implementar um sistema detetor de maioria para palavras de 5 bits.
  - a. (1) Comece por demonstrar recorrendo à tabela de verdade que com um somador completo (Full-Adder) podemos implementar um contador de "1" em 3 bits.
  - b. (2) Estenda a solução de contagem de "1" para palavras de 5 bits. Justifique a solução e demonstre o funcionamento do contador de "1" com alguns casos ilustrativos.
  - c. (1) A partir do circuito de b) e com lógica elementar adicional implemente o detetor de maioria para palavras de 5 bits. Se não implementou corretamente o subsistema de contagem de "1" em b) admita que existe o bloco da figura ao lado e prossiga com a implementação.

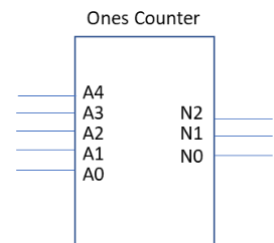


Figura 1: Contador de "1" combinacional

### 2ª Parte

3. Considere o sistema sequencial síncrono da figura seguinte.

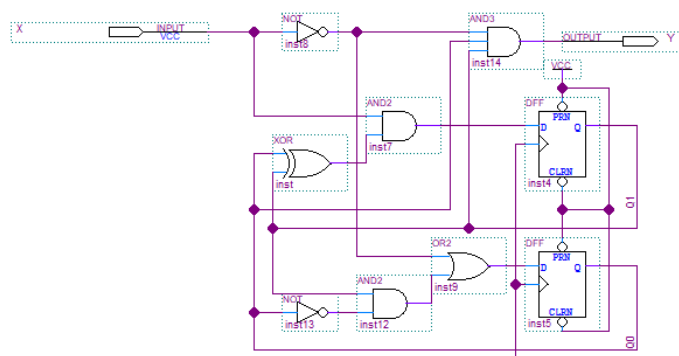


Figura 2: Circuito do problema 3

- a. (1) Em notação decimal, qual o ciclo de valores nas saídas  $\mathbf{y} = (y_3 \dots y_0)$ ? Justifique.
  - b. (1) Admita que a máxima frequência de funcionamento do contador 74163 é 40 MHz. Admita ainda que o tempo de atraso da porta NAND é 5 ns e o tempo de atraso do somador 74283 é 15 ns. Considere também que a lógica do estado seguinte de cada flip-flop interno do contador é sempre composta pelo mesmo número de níveis de portas elementares. Nestas condições, apresente uma estimativa para a máxima frequência de funcionamento do circuito da figura 3. Justifique os seus cálculos.
5. (2) Projete um sistema de contagem com 2 modos de funcionamento controlados por uma entrada M. Se  $M = 0$ , a contagem deverá ser módulo 69; se  $M = 1$ , a contagem deverá ser módulo 137. Deve basear a sua implementação em contadores do tipo 74163, blocos lógicos combinatórios e/ou lógica elementar adicional. Desenhe cuidadosamente e justifique a sua solução.
- Sugestão: Note que  $68 = 16 \cdot 4 + 4$  e  $136 = 16 \cdot 8 + 8$ .