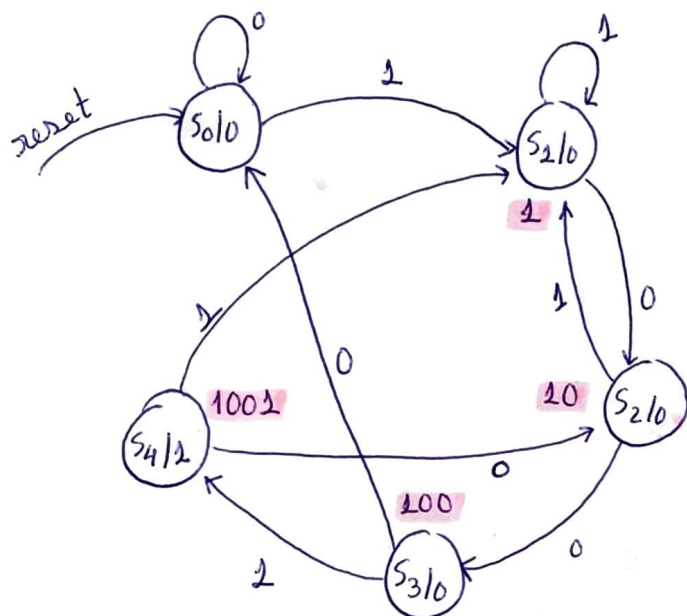


Sequência 1001

→ Modelo de Moore

$n = 4 \rightarrow 5$ Estados



1º Modificação de estados

S	$Q_2 Q_1 Q_0$
S_0	000
S_1	001
S_2	011
S_3	010
S_4	100

$$Q^+ = D (ff. D) !!$$

Tabela de Excitação / Saídas (2º)

$Q_2 Q_1 Q_0$	X_{in}			Y_{out}
	0	1		
000	000	001		0
001	011	001		0
011	010	001		0
010	000	100		0
100	011	001		1

Tabela de Transição / Saídas (3º)

$Q_2 Q_1 Q_0$	X_{in}			Y_{out}
	0	1		
000	000	001		0
001	011	001		0
011	010	001		0
010	000	100		0
100	011	001		1

Tabela de estados / Saídas (4º)

S	X_{in}		Y_{out}
	0	1	
S_0	S_0	S_1	0
S_1	S_2	S_1	0
S_2	S_3	S_1	0
S_3	S_0	S_4	0
S_4	S_2	S_1	1

Equações de excitação (5º)

$$D_0 \Rightarrow Q_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0 + \bar{Q}_2 \cdot \bar{Q}_1 \cdot X_{in} + \bar{Q}_2 \cdot \bar{Q}_1 \cdot Q_0 + \bar{Q}_2 \cdot Q_0 \cdot X_{in}$$

Q_2/Q_1	X_{in}	00	01	11	10
00			1	1	
01			1		
11					
10		1	1		

$$D_1 \Rightarrow \bar{Q}_2 \cdot Q_0 \cdot \bar{X}_{in} + Q_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0 \cdot X_{in} \quad D_0 \Rightarrow \bar{Q}_2 \cdot Q_1 \cdot \bar{Q}_0 \cdot X_{in}$$

Q_2/Q_1	X_{in}	00	01	11	10
00					1
01					1
11					
10		1			

Q_2/Q_1	X_{in}	00	01	11	10
00					
01			1		
11					
10					

► Codificação de Estados não usados

• Critério de **custo mínimo**

→ Especificar estados seguintes (possivelmente o estado inicial) para prevenir situações anômalas \Rightarrow circuitos de excitação \oplus condicionados e por isso \oplus casos.

Exemplo anterior:

Se completássemos a tabela el estados não usados:

$\Phi_2 \Phi_1 \Phi_0$	Vin			Yout
	0	1		
	$D_2 D_1 D_0$	$D_2 D_1 D_0$		
101	000	000		0
110	000	000		0
111	000	000		0

• Critério de **custo mínimo**

→ Não especificar o estado seguinte; Tirar partido das irrelevâncias ("dont care") p/ minimizar a lógica de excitação \Rightarrow Diminuição de custo.

Exemplo anterior:

Se completas a tabela el estados ã usados:

$\Phi_2 \Phi_1 \Phi_0$	Vin			Yout
	0	1		
	$D_2 D_1 D_0$	$D_2 D_1 D_0$		
101	xxx	xxx		x
110	xxx	xxx		x
111	xxx	xxx		x

► Codificação de estados One-hot

Exemplo:

↗ estado atual

S	$\Phi_4 \Phi_3 \Phi_2 \Phi_1 \Phi_0$
S ₀	0 0 0 0 <u>1</u>
S ₁	0 0 0 <u>1</u> 0
S ₂	0 0 <u>1</u> 0 0
S ₃	0 <u>1</u> 0 0 0
S ₄	<u>1</u> 0 0 0 0

► **Contadores**

- Módulo de sem condutor

→ Número de estados num ciclo.

→ m estados → contador de módulo-m
; contador de divisão-por-m

NOTA

Um contador n bits com potência de 2 tem estados extras que não são usados nas operações normais.

- Contador binário Sincrono

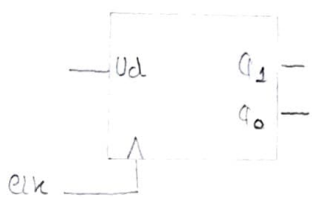
→ 0 bit \oplus sig. só faz alternância se todos os menos significativos forem 1.

→ 0 bit \ominus sig. faz sempre alternância.

$\rightarrow N_{ff} \Rightarrow 2^N \text{ estados} \neq \log_2 2^n \text{ m\u00f3dulos.}$

Exemplo:

- Contador binário up/down de 2 bits



Ud			$\Phi_2^+ \Phi_1^+$		Decimal
	Φ_1	Φ_0	Φ_1	Φ_0	
0	0	0	1	1	3
0	0	1	0	0	0
0	1	0	0	1	1
0	1	1	1	0	2
1	0	0	0	1	1
1	0	1	1	0	2
1	1	0	1	1	3
1	1	1	0	0	0

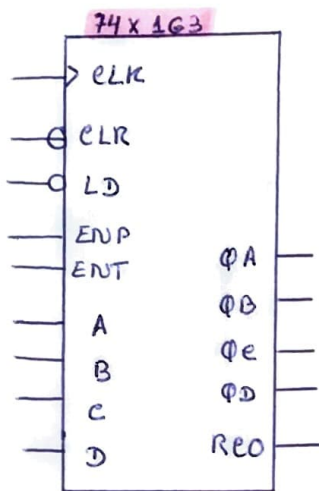
- $Ud = 0 \rightarrow \text{down}$
- $Ud = 1 \rightarrow \text{Up}$
- Contagem máxima: 4
- $2^2 = 4$ estados
- Contador de módulo 4

↓
estereo
atual

↓
Estado
Seguiente
(Q_n^+)
 $D_n \Rightarrow$ entradas
dos f.f

Modelo 74x163

(Contador binário up síncrono)



CLR \Rightarrow Clear síncrono, active-low

LD \Rightarrow Synchronous parallel load enable, active-low
(carreg. paralelo)

ENP, ENT \Rightarrow entradas enable

A-D \Rightarrow Valor dos dados de carreg. paralelo.

QA-QD \Rightarrow Valor das saídas de contagem
(Estado atual)

REO \Rightarrow Ripple counter output (pl cascade)

\hookrightarrow indica um transporte da posição do bit

\oplus significativo e é 1 quando todos os bits de contagem são 1 e 0 ENT = 1.

- Cada entrada D é conduzida por um Mux 2:1 (1 OR e 2 AND)

$y = 0$ se CLR-L = 0

$y = 1$ se CLR-L = 1 \Rightarrow 1º AND passa os dados da entrada (A, B, C, ou D) para a saída apenas se LD-L = 0.

Se CLR-L = 1 e LD-L = 1, 2º AND passa a saída de uma porta XNOR para a saída mux.

XNOR

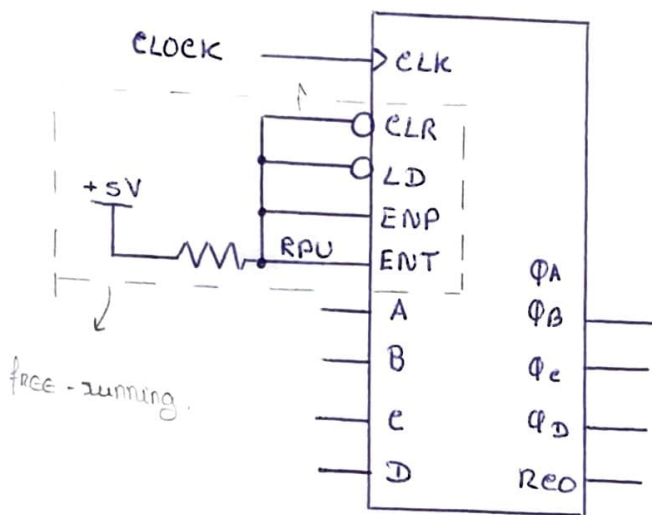
Executa a função de contagem.

- Uma entrada do XNOR corresponde ao bit de contagem (QA, QB, QC, QD)
- A outra entrada é 1, que complementa o bit de contagem, se ENP = 1 e ENT = 1 e ainda se todos os bits de cont. de baixa ordem forem 1.

NOTA: Ver diagrama interno nos resumos capa.

• Modelo 74x163

(Contador Free-running)



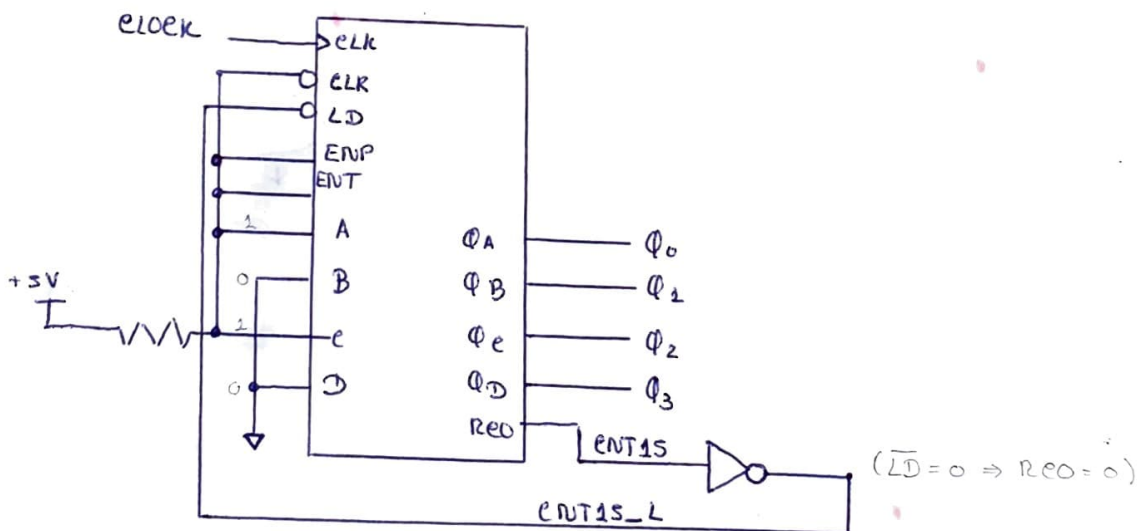
NOTA: Ver diagrama temporal nos resumos capa.

NOTA

→ O contador do módulo 16 (74x163) pode ser feito para contar num módulo menor q 16 usando entradas CLR-L ou LD-L para diminuir a seq. de contagem normal

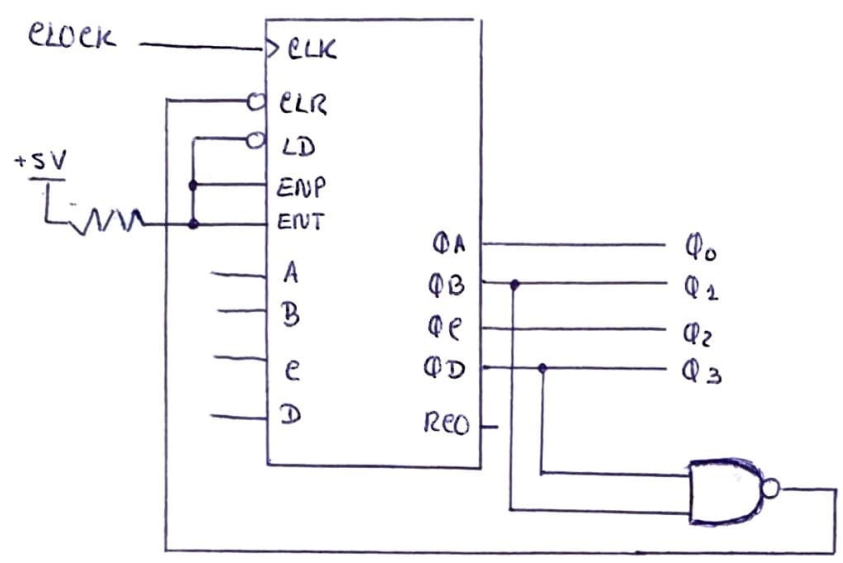
• Modelo 74x163 como um contador de **módulo 11**
 e uma seq. de contagem de **5 a 15**

↳ Tem apenas 11 estados



→ A saída **REO**, que deteta o estado 15, é usada para forçar o próximo estado p/ 5, para q o circuito conte de 5 → 15 e comece em 5 novamente, para um total de 11 estados por ciclo de contagem.

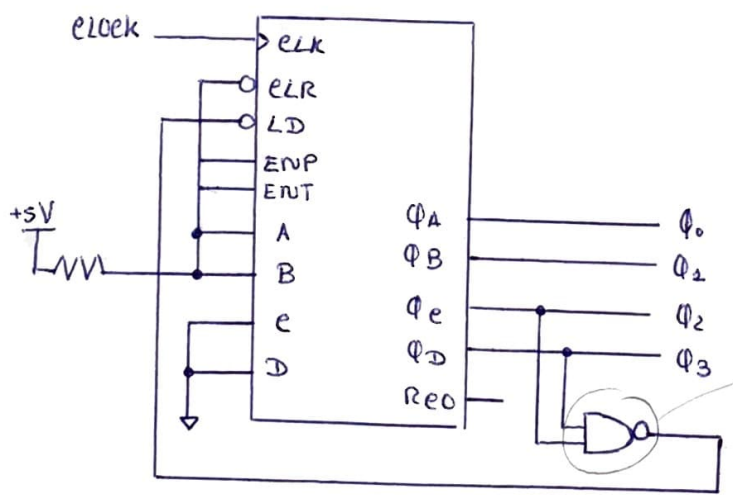
- Modelo 74x163 como um contador de **módulo 11** com uma sequência de contagem de **0 → 10**.



→ Utiliza uma porta lógica NAND para detectar o estado 10 e forçar o próximo estado a ser 0.

No geral para detectar o estado N numa contagem binária \bar{q} conta de $0 \rightarrow N$, é necessário adicionar apenas os bits de estado que são 1 na codificação binária de N .

- Modelo 74x163 como um contador de módulo 10 de excesso 3 (Conta de 3 → 12)



→ Deteta o estado 1100 e força o 0011 para ser carregado como sendo o próximo estado.

NOTA

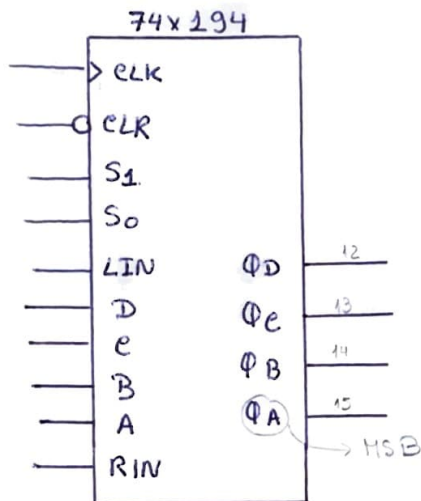
→ Neste caso, Q_3 tem um duty cycle de 50%.

► Registro de Deslocamento

(Shift Registers)

→ Registro de n bits com a possibilidade de deslocar os seus dados de armazenamento pela posição de 1 bit a cada \uparrow do CLK.

• 74x194 Universal Shift Register



- Registro de deslocamento parallel-in, parallel-out.
- S_1 e $S_0 \Rightarrow$ entradas de seleção
- LIN (left-In) é a entrada de série p/ os deslocamentos à esquerda.
- RIN (Right-In) é a entrada em série p/ os deslocamentos à direita.
- A, B, C e D apenas servem para a função LOAD (carregamento paralelo)

► Shift-Register Counters

↓
→ Um registro de deslocamento pode ser combinado c/ lógica combinacional p/ formar uma máquina de estado cujo o diagrama de estados é cíclico.

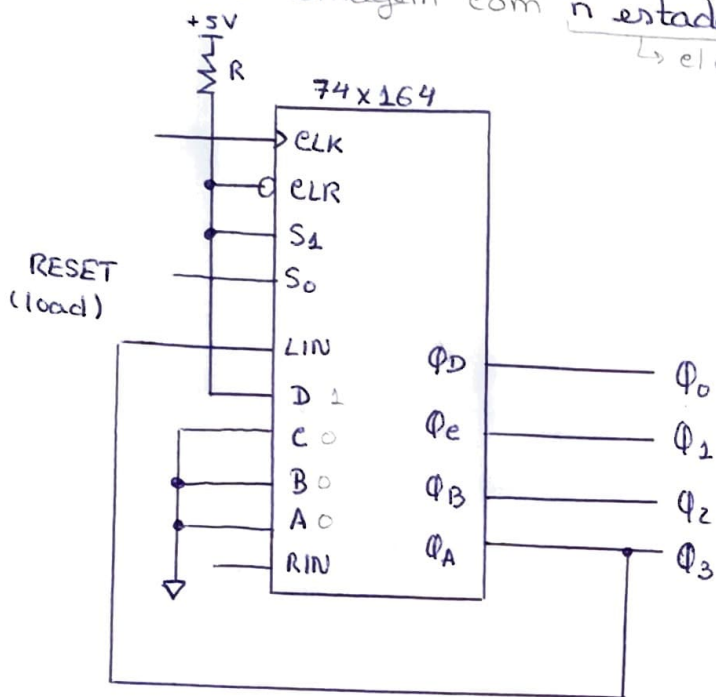
NOTA

- Ao contrário do contador binário, um shift-Register counters não conta em up/Down uma seq. binária.

• Ring counter (Contador em anel)

→ Usado um registro de deslocamento de n bits para obter uma contagem com n estados.

↳ apenas os bits utilizados



• O modelo 74x164 (URD) é conectado de forma a \bar{q} normalmente execute um deslocamento p/ a esq.

• Φ d. RESET está habilitado, carrega p/ 0001.

• Φ d. RESET ã está habilitado, o '164 faz um desloce p/ esquerda em cada \uparrow .

• A entrada de série LIN está

conectada à saída "mais à esq.", logo os próximos estados são 0010, 0100, 1000, 0001, 0010, ... (4 estados únicos)

MAS, tem 16 estados "reais" se desenharmos o seu diagrama de estados.

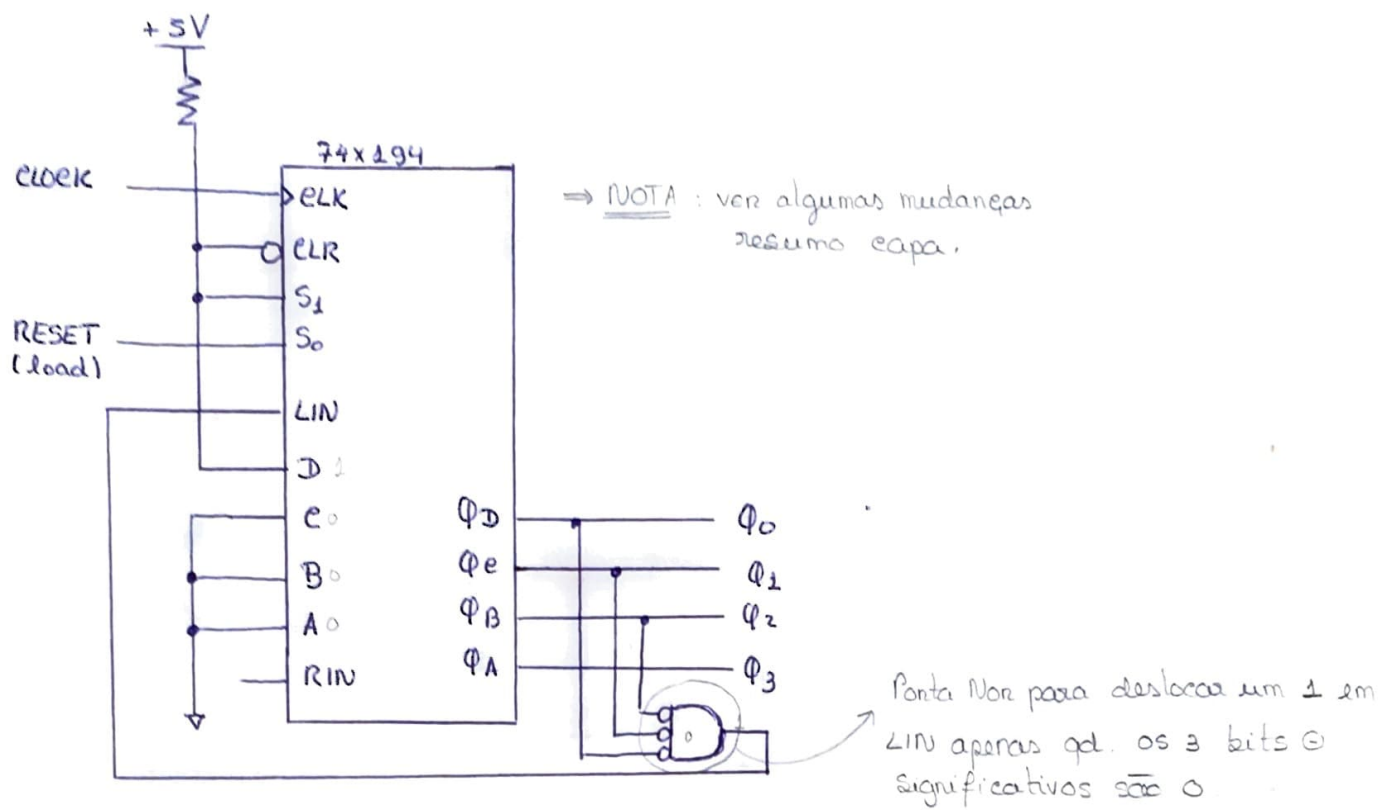
• Self-correcting Ring Counter (Contador de anel de autocorreção)

→ É projetado p/ q todos os estados anormais tenham transições levando-os p/ os estados normais.

↳ Se algo inexplicável acontecer, o contador ou a máquina de estado deve ir para um estado "seguro".

→ n bits $\rightarrow n$ estados.

↓
Ver diagrama de estados/temporal nos resumos capa.



- RESET ⇒ Não é necessariamente necessário.

Independente do estado inicial do reg. de desloc. ao ligar, ele atinge o estado 0001 dentro de 4 \uparrow .

Logo, o reset só é preciso, se for necessário garantir q o contador começa sincronamente, (etc.)

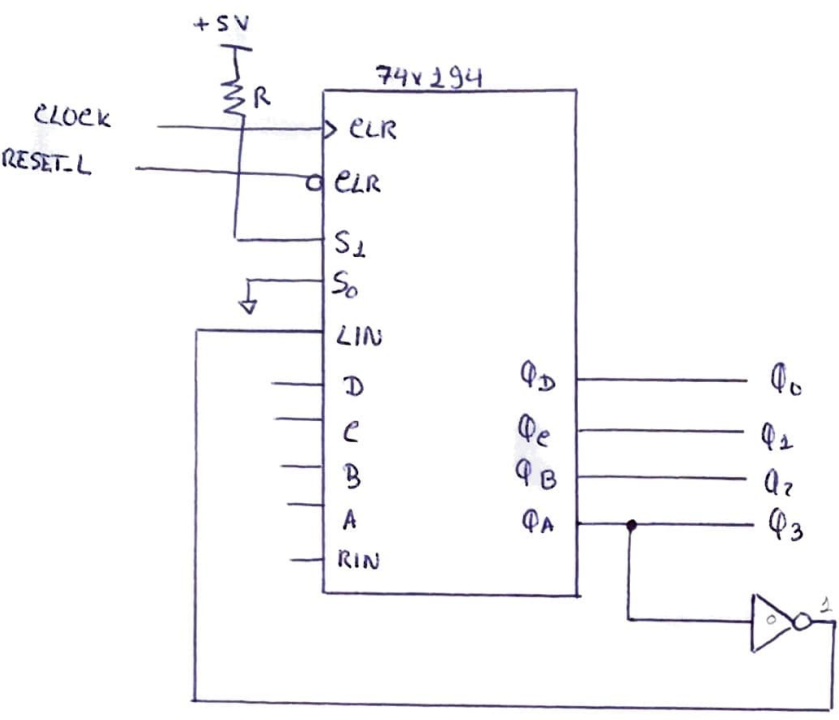
No geral, n bits $\Rightarrow n-1$ (input NOR gate)

1 corrige um estado anormal dentro de $n-1$ \uparrow .

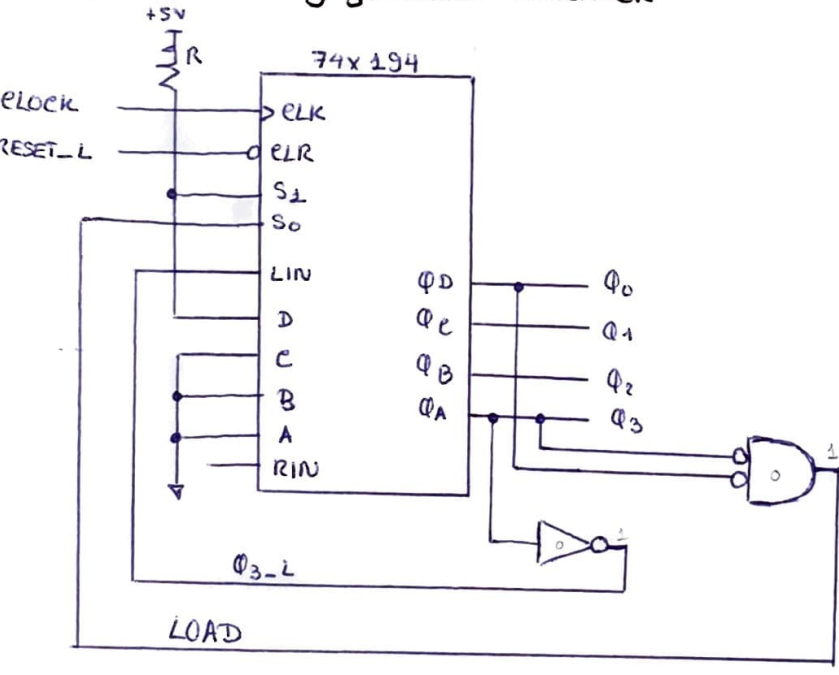
- Johnson Counter (twisted ring)

→ n bits e o complemento da saída em série realimentada na entrada em série é um contador com $2 \times n$ estados.

→ n bits $\Rightarrow 2^n - 2 \times n$ estados anormais.



• Self-correcting johnson counter



- O circuito corrige o valor 0001 como o próximo estado sp. o estado atual é 0xx0.