

توضیحات کلی از timing summary :

minimum input arrival time before clock =

این مقدار نشان دهنده کمترین مقدار ورودی ها قبل از زمان ورودی ها می باشد.

maximum output required time after clock:

این مقدار نشان دهنده کمترین مقدار خروجی ها بعد از زمان خروجی ها می باشد.

maximum Conditional path delay:

این مقدار نشان دهنده کمترین مقدار تاخیر در مسیری ها می باشد.

مجموعه HDL synthesis Report - قسمت ۱ - سرعت اقرار در زمان اجرای FPGA می باشد.

توضیحات Primitives and black box usage :

این جدول نشان دهنده تعداد استفاده از اجزای مختلف در مدار می باشد. شامل LUT ها،

Clock buffer ها، I/O buffer ها و سایر اجزای دیگر می باشد.

همچنین می توان تعداد استفاده از این اجزای مختلف را در جدولی مشاهده کرد.

بررسی کرد و مقایسه شد. جدولی که این منابع استفاده شده اند.

minimum period = 1,150.7 ns (maximum frequency = 443.42 MHz) : Q7-1

کمترین دوره تناوب در این مدار 1,150.7 ns می باشد.

minimum period = 1,474.4 ns (maximum frequency = 278.17 MHz) : Q7-2

↓
کمترین دوره تناوب در این مدار 1,474.4 ns می باشد.

minimum period = 13,747 ns (maximum frequency = 72.742 MHz) : Q2

↓
max فضا در این مدار

minimum period = $1,911 \text{ ns}$ (maximum frequency: $251,171 \text{ MHz}$) : Q3
max فريڪنسي ڪا رينج ۾

minimum period = $1,400 \text{ ns}$ (maximum frequency: $401,097 \text{ MHz}$) : Q4
max فريڪنسي ڪا رينج ۾