2017

MP HW1

ساره سلطانی نژاد ۹۳۳۱۰۳۹

WINDOWS USER

[COMPANY NAME] | [Company address]

Q1

Cache only memory architecture (COMA)

همانند NUMA است، ولی حافظه مشترک شامل حافظه cache است. داده‌ها از cache یک پردازنده به cache دیگر منتقل می‌شوند. در این معماری اگر نیاز به داده ای باشد که در cache پردازنده دیگر باشد آن داده از cache پردازنده قبلی به پردازنده جدید انتقال می‌یابد که این کار باعث میشود از یک داده چندین کپی در cache نباشد و در این صورت اگر داده درون cache هم تغییر کرد نیازی نیست بقیه هم بروزرسانی شوند.
در این معماری، سازماندهی حافظه مشابه numa است که هر پردازنده بخشی از فضای آدرس را نگه می‌دارد. پارتیشن‌بندی داده میان حافظه‌ها، static نیست چون همه حافظه‌های توزیع‌شده مثل cache های بزرگ هستند. در اینجا وظیفه هر حافظه ۲ برابر است: در کنار اینکه یک cache بزرگ برای هر پردازنده است، آن شامل برخی داده‌هایی از فضای آدرس مشترک می‌باشد که پردازنده هرگز به آن‌ها دسترسی نداشته است. به عبارت دیگر آن یک cache و یک بخش مجازی از حافظه مشترک است که آن را attraction memory می‌نامیم. پروتکل coherence داده استفاده شده توسط هر پردازنده را در AM خودش attract میکند.
در coma هر ماژول حافظه مشترک در سیستم، یک cache است که خط حافظه، یک tag به همراه آدرس و وضعیت آن خط دارد. وقتی یک پردازنده به یک خط رجوع می‌کند، آن را هم در cache خودش و هم دربخشی از حافظه مشترک NUMA (local memory) قرار می‌دهد. هر ماژول حافظه مشترک مثل یک حافظه cache بزرگ عمل می‌کند. سخت افزار COMA به طور خودکار داده را در تکرار و جور می‌کند و آن را در ماژول حافظه نودی که اخیرا به آن دسترسی داشته است، منتقل می‌کند. coma شانس در دسترس بودن محلی داده را افزایش و تاخیر دسترسی به حافظه را کاهش می‌دهد.
پس در معماری coma هر نود شامل یک یا چندپردازنده با private cache و یک ماژول حافظه، که بخشی از حافظه مشترک NUMA است، می باشد. دسترسی به حافظه remote خیلی بیشتر از حافظه محلی تاخیر ایجاد می‌کند. در coma سخت افزار میتواند دسترسی به کلاسی از حافظه remote را از بین ببرد. که این کار را با تبدیل ماژول‌های حافظه به cache های بزرگی که AM نامیده می‌شود، انجام می‌دهد. وقتی یک پردازنده یک line از حافظه remote را درخواست می‌کند، آن خط هم در کش پردازنده و هم در AM نود insert می‌شود. یک line را میتوان از AM حذف کرد اگر خط دیگری به فضا نیاز داشته باشد. و این موجب می‌شود پردازنده به صورت دینامیکی مجموعه کاری خود را در ماژول حافظه محلی خود attract کند.

ویژگی‌های COMA:

- مدل برنامه نویسی: shared memory
- ویژگی اصلی: پارتیشن بندی دینامیک داده
- هر نود حافظه cache only دارد که مثل یک cache بزرگ برای هر نود عمل می‌کند
- حافظه محلی نود به عنوان یک سطح دیگر cache به نام attraction memory ساماندهی شده است
- پروتکل coherence داده استفاده شده توسط پردازنده را در attraction memory خودش attract می‌کند.
- نیازی به برنامه نویس برای انتقال داده به حافظه محلی نیست و این کار به صورت اتوماتیک انجام میشود

Source:
https://www.researchgate.net/publication/2954129_Ddm_-_a_Cache-Only_Memory_Architecture

https://pdfs.semanticscholar.org/bf7b/28933a570cf8c7beef3aaed1b58dd130fcc8.pdf

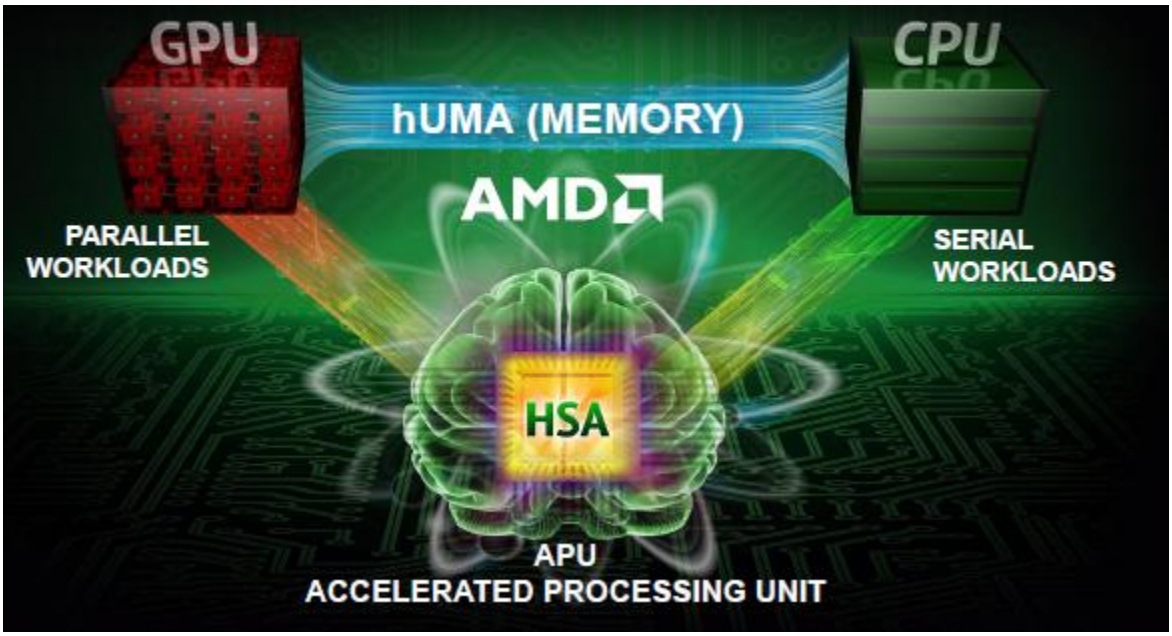
Huma: Heterogeneous Unified Memory Access

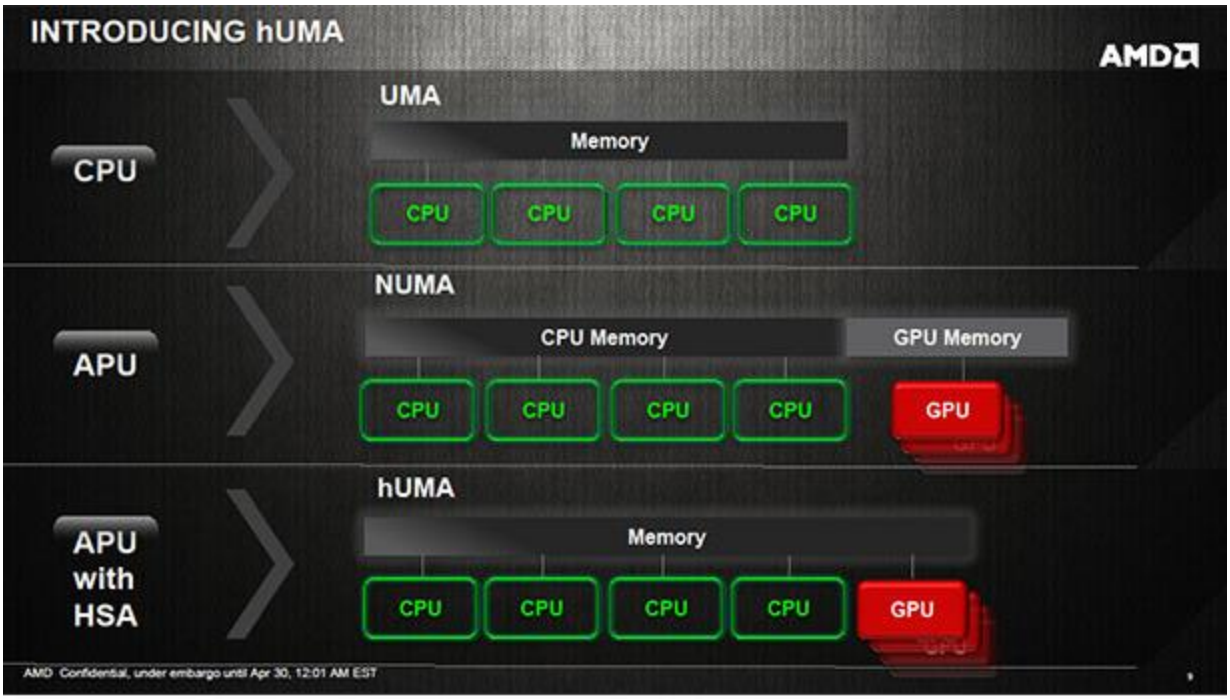
دسترسی یکنواخت به حافظه توسط CPU و GPU که موجب بهبود کارایی پردازش ها می‌شود. در این معماری cpu و gpu یک حافظه را بین خودشان از طریق cache coherent به اشتراک می‌گذارند که این موجب انتقال کمتر داده و افزایش کارایی می‌شود

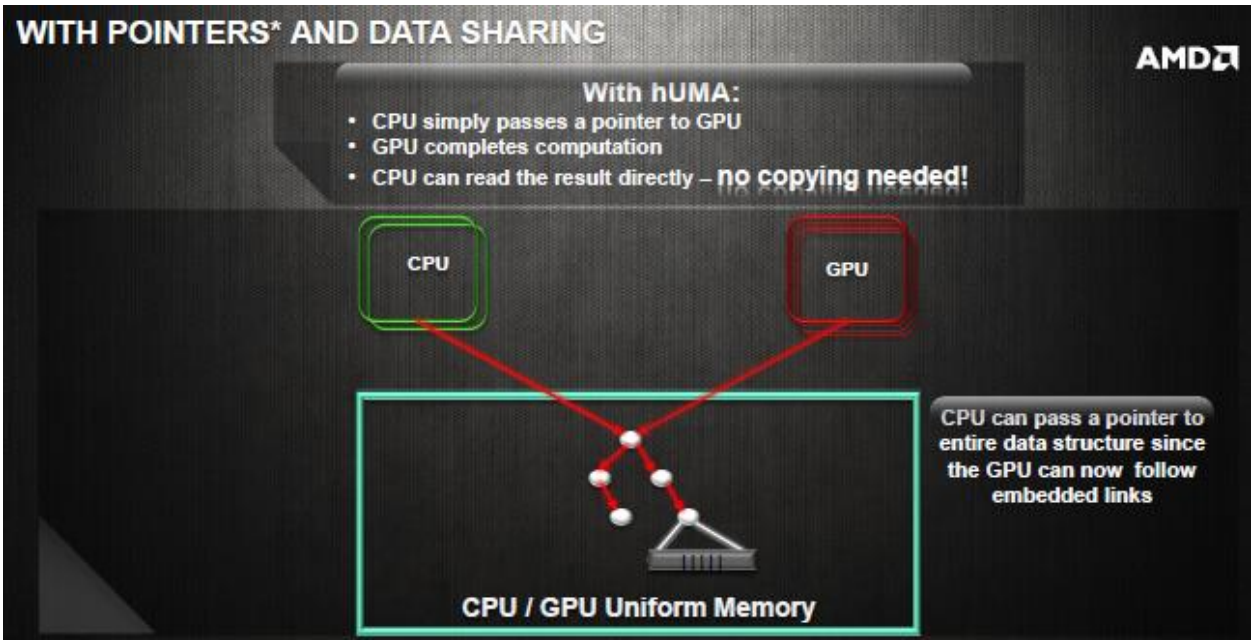
در تراشه‌های Heterogeneous System architecture (HSA)، CPU و GPU روی یک قطعه از سیلیکون هستند اما نوآوری بزرگ این است که با HSA هر دو واحد میتوانند مستقیما به حافظه مشترک دسترسی داشته باشند.

در پردازنده‌های قبلی Intel , AMD، cpu و gpu دارای بلوک‌های حافظه جداگانه هستند. gpu برای انجام پردازش‌های خود نیاز به داده‌هایی دارد که باید از cpu کپی شوند و زمانی که پردازش تمام شد لازم است نتیجه برگردد و ذخیره شود که این موجب تضعیف شدید عملکرد سیستم می‌شود.

با متحد کردن(unifying) دو بلوک حافظه و اجازه دادن به cpu و gpu برای دسترسی مستقیم به داده‌های مشابه، سربار کپی کردن داده‌ها از بین می‌رود و کارایی افزایش می‌یابد.







Source:

https://www.bit-tech.net/news/tech/cpus/amd-huma-heterogeneous-unified-memory-acces/1/

Q2

بر خلاف قانون آمدال که در آن اندازه مسئله ثابت بود، در اینجا فرض شده است که اندزه مسئله را برای استفاده کردن از کل توان مصرفی افزایش دهیم

Gustafson–Barsis's law

این قانون می‌گوید، هرچه سرعت سیستم افزایش یابد در زمان اجرا ثابت، اندازه مسئله نیز افزایش می‌یابد اما این افزایش باید به اندازه ای باشد که **زمان اجرا** از یک حدی بیشتر نشود. این قانون بیانگر این است که افزایش اندازه مسئله برای سیستم‌های بزرگ میتواند مقیاس‌پذیری را حفظ کند.

Sun-Ni’s law

این قانون می‌گوید، هرچه سرعت سیستم افزایش یابد ، اندازه مسئله نیز افزایش می‌یابد اما این افزایش باید به اندازه ای باشد که **حافظه مورد نیاز برای حل مسئله** از یک حدی بیشتر نشود. این قانون بیانگر این است هرچه سیستم سریع‌تر شود و توان مصرفی آن افزایش یابد، اندازه مسئله متناسب با مقدار حافظه سیستم افزایش می‌یابد و حافظه سیستم یک عامل محدود کننده برای افزایش اندازه مسئله است.

Q3

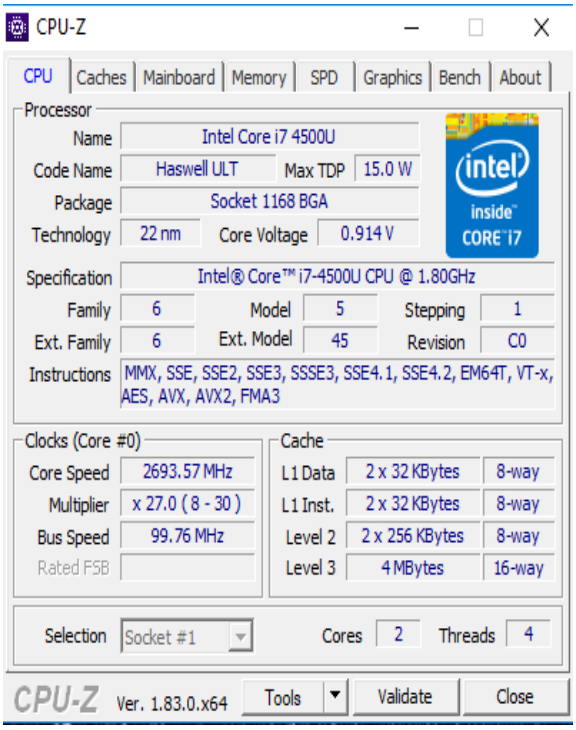
علت کاهش کارآیی یک هسته چند نخی با افزایش تعداد thread ها به بحث coherency برمیگردد که در پردازنده در حال اجراست که thread ها را با هم sync میکند که این موجب میشود هر چه تعداد threadها افزایش یابد، کارایی کاهش می یابد چون زمان زیادی صرف جابه جا کردن داده ها و سینک کردن این نخ ها می‌شود و هر چهcache هم بزرگتر بشود این فرایند بیشترطول می‌کشد.

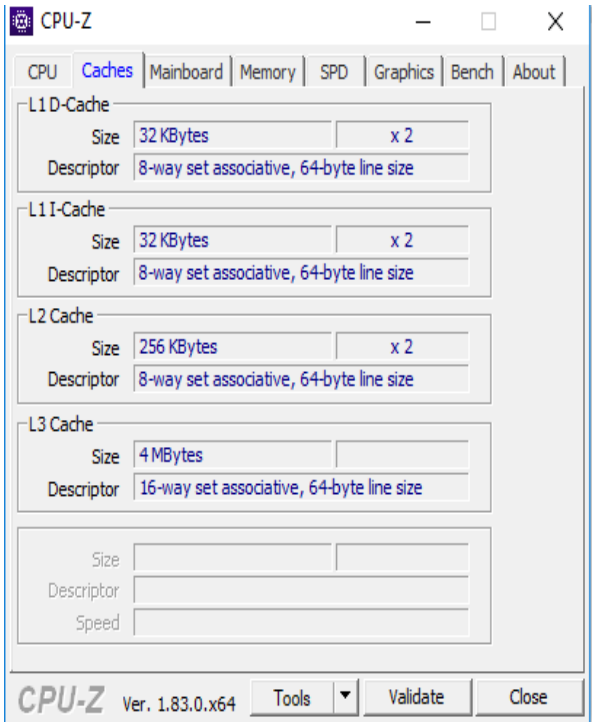
Q4

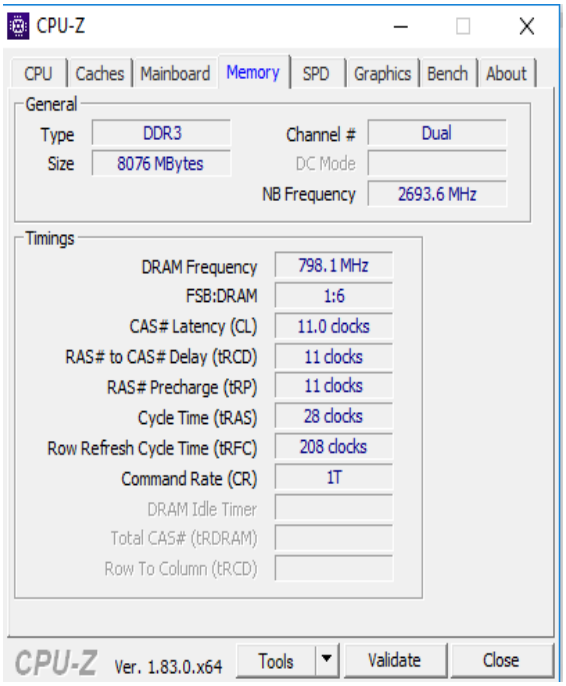
تعداد هسته های cpu	2
تعداد نخ های cpu	4
بیشینه فرکانس کاری cpu	2693.6 MHZ
تعداد سطوح حافظه نهان و اندازه آن ها	3 L1 Data-cache: Size: 2X32KB Descriptor: 8-way , 64-byte line size L1 Instruction-cache: Size: 2*32KB Descriptor: 8-way , 64-byte line size L2 cache: Size: 2*256KB Descriptor: 8-way , 64-byte line size L3 cache: Size: 4MB Descriptor: 16-way , 64-byte line size
اندازه خطوط حافظه نهان	64-byte line size
حجم حافظه اصلی سیستم	8076 MB
توپولوژی اتصال هسته های پردازنده	HasWell

:4.4

پس پردازنده core i7 است نسل ۴ و با توجه به این توپولوژی آن Haswell می باشد


CPU-Z
CPU
Caches
Mainboard
Memory
SPD
Graphics
Bench
About
Processor
Name
Intel Core i7 4500U
Code Name
Haswell ULT
Max TDP
15.0 W
Package
Socket 1168 BGA
Technology
22 nm
Core Voltage
0.914 V
Specification
Intel® Core™ i7-4500U CPU @ 1.80GHz
Family
6
Model
5
Stepping
1
Ext. Family
6
Ext. Model
45
Revision
C0
Instructions
MMX, SSE, SSE2, SSE3, SSSE3, SSE4.1, SSE4.2, EM64T, VT-x, AES, AVX, AVX2, FMA3
Clocks (Core #0)
Core Speed
2693.57 MHz
Multiplier
x 27.0 (8 - 30)
Bus Speed
99.76 MHz
Rated FSB
Cache
L1 Data
2 x 32 KBytes
8-way
L1 Inst.
2 x 32 KBytes
8-way
Level 2
2 x 256 KBytes
8-way
Level 3
4 MBytes
16-way
Selection
Socket #1
Cores
2
Threads
4
CPU-Z
Ver. 1.83.0.x64
Tools
Validate
Close


CPU-Z
CPU
Caches
Mainboard
Memory
SPD
Graphics
Bench
About
L1 D-Cache
Size
32 KBytes
x 2
Descriptor
8-way set associative, 64-byte line size
L1 I-Cache
Size
32 KBytes
x 2
Descriptor
8-way set associative, 64-byte line size
L2 Cache
Size
256 KBytes
x 2
Descriptor
8-way set associative, 64-byte line size
L3 Cache
Size
4 MBytes
Descriptor
16-way set associative, 64-byte line size
Size
Descriptor
Speed
CPU-Z
Ver. 1.83.0.x64
Tools
Validate
Close


CPU-Z
CPU
Caches
Mainboard
Memory
SPD
Graphics
Bench
About
General
Type
DDR3
Size
8076 MBytes
Channel #
Dual
DC Mode
NB Frequency
2693.6 MHz
Timings
DRAM Frequency
798.1 MHz
FSB:DRAM
1:6
CAS# Latency (CL)
11.0 clocks
RAS# to CAS# Delay (tRCD)
11 clocks
RAS# Precharge (tRP)
11 clocks
Cycle Time (tRAS)
28 clocks
Row Refresh Cycle Time (tRFC)
208 clocks
Command Rate (CR)
1T
DRAM Idle Timer
Total CAS# (tRDRAM)
Row To Column (tRCD)
CPU-Z
Ver. 1.83.0.x64
Tools
Validate
Close