

Circuitos Digitais

Prof. *Rogério Moreira*

rogerio_moreira@anhanguera.com

25 de fevereiro de 2015

PLANO DE ENSINO E APRENDIZAGEM

CURSO: Ciência da Computação

Disciplina: Circuitos Digitais	Período Letivo: 1º sem/2015	Série: 3ª Série	Período: <i>Não definido</i>
Semestre de Ingresso: 1º		Ano de Ingresso: 2014	
C.H. Teórica: 40	C.H. Prática: 20	C.H. Outras: 20	C.H. Total: 80

Ementa

Propriedade da álgebra de Boole. Elementos Lógicos Básicos; minimização e implementação de funções. Flip-Flops. Dispositivos básicos de circuitos combinacionais: Multiplexadores, Demultiplexadores, decodificadores, codificadores, somadores, subtratores, comparadores. Conceitos de controle e temporização. Análise e Síntese de circuitos seqüenciais. Dispositivos básicos de circuitos seqüenciais: registradores de deslocamento, contadores, dispositivos lógicos programáveis PLD. Memórias ROM, PROM, EPROM, EEPROM, RAM).

Objetivos

Interpretar esquemas eletro-eletrônicos através de análise de circuitos com portas lógicas, flip-flops, contadores, decodificadores, multiplexadores e demultiplexadores. Desenvolver projetos integrando conhecimento de software e hardware.

Procedimentos Metodológicos Indicados

Aulas expositivas. Exercícios práticos. Estudos em grupo. Aula em laboratório.

Conteúdo Programático

Propriedade da álgebra de Boole:

Postulados e teoremas

Identidades auxiliares

Elementos Lógicos Básicos; minimização e implementação de funções:

Portas lógicas: AND, OR, NOT, NOR, XOR, NAND, XNOR.

Revisão de simplificação: natural e mapa de Karnaugh, Teorema De Morgan, Mintermos e Maxtermos.

Flip-Flops:

RS: básico e clock

JK: básico, com preset e clear, mestre e escravo, mestre e escravo com preset e clear

Dispositivos básicos de circuitos seqüenciais:

Registradores de deslocamento,

Contadores,

Dispositivos lógicos programáveis PLD,

Latch

Análise e Síntese de circuitos seqüenciais

Conceitos de controle e temporização:

Registradores de deslocamento

Contadores: síncronos, assíncronos

Saídas (Q e complemento de Q)

Dispositivos básicos de circuitos combinacionais:

Multiplexadores,

Demultiplexadores,

Decodificadores,

Codificadores,

Somadores,

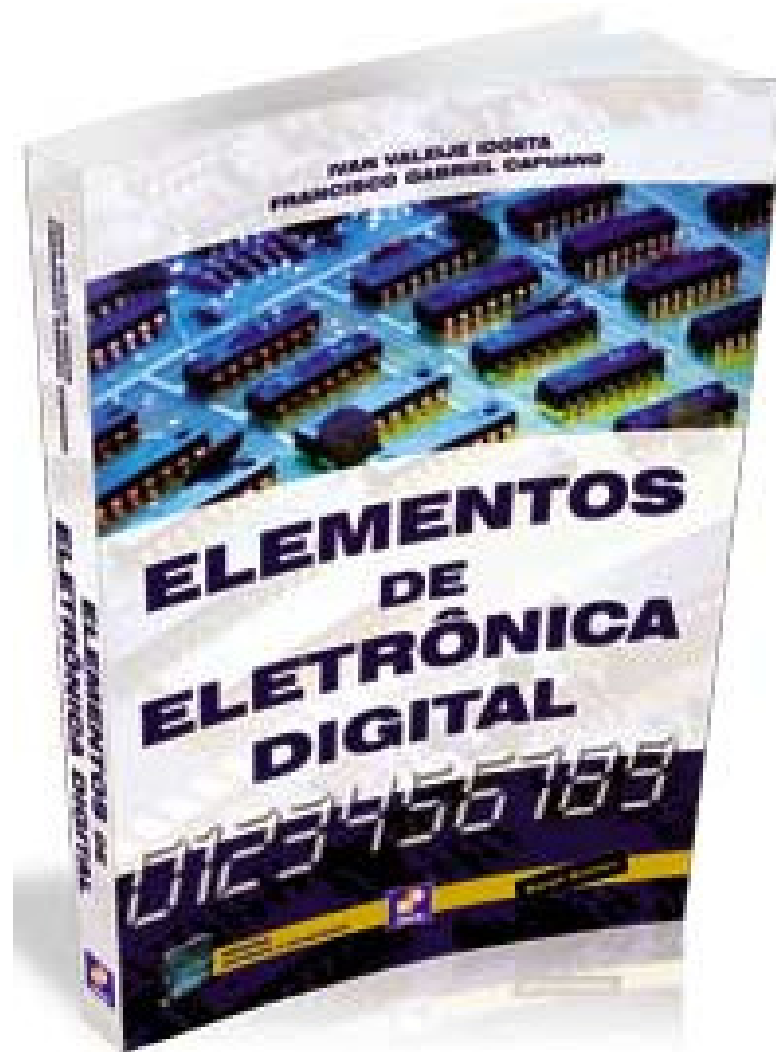
Subtratores,

Comparadores

Memórias : ROM, PROM, EPROM, EEPROM, RAM.

Bibliografia Básica Padrão

1) IDOETA, Ivan (org.). **Elementos de eletrônica digital**. 41ª ed. São Paulo: Erica, 2012.



Cronograma de Aulas	
Semana n°.	Tema
1	Apresentação da Disciplina e Metodologia de Trabalho. Revisão de Aritmética Binária.
2	Propriedade da Álgebra de Boole. Elementos Lógicos Básicos.
3	Minimização e Implementação de Funções.
4	Dispositivos Básicos de Circuitos Combinacionais: Decodificadores, Codificadores.
5	Dispositivos Básicos de Circuitos Combinacionais: Decodificadores, Codificadores.
6	Dispositivos Básicos de Circuitos Combinacionais: Somadores, Subtratores.
7	Dispositivos Básicos de Circuitos Combinacionais: Comparadores.
8	Dispositivos Básicos de Circuitos Combinacionais: Multiplexadores, Demultiplexadores.
9	Atividades de Avaliação.
10	Flip-Flops.
11	Flip-Flops.
12	Conceitos de Controle e Temporização.
13	Análise e Síntese de Circuitos Seqüenciais.
14	Análise e Síntese de Circuitos Seqüenciais.
15	Dispositivos Básicos de Circuitos Seqüenciais: Registradores de Deslocamento.
16	Dispositivos Básicos de Circuitos Seqüenciais: Contadores.
17	Dispositivos Básicos de Circuitos Seqüenciais: Dispositivos Lógicos Programáveis ou PLD, Memórias: ROM, PROM, EPROM, EEPROM, RAM.
18	Prova Escrita Oficial.
19	Prova Substitutiva.

Calendário

Janeiro

Seg	Ter	Qua	Qui	Sex	Sab	Dom
			1	2	3	4
5	6	7	8	9	10	11
12	13	14	15	16	17	18
19	20	21	22	23	24	25
26	27	28	29	30	31	

Fevereiro

Seg	Ter	Qua	Qui	Sex	Sab	Dom
						1
2	3	4	5	6	7	8
9	10	11	12	13	14	15
16	17	18	19	20	21	22
23	24	25	26	27	28	

Março

Seg	Ter	Qua	Qui	Sex	Sab	Dom
						1
2	3	4	5	6	7	8
9	10	11	12	13	14	15
16	17	18	19	20	21	22
23	24	25	26	27	28	29
30	31					

Abril

Seg	Ter	Qua	Qui	Sex	Sab	Dom
		1	2	3	4	5
6	7	8	9	10	11	12
13	14	15	16	17	18	19
20	21	22	23	24	25	26
27	28	29	30			

Maio

Seg	Ter	Qua	Qui	Sex	Sab	Dom
				1	2	3
4	5	6	7	8	9	10
11	12	13	14	15	16	17
18	19	20	21	22	23	24
25	26	27	28	29	30	31

Junho

Seg	Ter	Qua	Qui	Sex	Sab	Dom
1	2	3	4	5	6	7
8	9	10	11	12	13	14
15	16	17	18	19	20	21
22	23	24	25	26	27	28
29	30					

Legenda

- Aula
- Aula/Último dia de entrega das notas pelo professor
- Data que o professor entregará as notas
- Feriado - não há aula
- P2
- Sub

Primeiro Bimestre

Atividade	Nota mínima	Nota Máxima	Obs.	Data de Entrega
Lista de Exercício 1	0	2	Individual	11/3/2015
Lista de Exercício 2	0	2	Individual	18/03/2015
Lista de Exercício 3	0	2	Individual	25/3/2015
Lista de Exercício 4	0	2	Individual	08/4/2015
ATPS Relatório 1	0	1	Grupo	18/3/2015
ATPS Relatório 2	0	1	Grupo	8/4/2015
TOTAL	0	10		

Não haverá P1

Peso na Nota Final => 40%

Segundo Bimestre

	Nota mínima	Nota Máxima		Data
Prova Oficial (P2)	0	8	Individual	17/6/2015
ATPS Relatório 3	0	1	Grupo	20/5/2015
ATPS Relatório 4	0	1	Grupo	10/6/2015
TOTAL	0	10		

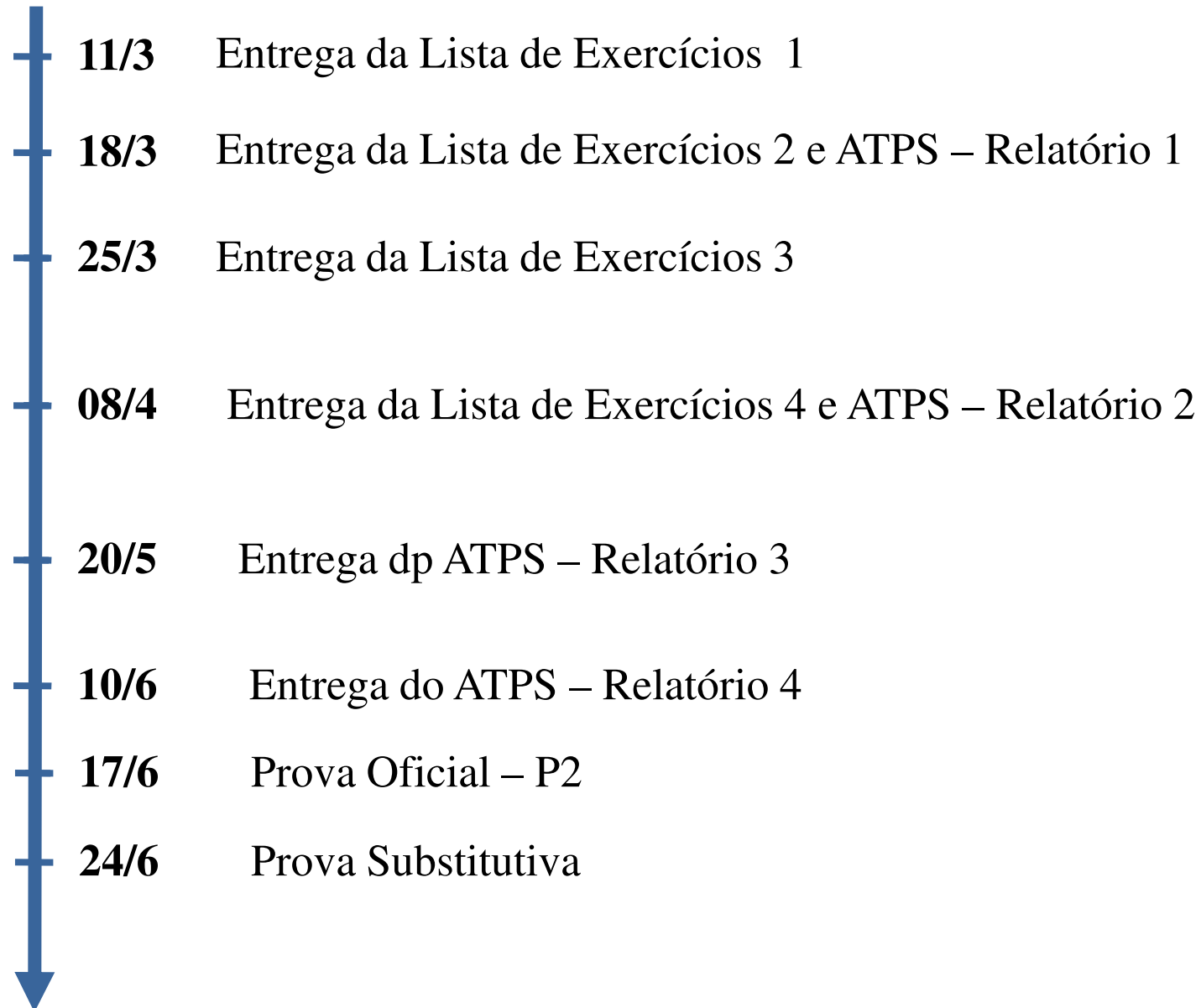
Peso na Nota Final => 60%

CRITÉRIO PARA APROVAÇÃO

≥ 6.0

Atenção !!!!!!!

5.9 → reprovado !!!!!

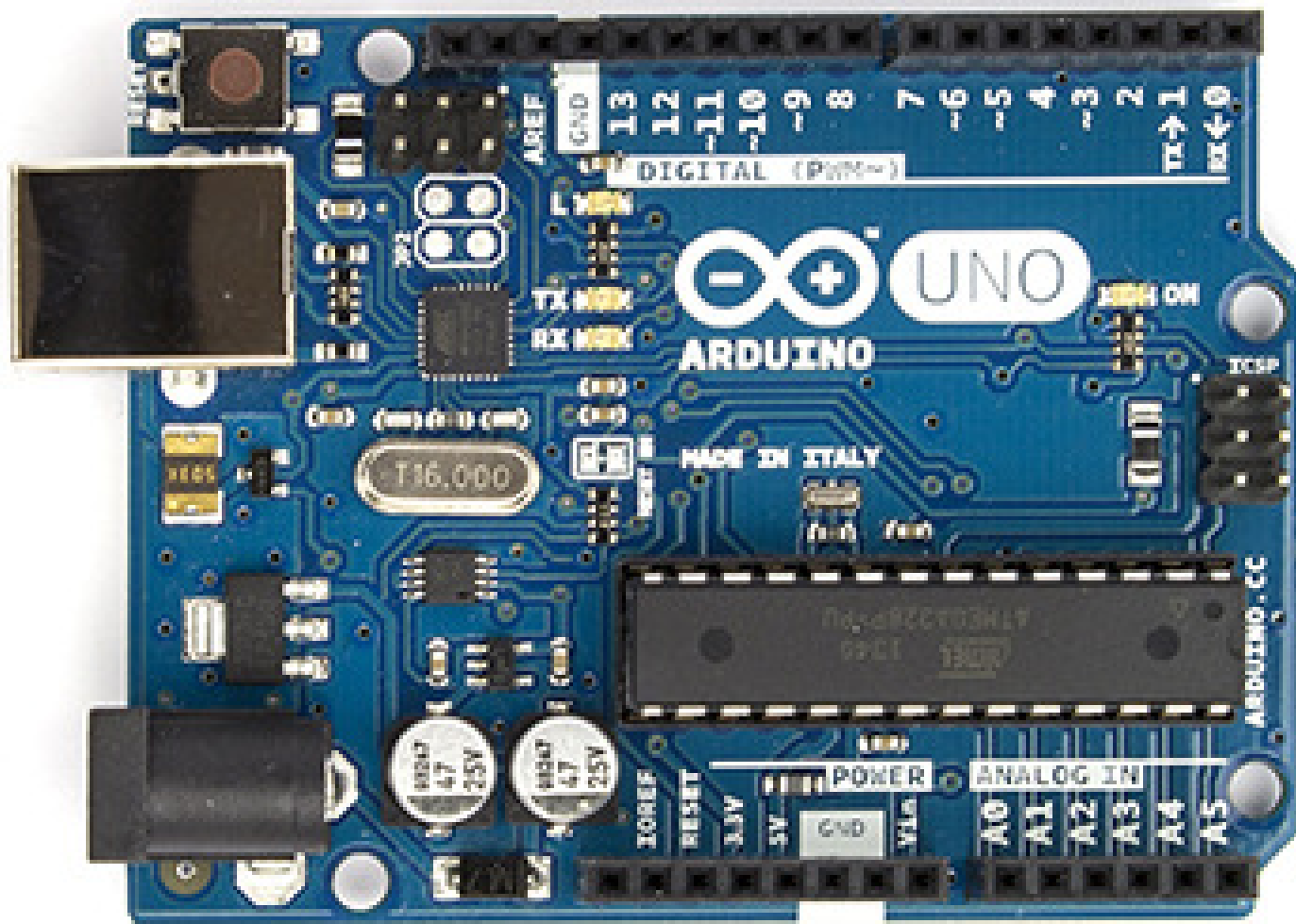


Material de aula

Disponível em diretório DROPBOX:

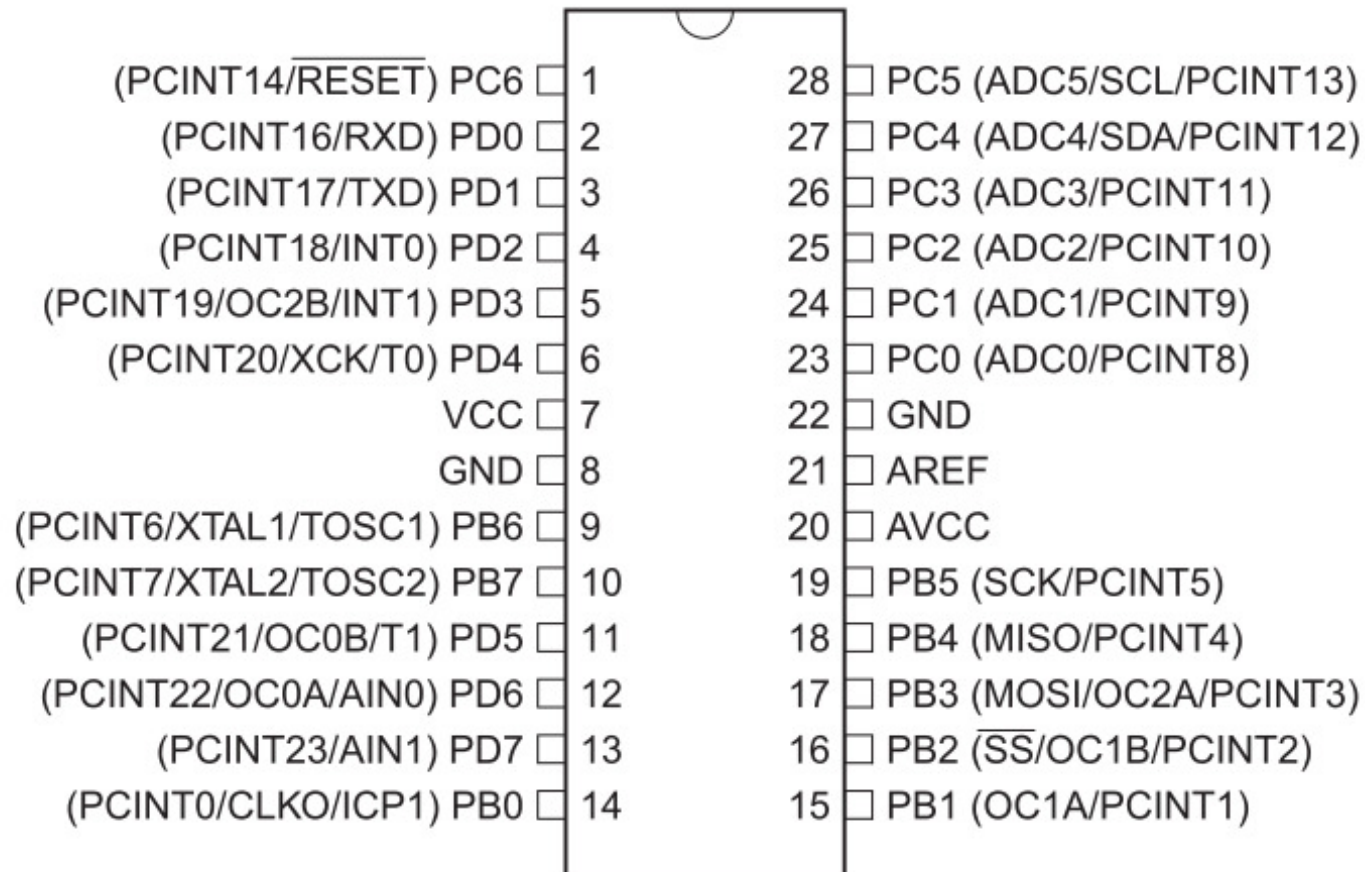
EXT915 – CCS – FAJ – 2015 – S1

1. Informe seu e-mail ao professor
2. Você receberá um convite
3. Aceite o convite
4. Pode ser acessado apenas pela web ou pode ser instalado no seu computador



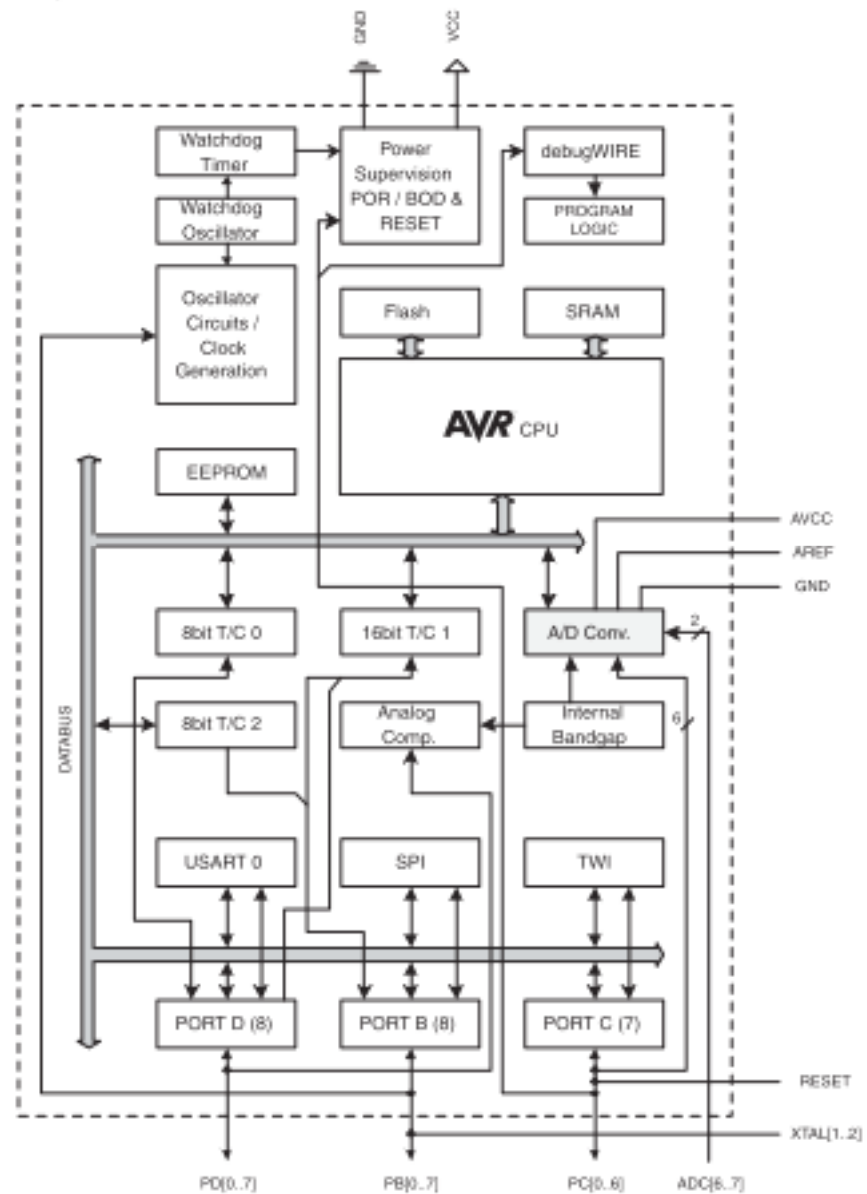


ATmega328 – Pinagem

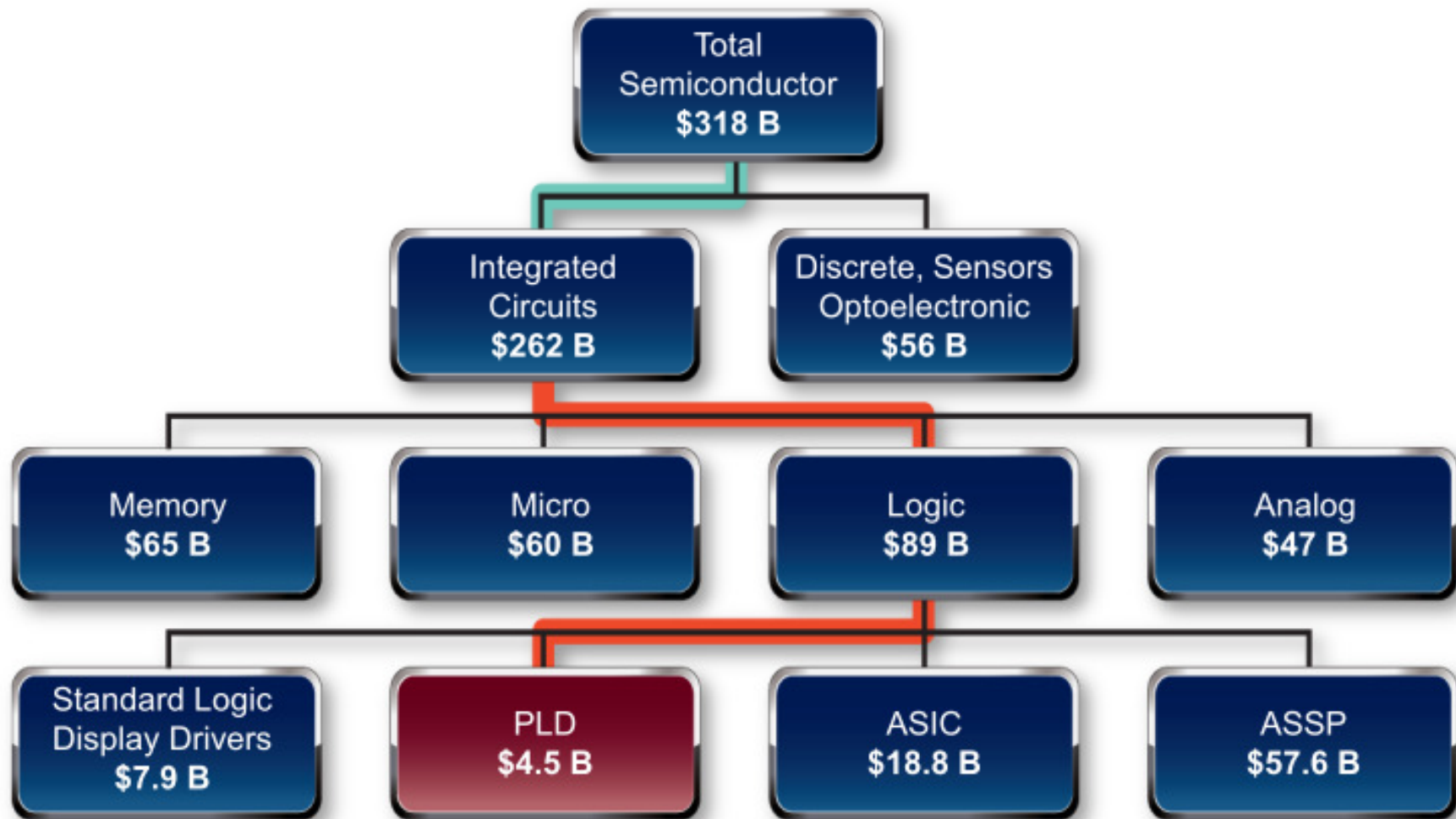


2.1 Block Diagram

Figure 2-1. Block Diagram

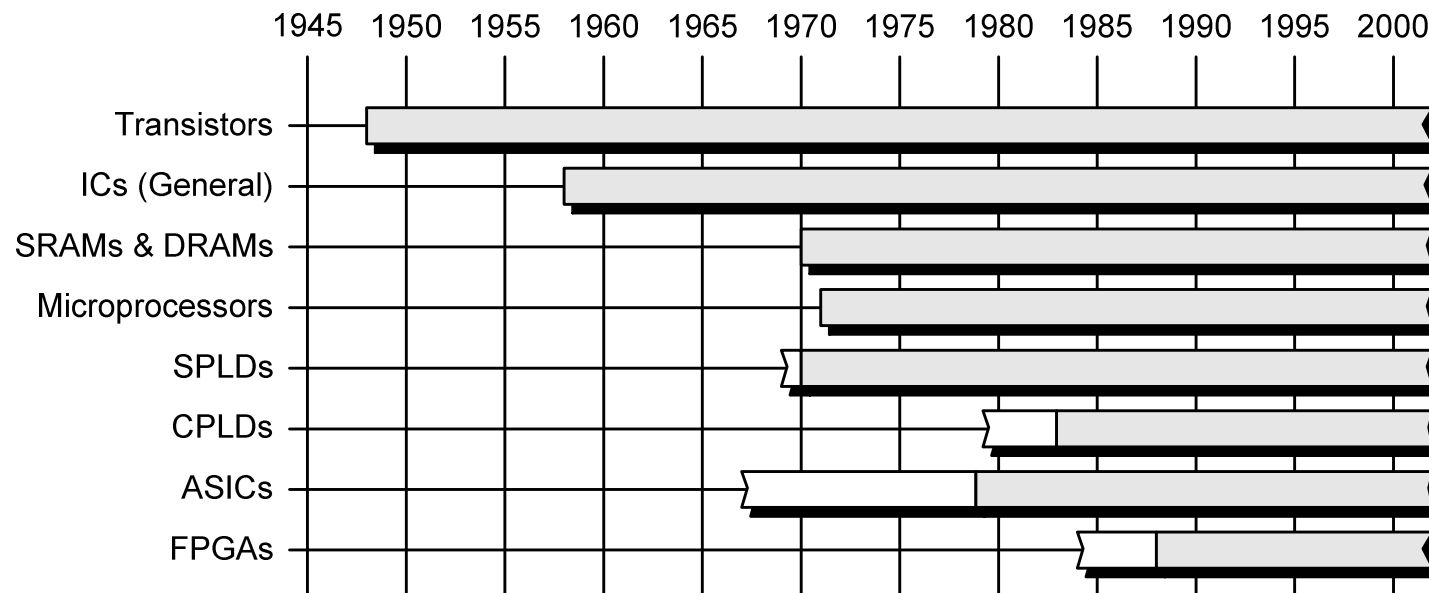


Worldwide Semiconductor Market - 2013



Source: iSuppli April, 2014

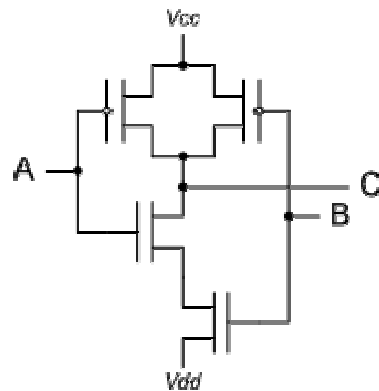
Time line of Programmable devices



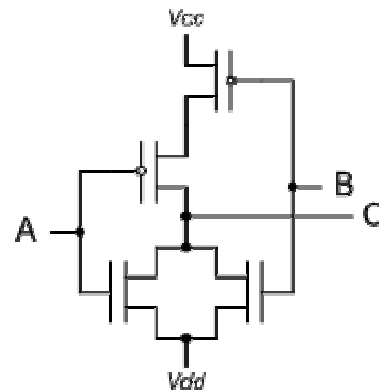
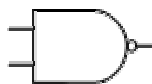
Digital Logic



Logic Gates



$C = \sim(A \& B)$
NAND gate



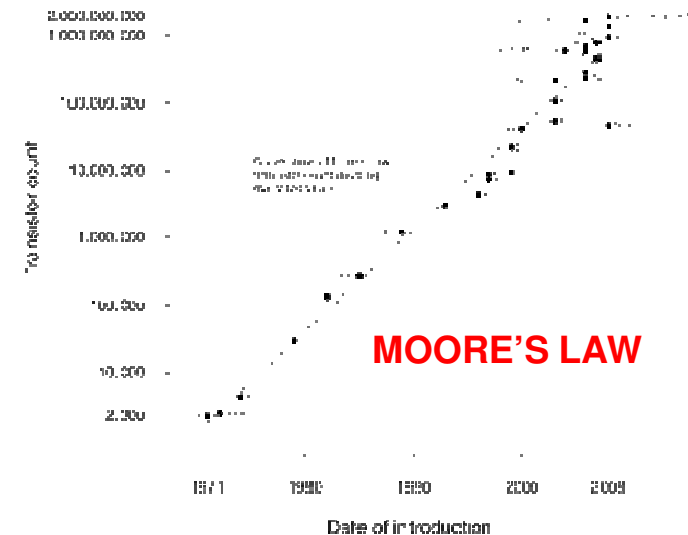
$C = \sim(A | B)$
NOR gate



Transistor Switches

< 40 nm ! \$\$\$

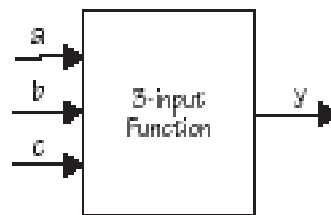
CPU Transistor Counts 1971-2008 & Moore's Law



Digital Logic

Digital Logic Function

3 Inputs



Black Box

Product AND (&
Sum OR (|)

a	b	c	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

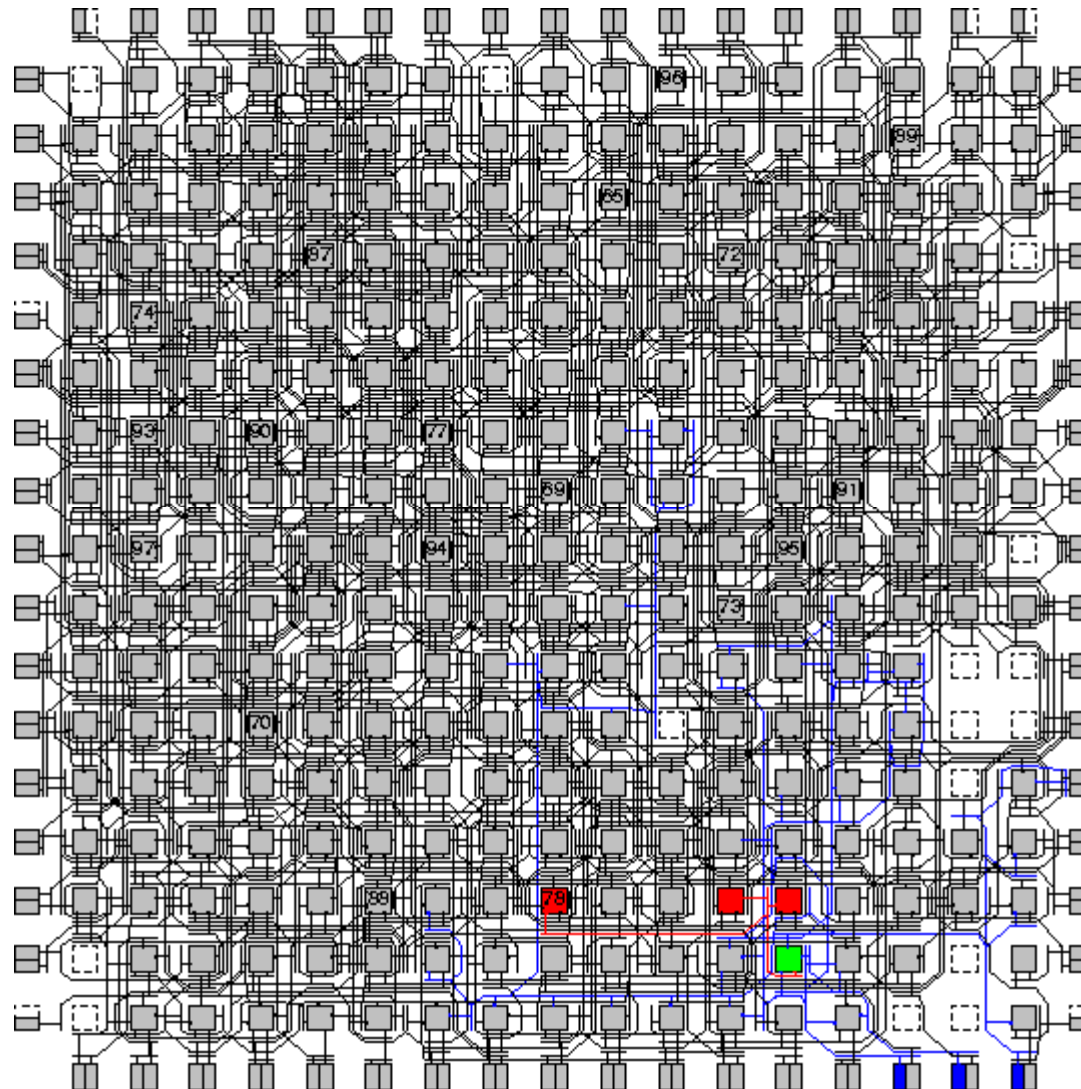
Truth Table
(Look Up Table LUT)

$$y = (\bar{a} \& \bar{b} \& c) | (\bar{a} \& b \& c) | (a \& \bar{b} \& \bar{c}) | (a \& \bar{b} \& c)$$

Sum-of-Products Expression

SUM of PRODUCTS

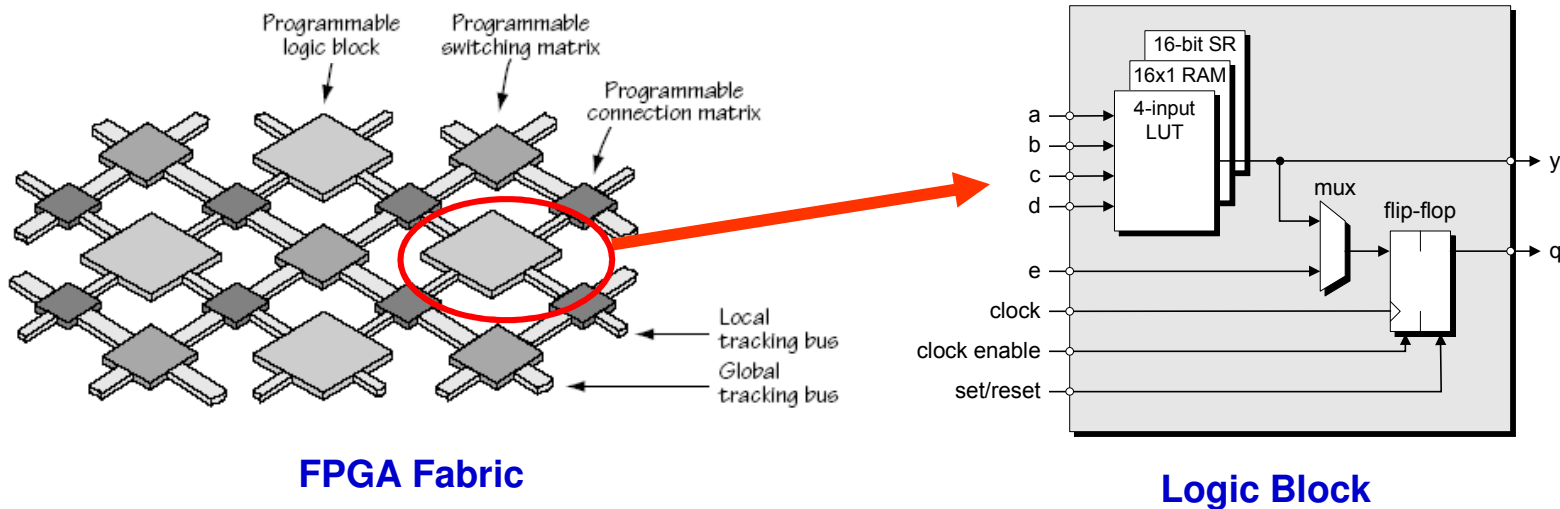
Field Programmable Gate Arrays FPGA



Routing succeeded with a channel width factor of 7.

Logic Blocks

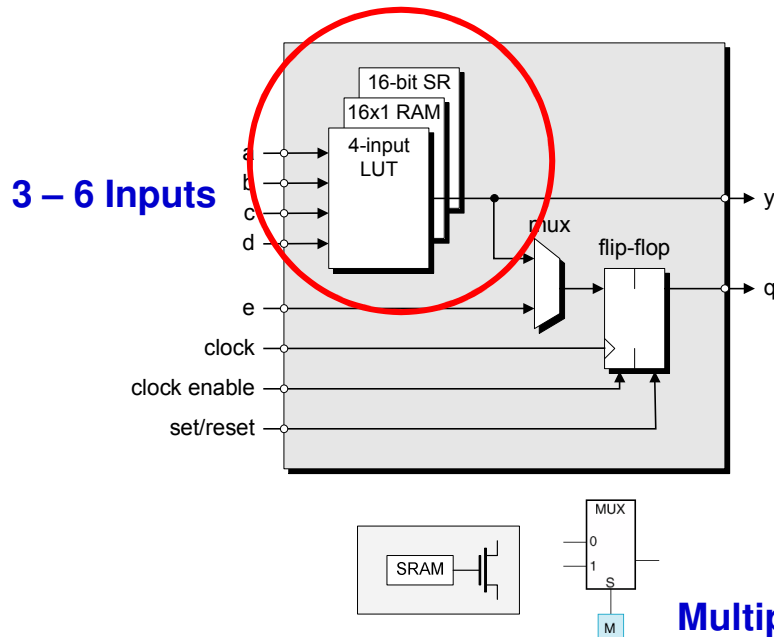
- Logic Functions implemented in Look Up Table **LUTs**.
- Flip-Flops. **Registers**. Clocked Storage elements.
- Multiplexers (select 1 of N inputs)



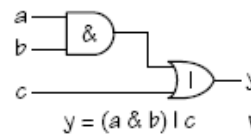
Look Up Tables LUTs

- LUT contains Memory Cells to implement small logic functions
- Each cell holds '0' or '1'.
- Programmed with outputs of **Truth Table**
- Inputs select content of one of the cells as output

3 Inputs LUT -> 8 Memory Cells

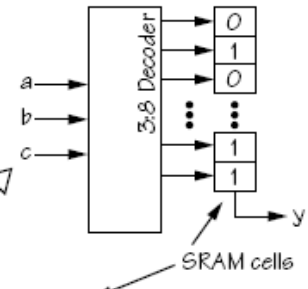
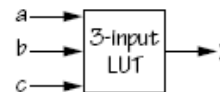


Required function



Truth table

a	b	c	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



**Static Random Access Memory
SRAM cells**