

Arquitetura de Computadores

Prof. Marcos Grillo

marcos.grillo@nhanguera.com

Apresentação da Disciplina

PLANO DE ENSINO E APRENDIZAGEM					
CURSO: Ciência da Computação					
Disciplina: Arquitetura de Computadores	Período Letivo: 2º sem/2013	Série: 6ª Série	Período: <i>Não definido</i>	Semestre de Ingresso: 1º	Ano de Ingresso: 2011
C.H. Teórica: 40	C.H. Outras: 20		C.H. Total: 60		

Ementa
Arquiteturas RISC e CISC. Pipeline. Paralelismo de Baixa Granularidade. Processadores Superescalares e Superpipeline. Multiprocessadores. Multicomputadores. Arquiteturas Paralelas e não Convencionais. Microprocessadores e Computadores Pessoais. Organização de Memória. Sistemas de Entrada e Saída, Sistemas de vídeo, Som e Outros.

Objetivos
Compreender e assimilar os componentes de dispositivos que compõem o computador. Formas de organização e de comunicação entre os subsistemas computacionais (processador, memória, disco e etc.) Conhecer a estrutura de funcionamento de uma CPU. conhecer as arquiteturas de computadores do tipo CISC e RISC. Conhecer arquiteturas de computadores pessoais, multicomputadores e multiprocessadores.

Apresentação da Disciplina

Cronograma de Aulas	
Semana nº.	Tema
1	Estrutura básica de um computador pessoal
2	Estrutura e Funcionamento da CPU: conjunto de instruções
3	Estrutura e Funcionamento da CPU: ciclo de instruções
4	Arquitetura RISC e CISC
5	Registradores: tipos de registradores
6	Registradores mais utilizados em computadores pessoais
7	Arquitetura Pipeline
8	Atividades de Avaliação.
9	Memórias: principal
10	Memórias: Secundária, cache
11	Dispositivos de entradas e saída
12	Barramento: Tipos, arquitetura, adaptadores
13	Sistema de video: GPU, Memórias, VGA, HDMI, 3D
14	Sistema multimídia
15	Análise de desempenho de computadores (Benchmark)
16	Arquitetura de computadores com paralelismo: Cluster, Cloud.
17	Computadores dedicados e embarcados
18	Prova Escrita Oficial
19	Exercícios de Revisão.
20	Prova Substitutiva

Literatura.



HENNESSY, J. L.. **Arquitetura de Computadores** : Uma Abordagem Quantitativa. 4ª ed. São Paulo: Campus - Elsevier, 2009.

Avaliação.



Sistema de Avaliação	
1º Avaliação - PESO 4,0	2º Avaliação - PESO 6,0
Atividades Avaliativas a Critério do Professor	Prova Escrita Oficial
Práticas: 3	Práticas: 3
Teóricas: 7	Teóricas: 7
Total: 10	Total: 10

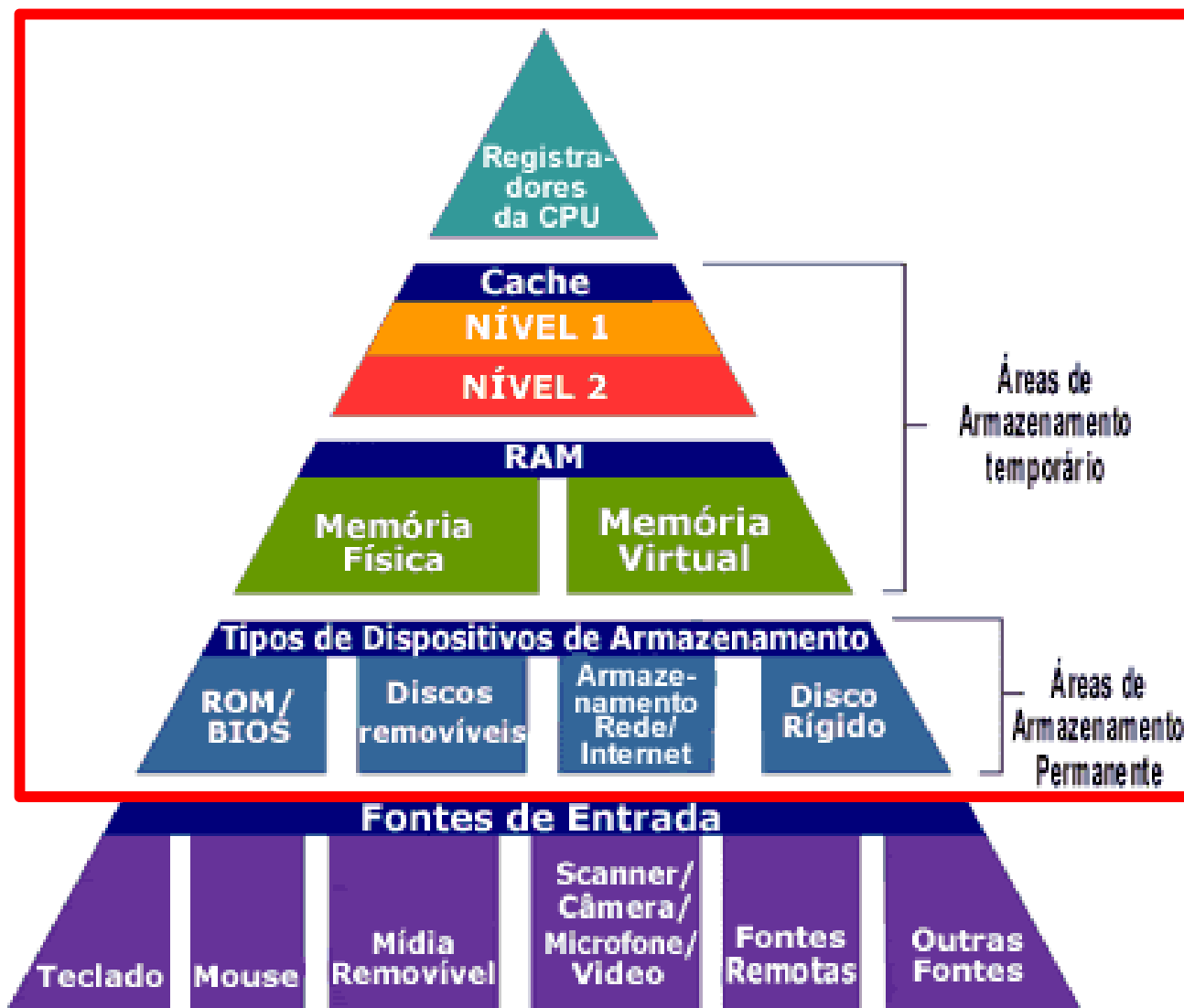
Cronograma de Aulas - 1ª etapa.

- ▶ Estrutura básica de um computador pessoal
- ▶ Estrutura e Funcionamento da CPU: conjunto de instruções
- ▶ Estrutura e Funcionamento da CPU: ciclo de instruções
- ▶ Arquitetura RISC e CISC
- ▶ Registradores: tipos de registradores
- ▶ Registradores mais utilizados em computadores pessoais
- ▶ Arquitetura Pipeline
- ▶ Atividades de Avaliação.

Cronograma de Aulas - 2ª etapa.

- ▶ Memórias: principal;
- ▶ Memórias: Secundária, cache;
- ▶ Dispositivos de entradas e saída;
- ▶ Barramento: Tipos, arquitetura, adaptadores;
- ▶ Sistema de vídeo;
- ▶ Sistema multimídia;
- ▶ Análise de desempenho de computadores (Benchmark);
- ▶ Arquitetura de computadores com paralelismo;
- ▶ Computadores dedicados e embarcados;
- ▶ Prova Escrita Oficial;
- ▶ Exercícios de Revisão;
- ▶ Prova Substitutiva;

Memórias



Memória Principal

Memória Principal, Características

- ▶ Memória Volátil;
- ▶ Mais rápida que as memórias de armazenamento permanente ou secundárias (HD, Pendrive, Flash , etc);
- ▶ Trabalha em conjunto da memória virtual;
- ▶ Utiliza o barramento para comunicação com o processador;
- ▶ Utilizam o clock externo;

Memória Principal (RAM)

- ▶ É na memória que os programas são buscados a fim de serem processados pelo microprocessador. É importante notar que aqui falamos da memória RAM (Random Access Memory) do micro, encontrada em módulos e que é instalada em sua placa-mãe.
- ▶ Muitos usuários iniciantes chamam o disco rígido de “memória” porque é nesse periférico que os dados e programas são armazenados para uso posterior.

Tipos de Memórias Principais

- ▶ A memória é acondicionada em módulos, pequenas placas contendo os circuitos de memória RAM;
- ▶ **SIMM-72**, que são módulos de 32 bits e que podem utilizar circuitos de memória do tipo FPM ou EDO;
- ▶ **DIMM**, que são módulos de 64 bits e que normalmente utilizam circuitos de memória do tipo SDRAM;

Tipos de Memórias Principais

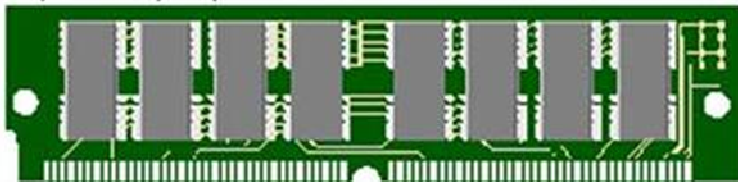
- ▶ **DDR-DIMM**, que são módulos também de 64 bits, só que utilizam uma memória chamada DDR-SDRAM, duas vezes mais rápida do que a SDRAM usada em módulos DIMM, possuem dois canais de comunicação, conseguindo se comunicar tanto na subida do clock quanto na descida.
- ▶ **RIMM**, que são módulos que usam memórias do tipo Rambus (RDRAM), que são ainda mais rápidas do que as memórias SDRAM e DDR-SDRAM.

Layout das memórias

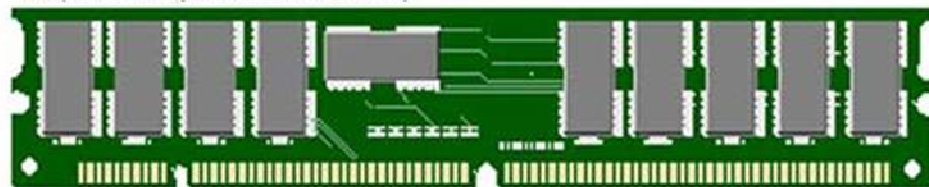
30-pin SIMM (DRAM)



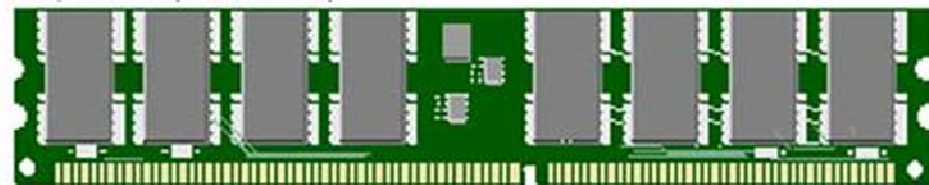
72-pin SIMM (FPM)



168-pin DIMM (FPM, EDO, SDRAM)



184-pin DIMM (DDR SDRAM)

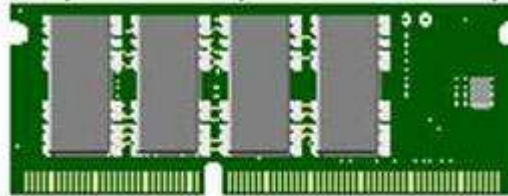


184-pin RDRAM (Rambus)

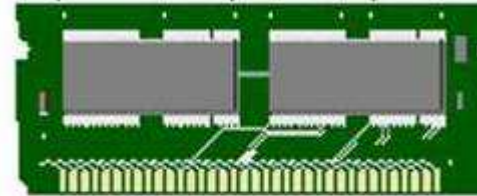


Memórias para NoteBook

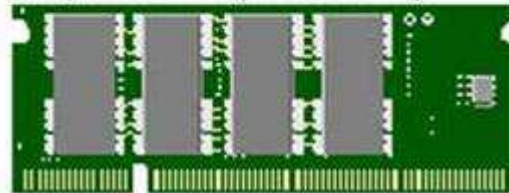
144-pin SODIMM (FPM, EDO, SDRAM)



72-pin SODIMM (FPM, EDO)



200-pin SODIMM (DDR SDRAM)



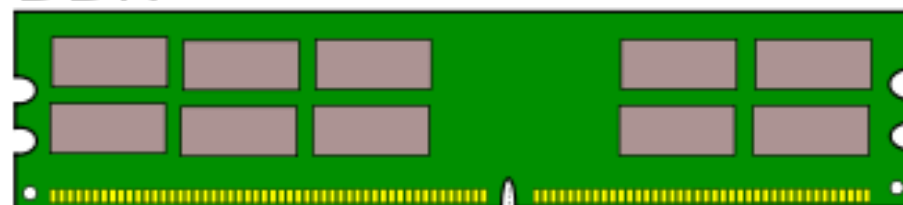
DDR SDRAM (Double Data Rate)

Alcança uma largura de banda maior que as memórias comuns por transferir dados tanto na subida quanto na descida do sinal de clock (dupla transferência). Isto efetivamente quase dobra a taxa de transferência sem aumentar a frequência do barramento externo. Desta maneira, um sistema com SDRAM tipo DDR a 100 MHz tem uma taxa de clock efetiva de 200 MHz quando comparado a um com SDRAM tipo SDR (termo criado posteriormente para fazer a diferença entre as duas, significando SDR "single-data-rate" ou taxa de transferência simples). Com os dados sendo transferidos 8 Mbytes por vez, a cada pulso do clock, a DDR SDRAM fornece uma taxa de transferência de: $[100 \text{ MHz} \times 2 \text{ (taxa dupla)} \times [8 \text{ Mbytes por vez}]]$. Assim, com uma frequência de barramento de 100 MHz, a DDR SDRAM fornece uma taxa de transferência máxima de 1600 MB/s.

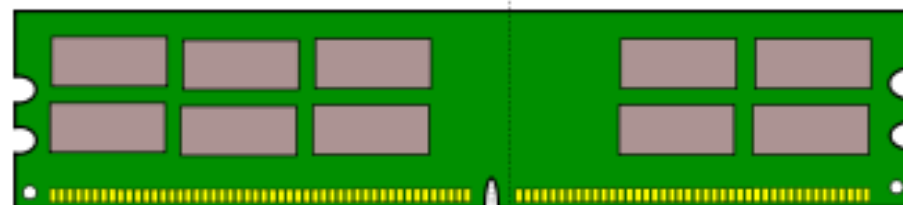
Memórias DDR

- Subida de descida do clock, de 200Mhz a 400Mhz
- Dois dados na subida do clock e dois na descida (dobro de dados)
- Oito vezes o tamanho do clock. 1600 Mhz.

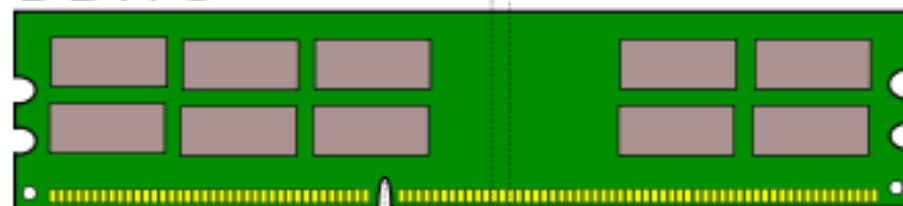
DDR



DDR 2

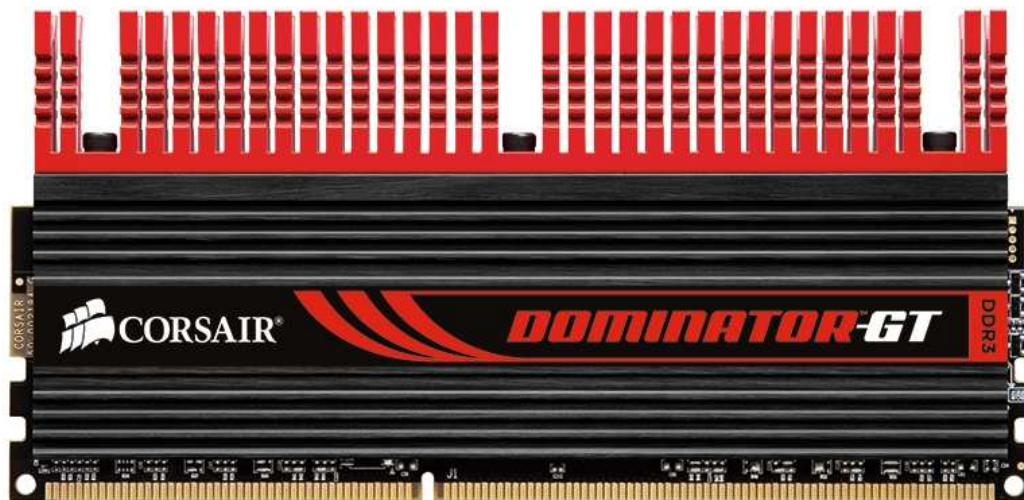


DDR 3



Tipos de Memórias Principais

- Modelo: CMD16GX3M2A1600C9;
- Capacidade: 16GB kit (2x 8GB);
- Tipo de memória: DDR3;
- Classificação de velocidade PC3-12800 (1600MHz);
- Configuração de memória: Dual Channel;
- Memória Pin 240;
- Tensão: 1,5V.



Paridade

- ▶ A paridade é um método de verificação de erros de memória que apenas indica que houve um erro;
- ▶ Ela não é capaz de corrigi-lo. Quando se usa paridade em um módulo de memória, um bit extra é armazenado na memória a cada byte (8 bits), ou seja, a “célula” de memória passa a ter 9 bits ao invés de apenas 8;
- ▶ Existem dois tipos de paridade: paridade par e paridade ímpar.

Paridade

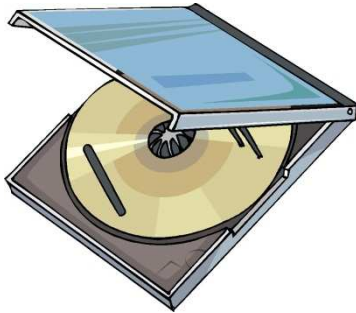
<i>Byte</i>	<i>Número Bits</i>	<i>Par?</i>
00000000	0	1
10110011	5	0
10010000	2	1
11111111	8	1

ECC (Error Correction and Control)



- ▶ É o método de verificação de integridade de dados mais usado atualmente. A grande diferença entre o ECC e a paridade é que com a técnica ECC podemos verificar e corrigir erros de 1 bit. Com uso de memórias com ECC, erros em um só bit são corrigidos de forma automática, sem que o usuário saiba que eles ocorreram. Dependendo da forma de que o controlador de memória for implementado, podemos também detectar os raríssimos erros em mais de um só bit. Mas, neste caso, a técnica ECC não vai conseguir corrigi-los.
- ▶ Usando um algoritmo matemático e trabalhando em conjunto com o controlador de memória, o circuito ECC acrescenta os bits ECC aos dados e os armazena na memória. Quando a CPU lê os dados dos módulos que usam ECC, o controlador de memória lê os bits de ECC e determina se um ou mais bits estão corrompidos. Se apenas um bit estiver errado ele é corrigido e os dados são enviados para a CPU. Se houver mais de um bit errado é gerado um erro.

Memórias Registradas - ECC



276 bytes de códigos de correção de erros para cada setor de 2048 bytes

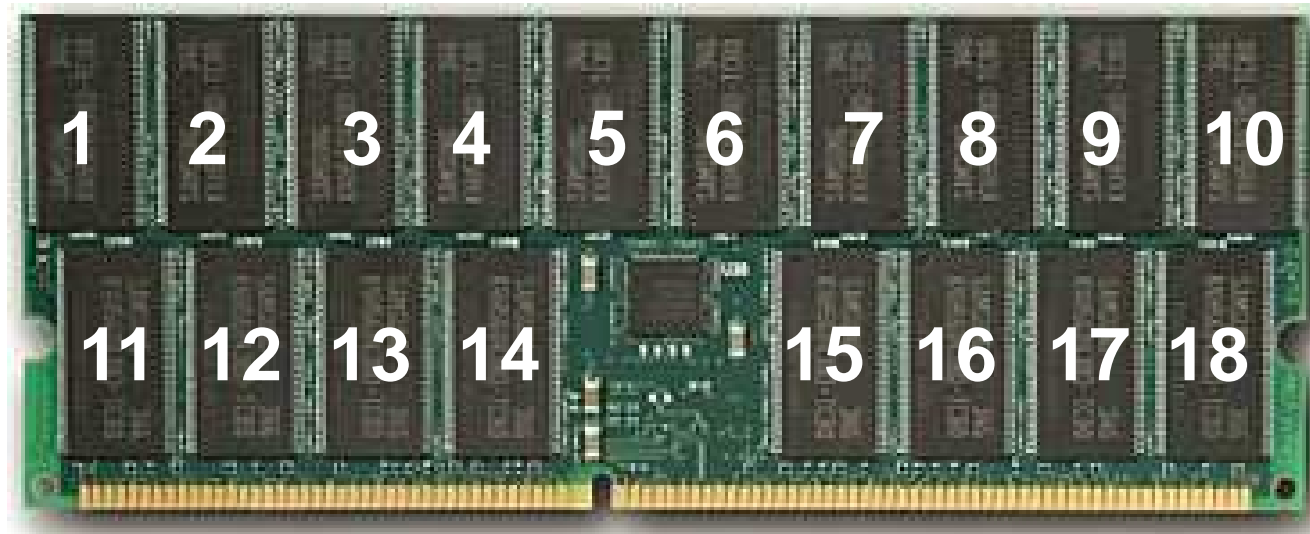


Cada setor armazena uma quantidade de bytes de paridade, variando de acordo com o tamanho do setor



1 bit a mais a cada Byte (8 bits)

Memória ECC



**Possuem 5, 9 ou 18 chips
(DIMM)**

Latência de Memória



Algumas memórias anunciam em sua especificação de latência da seguinte maneira:

9 – 9 – 9 – 24

8 – 8 – 8 – 27

Sendo assim:

CL-tRCD-tRP-tRASCMD

CL: CAS Latency. É o tempo demorado entre o processador pedir um dado da memória e ela devolver este dado.

tRCD: RAS to CAS Delay. Tempo demorado entre a ativação da linha (RAS) e a coluna (CAS) onde o dado está armazenado na matriz.

Latência de Memória

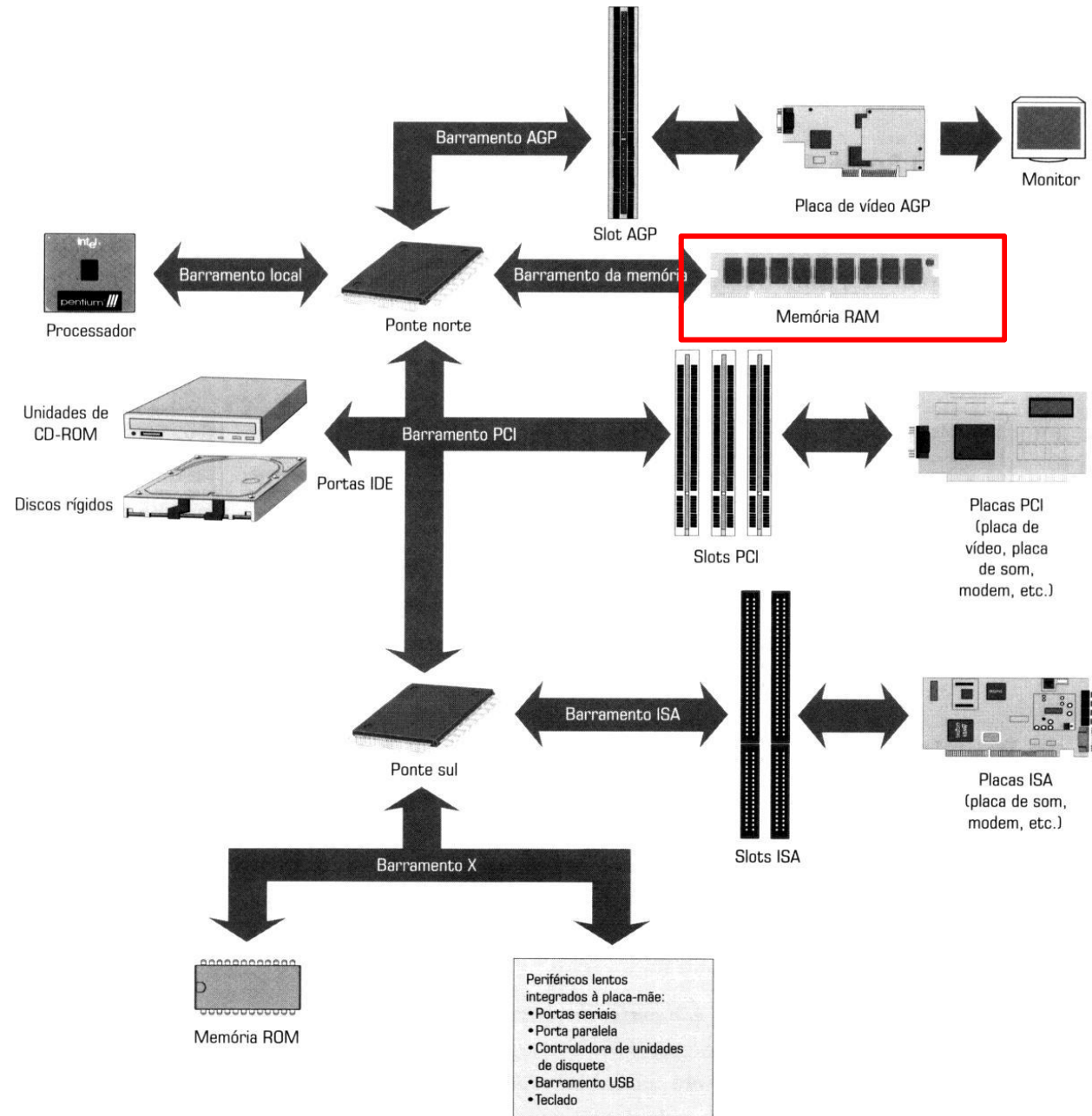


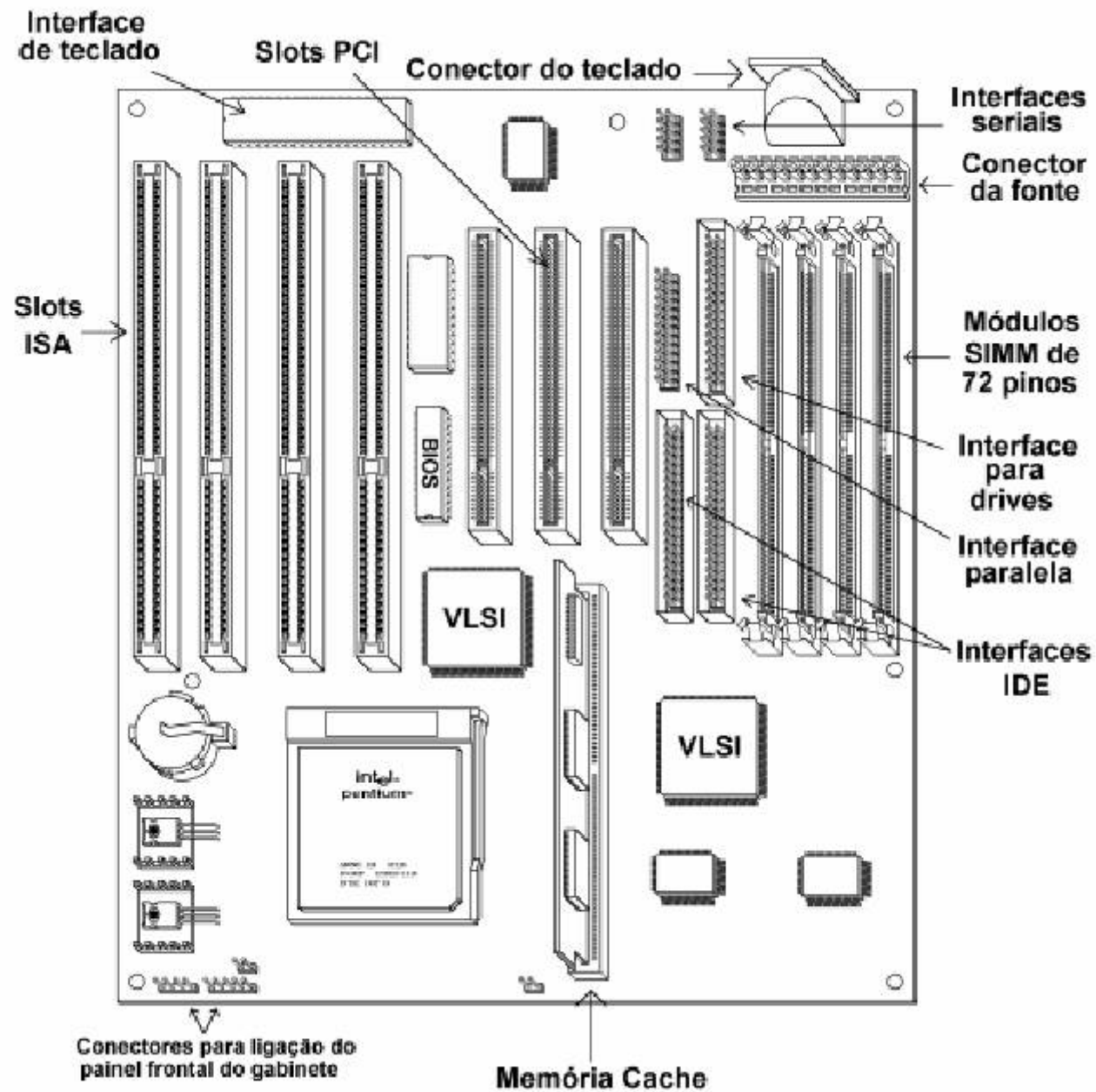
tRP: RAS Precharge. Tempo demorado entre desativar o acesso a uma linha de dados e iniciar o acesso a outra linha de dados.

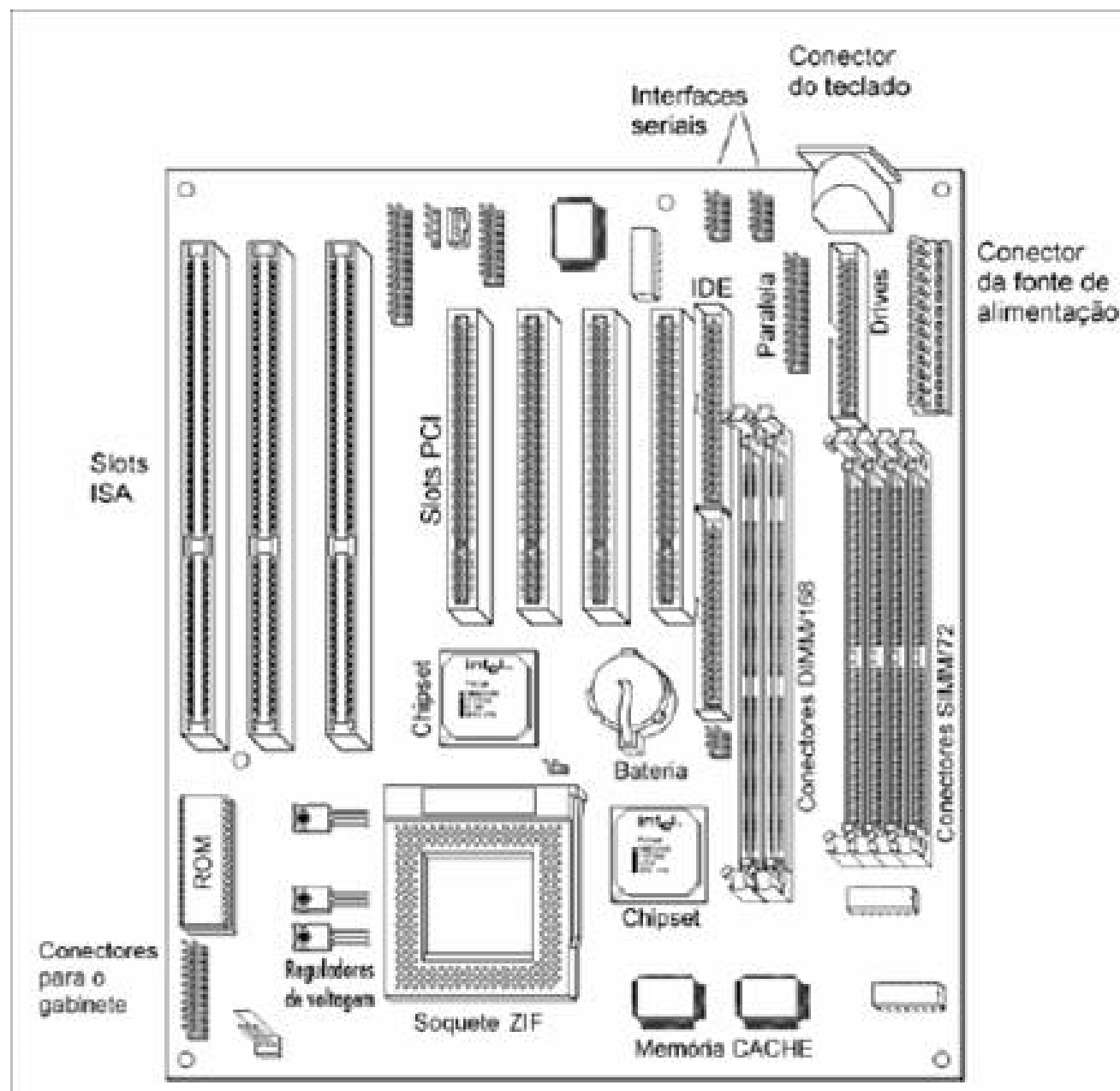
tRAS: Active to Precharge Delay. O quanto a memória tem que esperar até que o próximo acesso à memória possa ser iniciado.

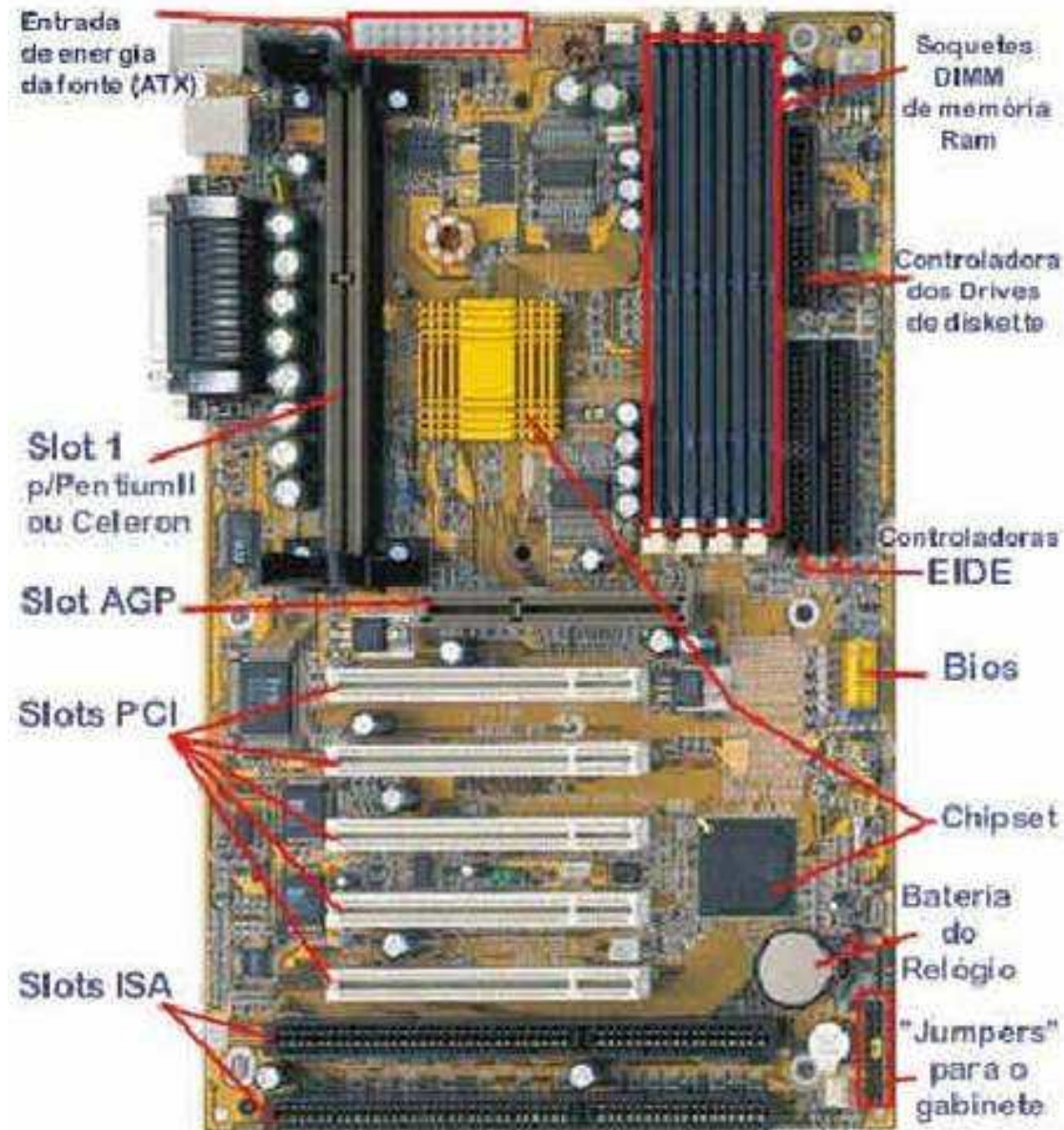
CMD: Command Rate. Tempo demorado entre o chip de memória ter sido ativado e o primeiro comando poder ser enviado para a memória. Algumas vezes este valor não é informado. Normalmente possui o valor T1 (1 clock) ou T2 (2 clocks).

Placa Mãe

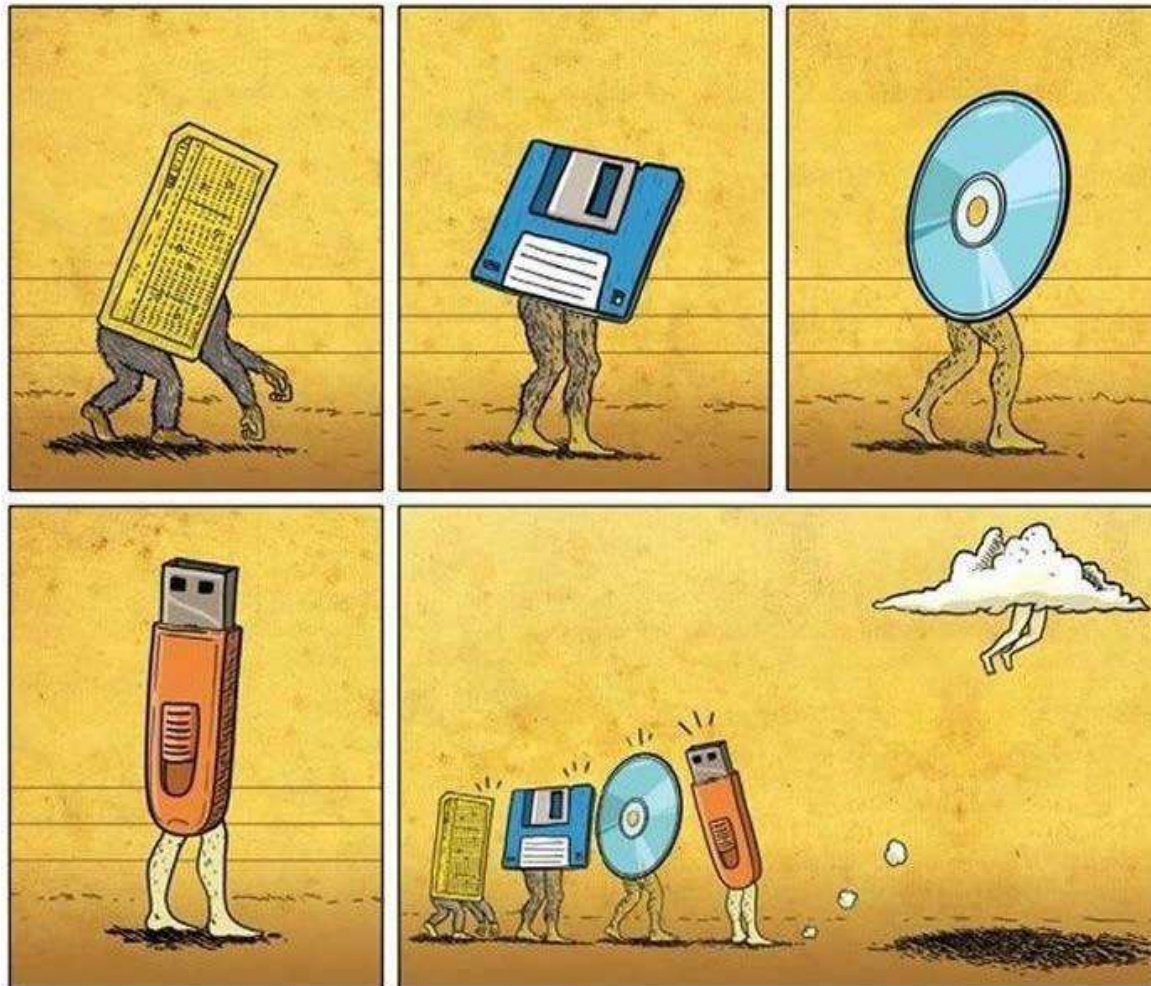








Evolution of Memory Storage



VIA 9GAG.COM