

Arquitetura de Computadores

Prof. Marcos Grillo
marcos.grillo@aedu.com

Risc e Cisc

Definição

- ▶ **Risc - Reduced Instruction Set Computer / Computador com um Conjunto Reduzido de Instruções;**
- ▶ **Cisc - Complex Instruction Set Computer / Computador com um Conjunto complexo de Instruções.**

RISC

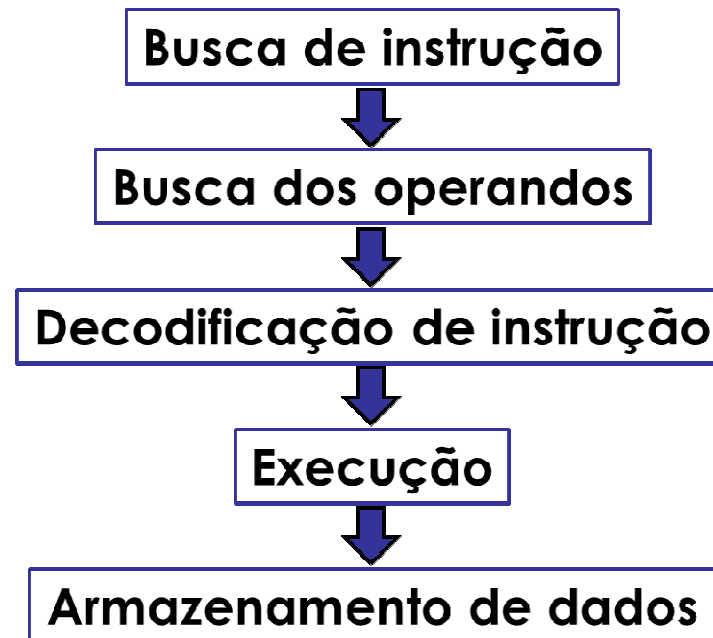
- ▶ A tecnologia RISC surgiu na década de 70 (IBM). mas o primeiro chip baseado na tecnologia surgiu somente na década de 80;
- ▶ Um dos principais elementos foi John Cocke, que em suas análises percebeu que a maioria das instruções complexas eram pouco executadas;
- ▶ Complexo montar compiladores para tantas funções;
- ▶ Instruções menores + rápidas;
- ▶ Menor quantidade de instruções;
- ▶ Execução otimizada de chamadas de função, Registradores internos do processador.

RISC

- ▶ Aumento do desempenho das memórias:
 - ▶ Otimizar instruções mais comuns;
 - ▶ Atribuições, comparações, saltos.
- ▶ CPUs mais simples e mais rápidas:
 - ▶ Acesso à memória: apenas **load** e **store**;
 - ▶ Reduz a interdependência das instruções;
 - ▶ Facilita pipeline.

RISC

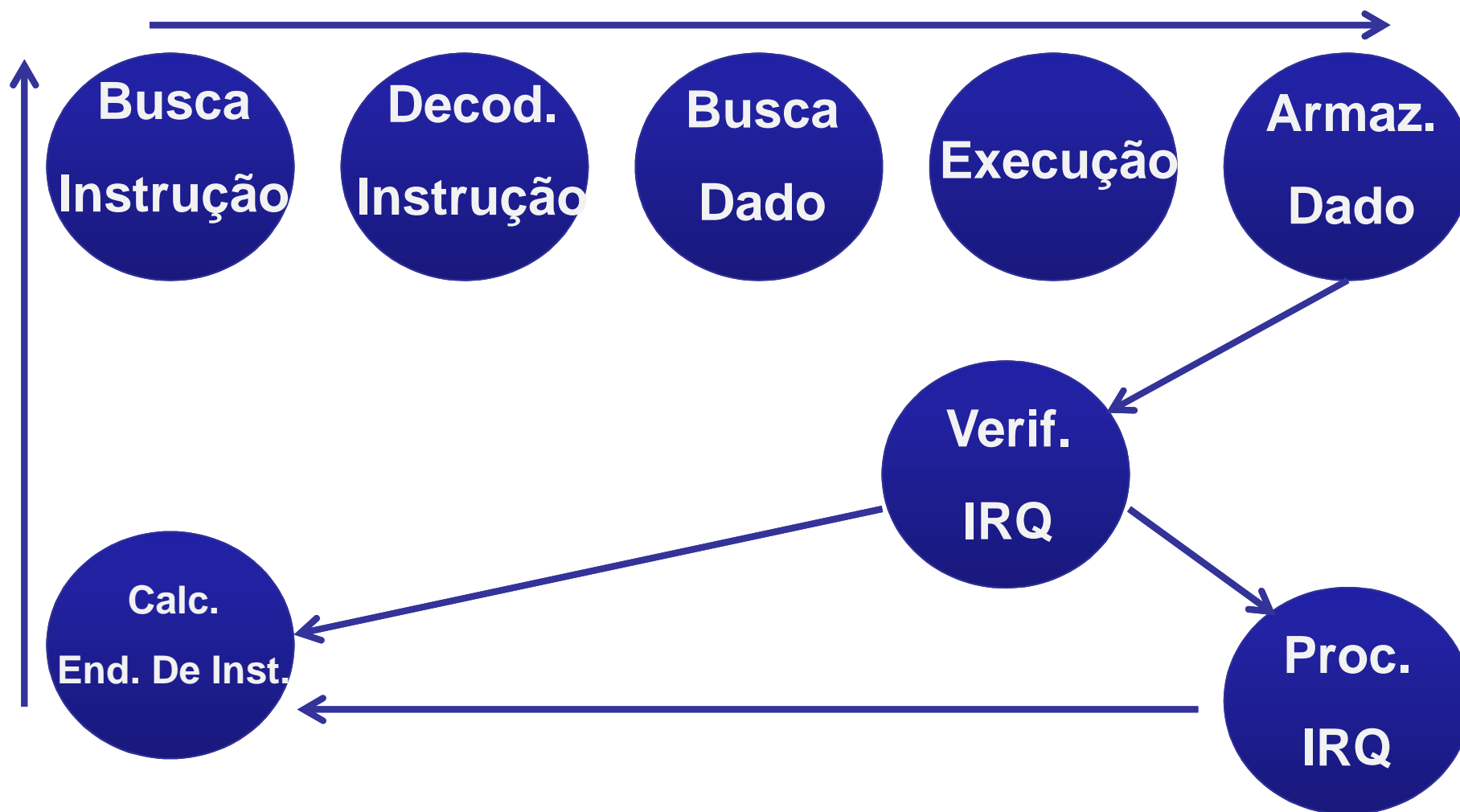
- Modo de execução com Pipelining, com instruções definidas (tamanho determinado) ficaria muito mais fácil a implementação de Pipeline;



RISC

- ▶ Hardware, todo o controle é feito pelo processador;
- ▶ Instruções de tamanho FIXO;
- ▶ Execução otimizada;
- ▶ Pequeno conjunto de instruções;
- ▶ Baixos modos de endereçamento;
- ▶ Utilização intensa da tecnologia de pipeline;
- ▶ Uma instrução por ciclo de relógio.

Ciclo de instruções RISC

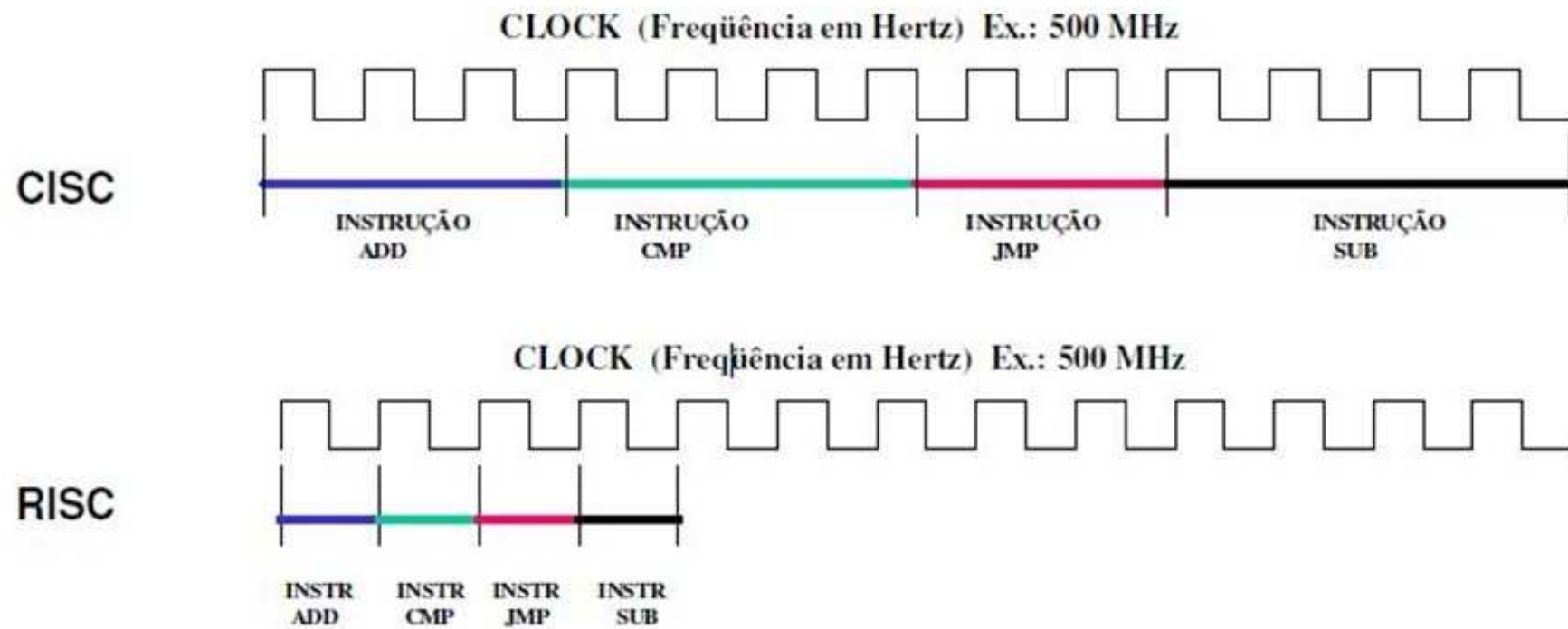


CISC

- ▶ Dois operandos ADD CX,mem;
- ▶ Utiliza Microprogramação;
- ▶ Poucos registros;
- ▶ Indexação (vetores);
- ▶ Instruções de largura (tamanho) variável, **como utilizar pipeline neste caso?**
- ▶ Instruções requerem múltiplos ciclos de máquina para execução;
- ▶ Registros especializados.

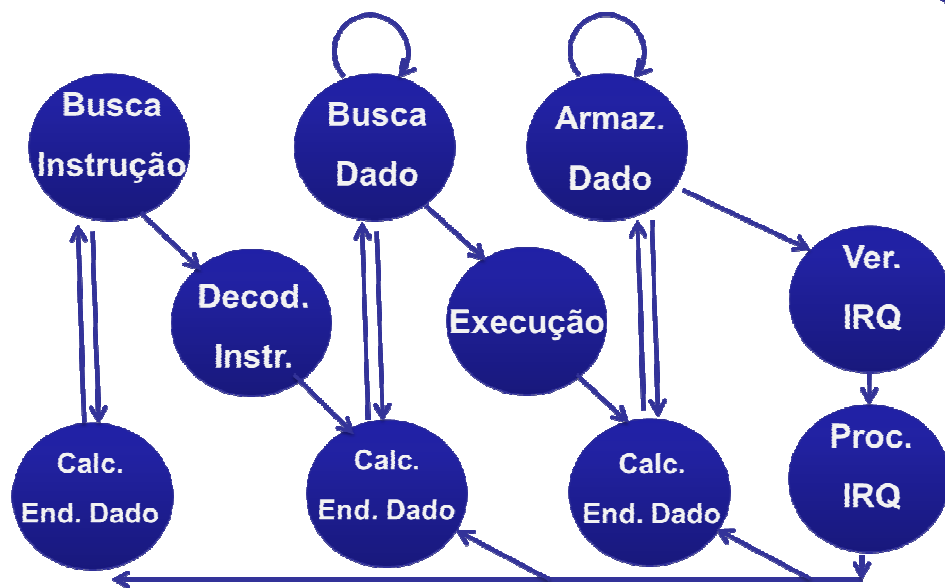
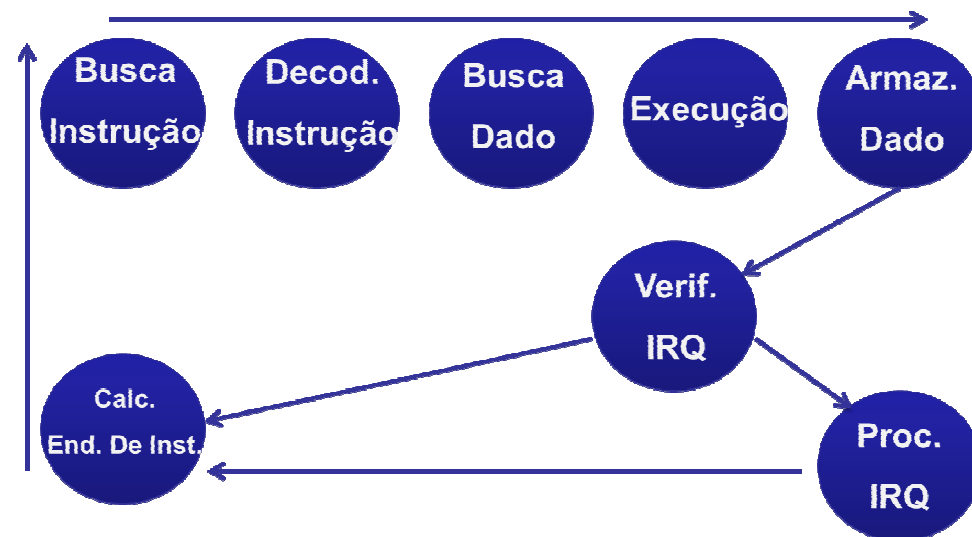


RISC X CISC



RISC X CISC

RISC

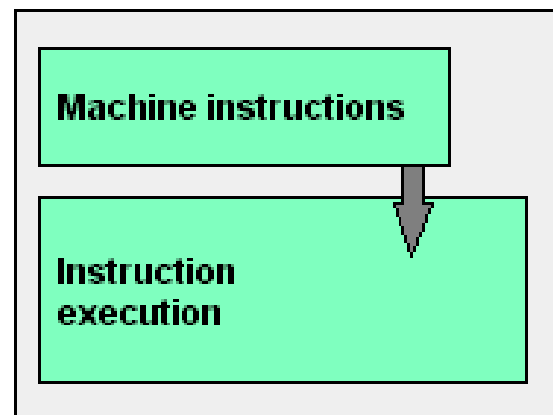


CISC

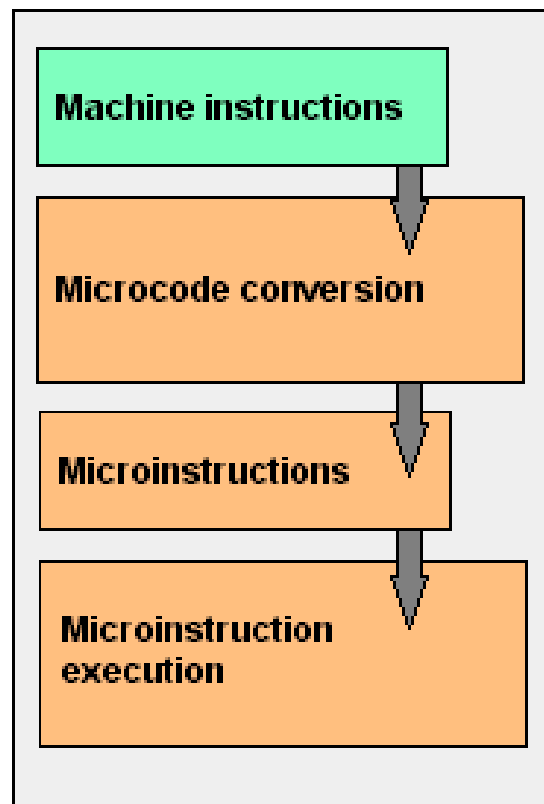
RISC X CISC

From Computer Desktop Encyclopedia
© 1998 The Computer Language Co. Inc.

RISC



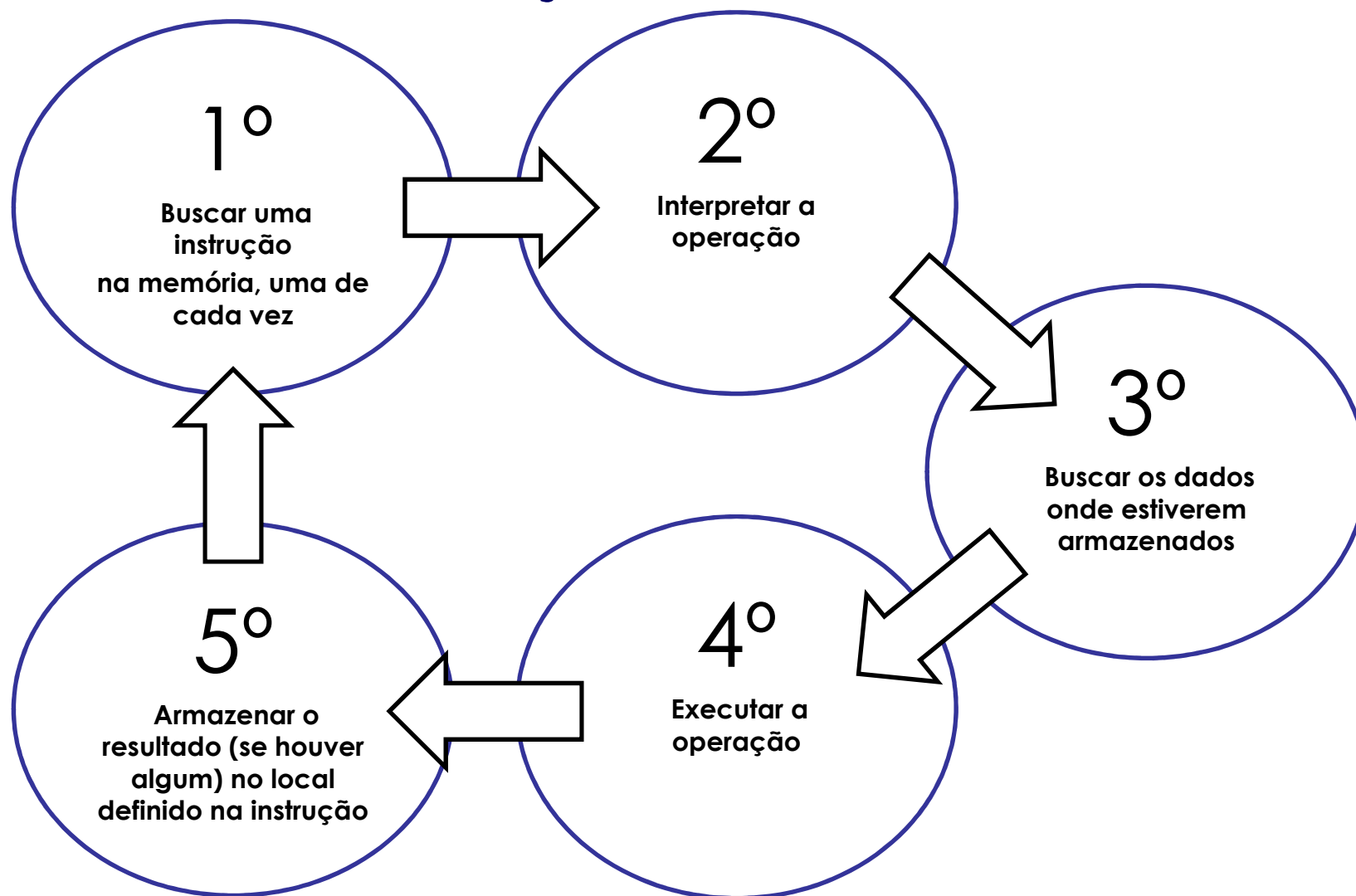
CISC



RISC X CISC – Questão!

- ▶ Processadores ARM são Cisc ou Risc?
OPS! Advanced RISC Machine, ARM.

Ciclos de instrução da CPU



Pipeline

- ▶ Até o 386, os processadores da família x86 eram capazes de processar apenas uma instrução de cada vez;
- ▶ Uma instrução simples podia ser executada em apenas um ciclo de clock, enquanto instruções mais complexas demoravam vários ciclos de clock para serem concluídas;
- ▶ Para melhorar o desempenho do 486, a Intel resolveu usar o pipeline, uma técnica que consiste em dividir o processador em vários estágios distintos;
- ▶ O 486, possui um pipeline de 5 níveis, ou seja, é dividido em 5 estágios.

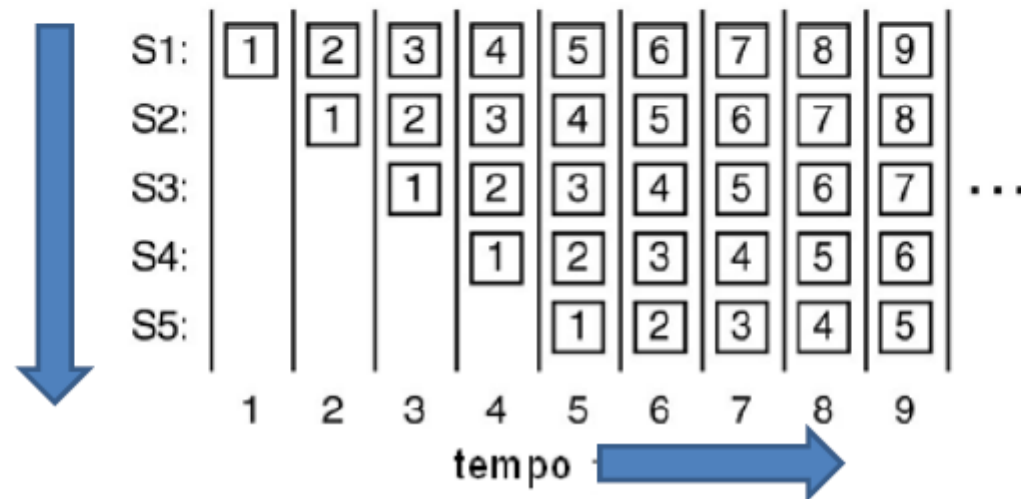
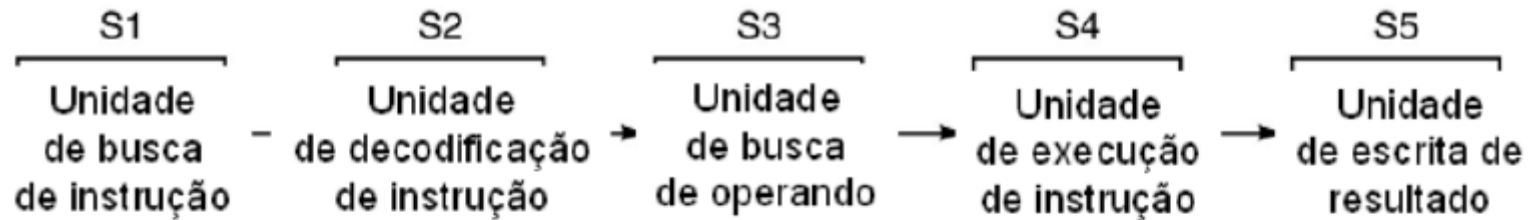
Pipeline

- ▶ Quando é carregada uma nova instrução, ela primeiramente passa pelo primeiro estágio, que trabalha nela durante apenas um ciclo de clock, passando-a adiante para o segundo estágio;
- ▶ A instrução continua então sendo processada sucessivamente pelo segundo, terceiro, quarto e quinto estágios do processador;
- ▶ A vantagem desta técnica, é que o primeiro estágio não precisa ficar esperando a instrução passar por todos os demais para carregar a próxima, e sim carregar uma nova instrução assim que se livra da primeira, ou seja, depois do primeiro pulso de clock.

Pipeline

- ▶ As instruções trafegam dentro do processador na ordem em que são processadas;
- ▶ Mesmo que a instrução já tenha sido processada ao passar pelo primeiro ou segundo estágio, terá que continuar seu caminho e passar por todos os demais;
- ▶ Se por acaso a instrução não tenha sido completada mesmo após passar pelos 5, voltará para o primeiro e será novamente processada, até que tenha sido concluída.

Pipeline



Pipeline

- ▶ Desta maneira, conseguimos que o processador seja capaz de processar simultaneamente, em um único ciclo de clock, várias instruções que normalmente demorariam vários ciclos para serem processadas;
- ▶ O uso dos 5 estágios de pipeline no 486 não chegava a multiplicar por cinco a performance do processador.

Qual a semelhança?



Exemplos de evolução

- ▶ O Pentium II possui 10, o Athlon Thunderbird possui 12 e o Pentium 4 possui 20;
- ▶ No Pentium 4 por exemplo, cada estágio processa uma pequena parte da instrução, que só são concluídas pelo último estágio, a cada ciclo, cada um dos estágios passa a instrução para a frente e recebe uma nova;
- ▶ Cada instrução demora 20 ciclos para ser processada, mas em compensação são processadas 20 instruções ao mesmo tempo, em fila.