

Arquitetura de Computadores

Prof. Marcos Grillo

marcos.grillo@anhanguera.com

Apresentação da Disciplina

PLANO DE ENSINO E APRENDIZAGEM					
CURSO: Ciência da Computação					
Disciplina: Arquitetura de Computadores	Período Letivo: 2º sem/2013	Série: 6ª Série	Período: <i>Não definido</i>	Semestre de Ingresso: 1º	Ano de Ingresso: 2011
C.H. Teórica: 40		C.H. Outras: 20		C.H. Total: 60	

Ementa
Arquiteturas RISC e CISC. Pipeline. Paralelismo de Baixa Granularidade. Processadores Superescalares e Superpipeline. Multiprocessadores. Multicomputadores. Arquiteturas Paralelas e não Convencionais. Microprocessadores e Computadores Pessoais. Organização de Memória. Sistemas de Entrada e Saída, Sistemas de vídeo, Som e Outros.

Objetivos
Compreender e assimilar os componentes de dispositivos que compõem o computador. Formas de organização e de comunicação entre os subsistemas computacionais (processador, memória, disco e etc.) Conhecer a estrutura de funcionamento de uma CPU. conhecer as arquiteturas de computadores do tipo CISC e RISC. Conhecer arquiteturas de computadores pessoais, multicomputadores e multiprocessadores.

Apresentação da Disciplina

Cronograma de Aulas	
Semana nº.	Tema
1	Estrutura básica de um computador pessoal
2	Estrutura e Funcionamento da CPU: conjunto de instruções
3	Estrutura e Funcionamento da CPU: ciclo de instruções
4	Arquitetura RISC e CISC
5	Registradores: tipos de registradores
6	Registradores mais utilizados em computadores pessoais
7	Arquitetura Pipeline
8	Atividades de Avaliação.
9	Memórias: principal
10	Memórias: Secundária, cache
11	Dispositivos de entradas e saída
12	Barramento: Tipos, arquitetura, adaptadores
13	Sistema de video: GPU, Memórias, VGA, HDMI, 3D
14	Sistema multimídia
15	Análise de desempenho de computadores (Benchmark)
16	Arquitetura de computadores com paralelismo: Cluster, Cloud.
17	Computadores dedicados e embarcados
18	Prova Escrita Oficial
19	Exercícios de Revisão.
20	Prova Substitutiva

Literatura.



HENNESSY, J. L.. **Arquitetura de Computadores** : Uma Abordagem Quantitativa. 4ª ed. São Paulo: Campus - Elsevier, 2009.

Avaliação.



Sistema de Avaliação	
1º Avaliação - PESO 4,0	2º Avaliação - PESO 6,0
Atividades Avaliativas a Critério do Professor	Prova Escrita Oficial
Práticas: 3	Práticas: 3
Teóricas: 7	Teóricas: 7
Total: 10	Total: 10

Cronograma de Aulas - 1ª etapa.

- ▶ Estrutura básica de um computador pessoal
- ▶ Estrutura e Funcionamento da CPU: conjunto de instruções
- ▶ Estrutura e Funcionamento da CPU: ciclo de instruções
- ▶ Arquitetura RISC e CISC
- ▶ Registradores: tipos de registradores
- ▶ Registradores mais utilizados em computadores pessoais
- ▶ Arquitetura Pipeline
- ▶ Atividades de Avaliação.

Cronograma de Aulas - 2ª etapa.

- ▶ Memórias: principal;
- ▶ Memórias: Secundária, cache;
- ▶ Dispositivos de entradas e saída;
- ▶ Barramento: Tipos, arquitetura, adaptadores;
- ▶ Sistema de vídeo;
- ▶ Sistema multimídia;
- ▶ Análise de desempenho de computadores (Benchmark);
- ▶ Arquitetura de computadores com paralelismo;
- ▶ Computadores dedicados e embarcados;
- ▶ Prova Escrita Oficial;
- ▶ Exercícios de Revisão;
- ▶ Prova Substitutiva;

Pipeline

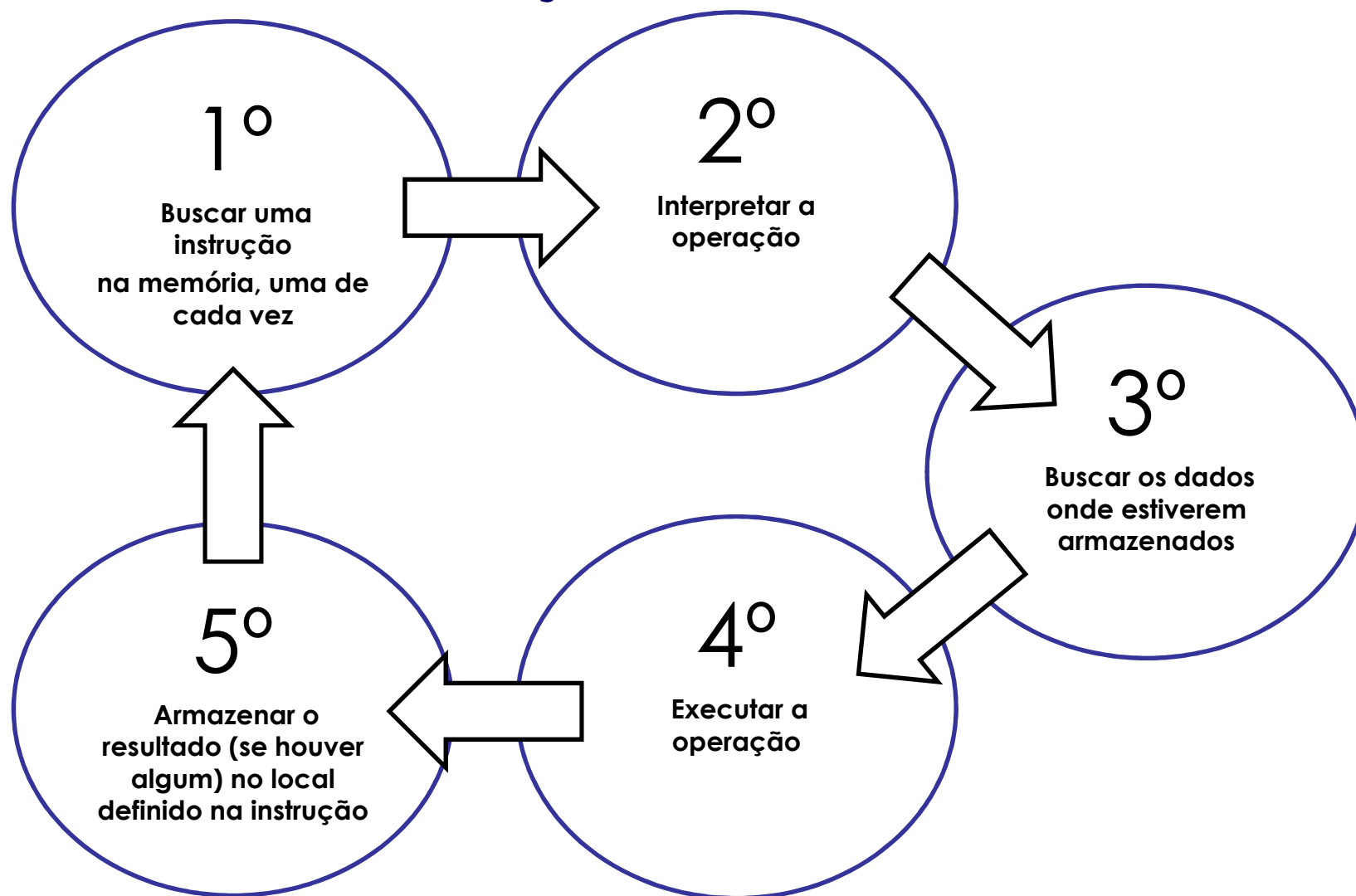
Ciclos de instrução da CPU

O ciclo de execução de uma instrução consiste basicamente em 5 estágios:

- ▶ 1º Buscar uma instrução na memória, uma de cada vez;
- ▶ 2º Interpretar a operação;
- ▶ 3º Buscar os dados onde estiverem armazenados;
- ▶ 4º Executar a operação;
- ▶ 5º Armazenar o resultado (se houver algum) no local definido na instrução;

Reiniciar o processo buscando uma nova instrução;

Ciclos de instrução da CPU



Pipeline

- ▶ Até o 386, os processadores da família x86 eram capazes de processar apenas uma instrução de cada vez;
- ▶ Uma instrução simples podia ser executada em apenas um ciclo de clock, enquanto instruções mais complexas demoravam vários ciclos de clock para serem concluídas;
- ▶ Para melhorar o desempenho do 486, a Intel resolveu usar o pipeline, uma técnica que consiste em dividir o processador em vários estágios distintos;
- ▶ O 486, possui um pipeline de 5 níveis, ou seja, é dividido em 5 estágios.

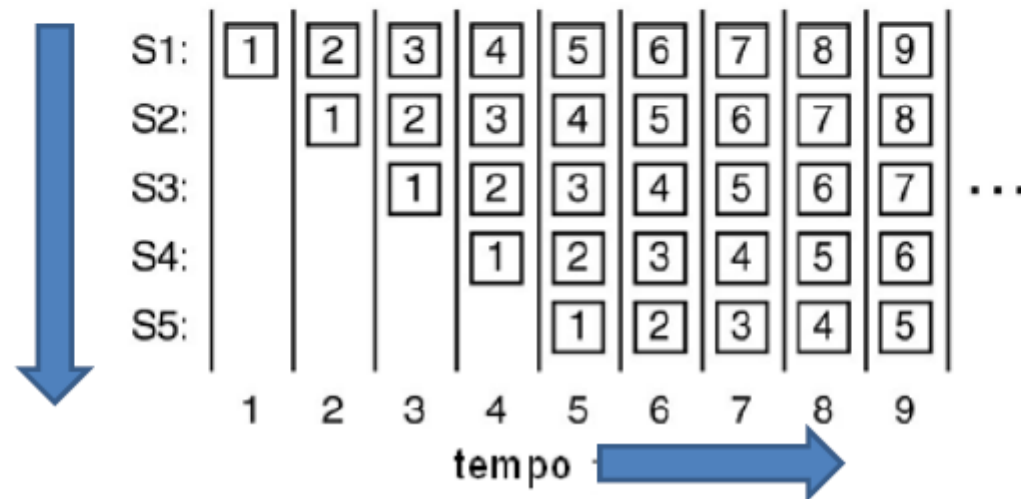
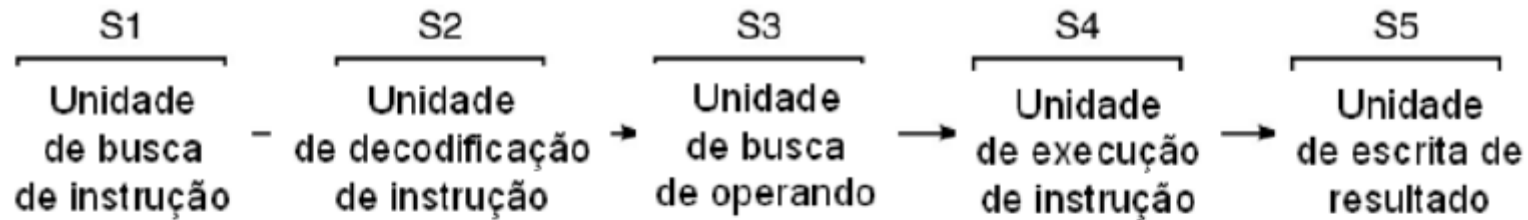
Pipeline

- ▶ Quando é carregada uma nova instrução, ela primeiramente passa pelo primeiro estágio, que trabalha nela durante apenas um ciclo de clock, passando-a adiante para o segundo estágio;
- ▶ A instrução continua então sendo processada sucessivamente pelo segundo, terceiro, quarto e quinto estágios do processador;
- ▶ A vantagem desta técnica, é que o primeiro estágio não precisa ficar esperando a instrução passar por todos os demais para carregar a próxima, e sim carregar uma nova instrução assim que se livra da primeira, ou seja, depois do primeiro pulso de clock.

Pipeline

- ▶ As instruções trafegam dentro do processador na ordem em que são processadas;
- ▶ Mesmo que a instrução já tenha sido processada ao passar pelo primeiro ou segundo estágio, terá que continuar seu caminho e passar por todos os demais;
- ▶ Se por acaso a instrução não tenha sido completada mesmo após passar pelos 5, voltará para o primeiro e será novamente processada, até que tenha sido concluída.

Pipeline



Pipeline

- ▶ Desta maneira, conseguimos que o processador seja capaz de processar simultaneamente, em um único ciclo de clock, várias instruções que normalmente demorariam vários ciclos para serem processadas;
- ▶ O uso dos 5 estágios de pipeline no 486 não chegava a multiplicar por cinco a performance do processador.

Qual a semelhança?



Exemplos de evolução

- ▶ O Pentium II possui 10, o Athlon Thunderbird possui 12 e o Pentium 4 possui 20;
- ▶ No Pentium 4 por exemplo, cada estágio processa uma pequena parte da instrução, que só são concluídas pelo último estágio, a cada ciclo, cada um dos estágios passa a instrução para a frente e recebe uma nova;
- ▶ Cada instrução demora 20 ciclos para ser processada, mas em compensação são processadas 20 instruções ao mesmo tempo, em fila.

