

PROJETO DE MÁQUINA DE ESTADOS SÍNCRONA: FECHADURA SEQUENCIAL

Saulo Matos Pereira Gomes

INTRODUÇÃO

Este projeto tem como objetivo o desenvolvimento de uma fechadura digital baseada em conceitos de Máquinas de Estados Finitos (FSM). O sistema é controlado por uma lógica sequencial que valida uma senha de quatro dígitos, analisando cada dígito individualmente, conforme o estado da máquina. Se a sequência inserida corresponder à armazenada, a fechadura é destravada; do contrário, o sistema transita para um estado de erro, exigindo o acionamento do reset (I) para reiniciar a tentativa.

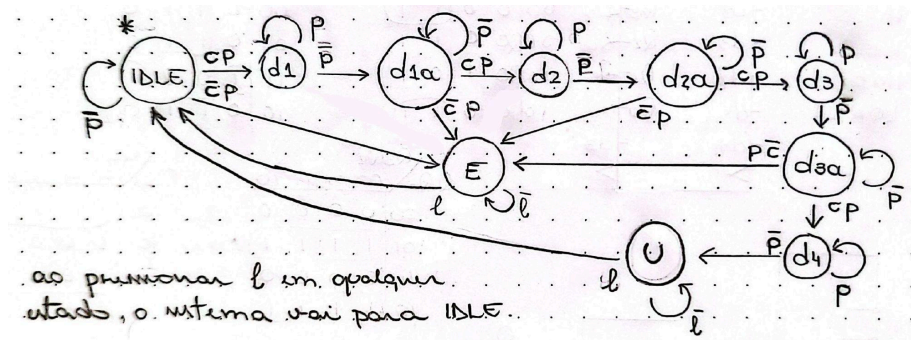


Figura 1: Projeto de máquina de estados finitos (Fonte: Próprio autor)

A interface de entrada é composta por um teclado numérico e um botão de reset. Ao pressionar uma tecla, o sinal é enviado ao codificador decimal/BCD, que converte o dígito para o formato binário. Esse valor é comparado ao dígito armazenado; se forem iguais, a entrada *checked* (*c*) é ativada com nível lógico ALTO. Além disso, a variável *pressed* (*p*) também assume nível ALTO sempre que qualquer tecla é pressionada, independente do valor inserido. Essa abordagem possibilitou reduzir a quantidade de bits necessários para o controle da máquina de estados.

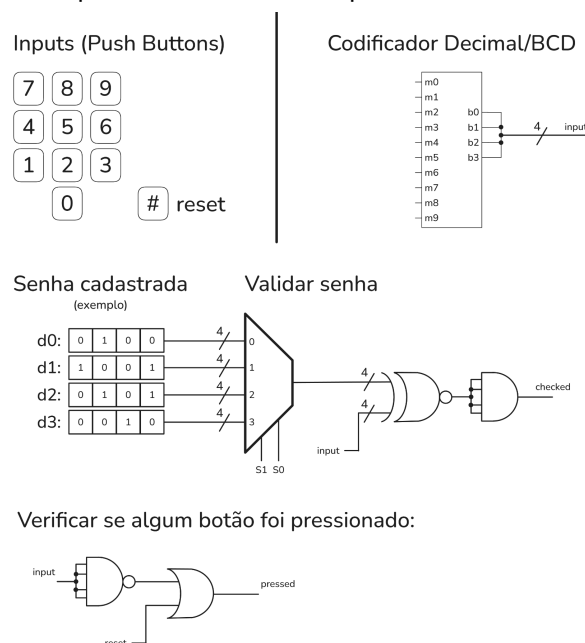


Figura 2: Preparação dos sinais de entrada da máquina de estados (Fonte: Próprio autor)



A memória utilizada na FSM é um Contador de 4 bits, capaz de realizar três operações:

- Hold - mantém o estado atual da máquina;
- Inc - Incrementa o estado, seguindo a sequência numérica;
- Load - carrega diretamente um estado específico.

É possível observar nas Figuras 3 e 4 a estrutura básica do contador e as funções de incremento.

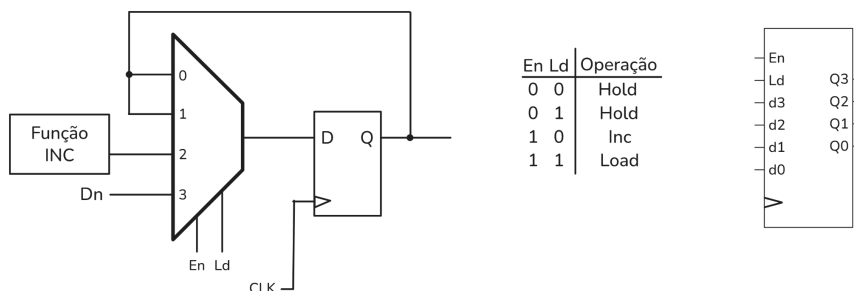


Figura 3: Projeto de Contador com múltiplas operações



Figura 4: Equações da função de incremento para saídas Q_0 , Q_1 , Q_2 e Q_3 (Fonte: Próprio autor)

DESENVOLVIMENTO

O projeto foi modelado utilizando a metodologia de riscos mínimos, onde os estados não mapeados retornam ao estado IDLE. Além disso, o botão de reset pode ser acionado a qualquer momento.

Tabela 1 – Tabela de transição de estados

Descrição	Estado	I p c								Output		
		000	001	011	010	110	111	101	100	u	s1	s0
Estado Inicial	IDLE	IDLE	IDLE	d1	E	IDLE	IDLE	IDLE	IDLE	0	0	0
Primeiro dígito correto	d1	d1a	d1a	d1	d1	IDLE	IDLE	IDLE	IDLE	0	0	0
Aguardando segundo dígito	d1a	d1a	d1a	d2	E	IDLE	IDLE	IDLE	IDLE	0	0	1
Segundo dígito correto	d2	d2a	d2a	d2	d2	IDLE	IDLE	IDLE	IDLE	0	0	1
Aguardando terceiro dígito	d2a	d2a	d2a	d3	E	IDLE	IDLE	IDLE	IDLE	0	1	0
Terceiro dígito correto	d3	d3a	d3a	d3	d3	IDLE	IDLE	IDLE	IDLE	0	1	0
Aguardando quarto dígito	d3a	d3a	d3a	d4	E	IDLE	IDLE	IDLE	IDLE	0	1	1
Quarto dígito correto	d4	U	U	d4	d4	IDLE	IDLE	IDLE	IDLE	0	1	1
Dígito incorreto	E	E	E	E	E	IDLE	IDLE	IDLE	IDLE	0	x	x
Porta Desbloqueada	U	U	U	U	U	IDLE	IDLE	IDLE	IDLE	1	x	x



Escola Politécnica

Departamento de Engenharia Elétrica e de Computação
ENGC40 – Eletrônica Digital

A Tabela 1 apresenta todos os estados mapeados da máquina, suas respectivas funções e as transições condicionadas pelas entradas l , p e c . Para evitar que o botão permaneça pressionado por múltiplos ciclos de clock — o que poderia comprometer a validação correta da senha — foram incluídos estados de intertravamento. Esses estados garantem que a máquina só avance quando o botão for liberado. A Tabela 2 especifica as operações que o contador deve executar para que a FSM progrida corretamente pelos estados.

Tabela 2 – Tabela de operações

Descrição	Estado	l p c								Output		
		000	001	011	010	110	111	101	100	u	s1	s0
Estado Inicial	0000	Hold	Hold	INC	Load 1111	Load 0000	Load 0000	Load 0000	Load 0000	0	0	0
Primeiro dígito correto	0001	INC	INC	Hold	Hold	Load 0000	Load 0000	Load 0000	Load 0000	0	0	0
Aguardando segundo dígito	0010	Hold	Hold	INC	Load 1111	Load 0000	Load 0000	Load 0000	Load 0000	0	0	1
Segundo dígito correto	0011	INC	INC	Hold	Hold	Load 0000	Load 0000	Load 0000	Load 0000	0	0	1
Aguardando terceiro dígito	0100	Hold	Hold	INC	Load 1111	Load 0000	Load 0000	Load 0000	Load 0000	0	1	0
Terceiro dígito correto	0101	INC	INC	Hold	Hold	Load 0000	Load 0000	Load 0000	Load 0000	0	1	0
Aguardando quarto dígito	0110	Hold	Hold	INC	Load 1111	Load 0000	Load 0000	Load 0000	Load 0000	0	1	1
Quarto dígito correto	0111	INC	INC	Hold	Hold	Load 0000	Load 0000	Load 0000	Load 0000	0	1	1
Dígito incorreto	1111	Hold	Hold	Hold	Hold	Load 0000	Load 0000	Load 0000	Load 0000	0	x	x
Porta Desbloqueada	1000	Hold	Hold	Hold	Hold	Load 0000	Load 0000	Load 0000	Load 0000	1	x	x

O bloco responsável pelo cálculo do próximo estado recebe como entrada os sinais l , p e c , além do estado atual da máquina representado pelos bits $Q3$, $Q2$, $Q1$ e $Q0$. Com base nesses sinais e nas operações que o Contador deve realizar, o bloco gera os sinais de controle En , Ld e d . Como os endereços utilizados na operação Load são fixos (0000 ou 1111), é necessário gerar apenas um bit para representá-lo, que é dado pela função $d = \overline{Q_3} \cdot \bar{l}$. As funções Load e Enable para $l = 0$ podem ser vistas na Figura 5, para $l = 1$ a saída nestes sinais é sempre ALTA.

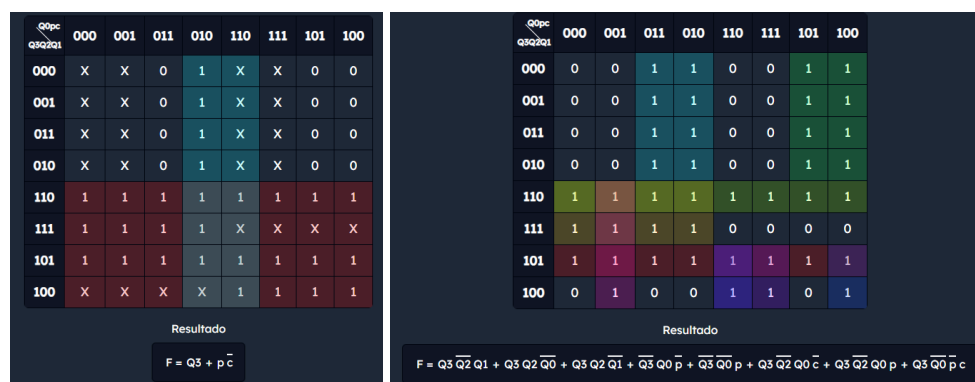


Figura 5: Equações otimizadas das funções Load e Enable (Fonte: Próprio autor)



Escola Politécnica

Departamento de Engenharia Elétrica e de Computação
ENG40 – Eletrônica Digital

A Figura 6 exibe o diagrama de estados completo, com as operações e condições que a máquina deve respeitar.

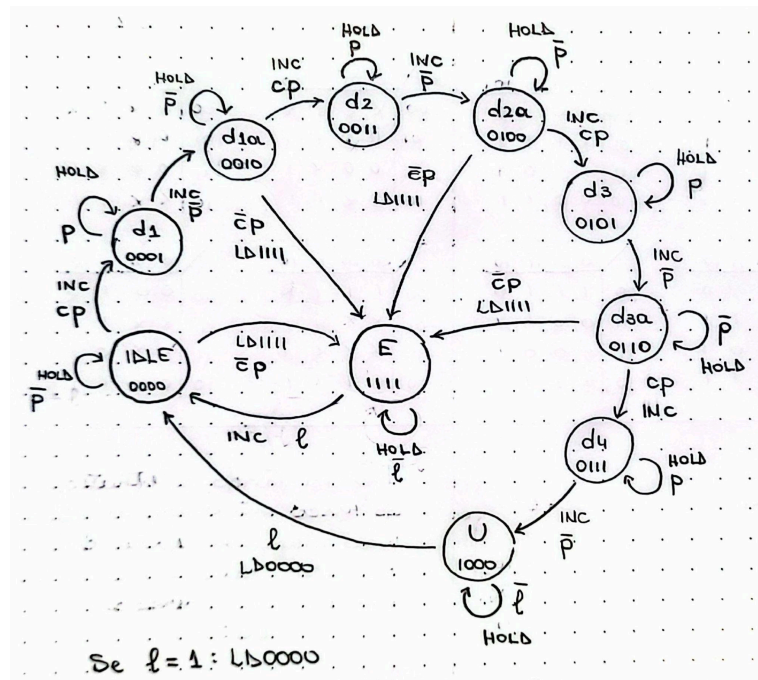


Figura 6: Diagrama de Estados com operações e condições da máquina (Fonte: Próprio autor)

As Figuras a seguir destacam a implementação prática do circuito utilizando o software LogiSim Simulator.

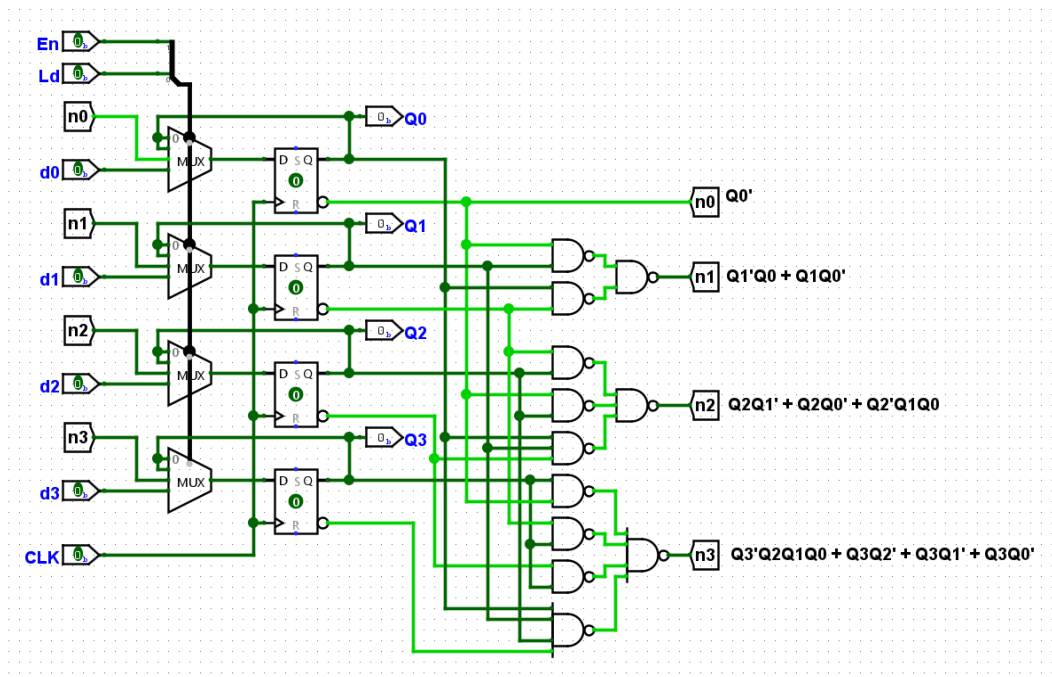


Figura 7: Implementação do circuito do contador (Fonte: Próprio autor)

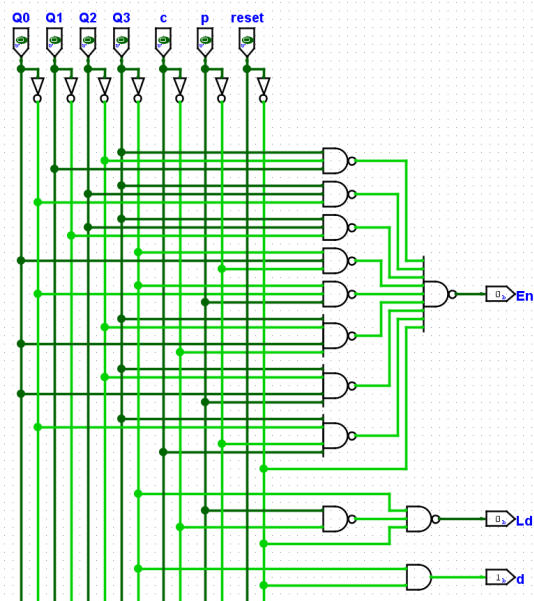


Figura 8: Circuito responsável pela geração dos sinais de controle do contador (Fonte: Próprio autor)

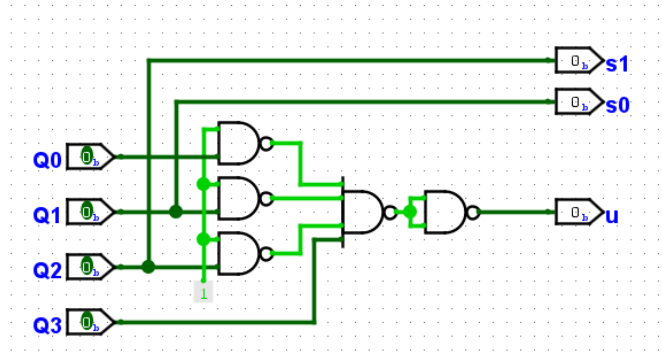


Figura 9: Circuito para os cálculos da saída do sistema e sinais auxiliares (Fonte: Próprio autor)

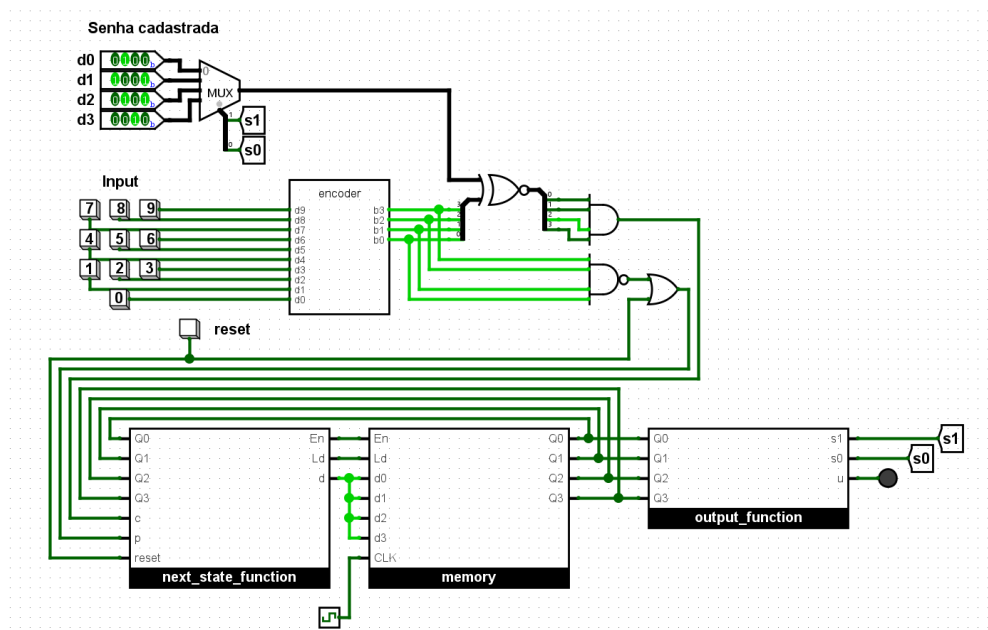


Figura 10: Integração do sistema, reunindo todos os módulos em um único circuito. (Fonte: Próprio autor)



Escola Politécnica

Departamento de Engenharia Elétrica e de Computação

ENG40 – Eletrônica Digital

CONCLUSÃO

O projeto desenvolvido demonstrou, na prática, a aplicação de conceitos fundamentais de Máquinas de Estados Finitos (FSM) no controle de sistemas digitais. A fechadura eletrônica projetada valida uma sequência de entrada por meio de lógica sequencial e blocos combinacionais, garantindo confiabilidade e segurança no processo de desbloqueio. A modularização do sistema, com a separação clara entre codificação, controle de estados, contagem e geração de saídas, favoreceu a organização e a escalabilidade do circuito. Além disso, a introdução de estados intermediários permitiu um controle mais preciso da interação do usuário, minimizando erros de operação. O resultado final, desenvolvido através da plataforma Logisim Evolution, valida a eficácia do modelo proposto e reforça a importância do uso de FSM em aplicações embarcadas e sistemas de segurança.

O código fonte para o projeto desenvolvido no Logisim Evolution, bem como a implementação em Verilog estão disponíveis através do link: [sauiompg/sequential_lock](https://github.com/saulompg/sequential_lock).