

Практическая работа №13

«Типовые комбинационные устройства»

1. Цель работы:

- Изучение функциональных характеристик типовых комбинационных устройств.
- Освоение построения логических схем с использованием типовых КУ.

2. Теоретический блок:

Комбинационные устройства (КУ) играют ключевую роль в цифровой технике, позволяя реализовывать разнообразные логические функции и операции. В данной работе рассмотрим следующие типовые комбинационные устройства:

- Шифраторы
- Приоритетные шифраторы
- Кодовые преобразователи
- Генераторы и проверяющие устройства четности
- Компараторы

2.1. Шифратор

Шифратор — это комбинационное устройство, выполняющее обратную функцию дешифратора. Он преобразует унитарный (позиционный) код в двоичный код. На входы шифратора подается сигнал, активный на одном из входов, и в соответствии с этим сигналом на выходах формируется соответствующая двоичная комбинация.

Таблица 1. Таблица истинности шифратора на 8 входов

| Входы | Выходы |
|----------------|--|
| D ₀ | Y ₂ = 0, Y ₁ = 0, Y ₀ = 0 |
| D ₁ | Y ₂ = 0, Y ₁ = 0, Y ₀ = 1 |
| D ₂ | Y ₂ = 0, Y ₁ = 1, Y ₀ = 0 |
| D ₃ | Y ₂ = 0, Y ₁ = 1, Y ₀ = 1 |
| D ₄ | Y ₂ = 1, Y ₁ = 0, Y ₀ = 0 |
| D ₅ | Y ₂ = 1, Y ₁ = 0, Y ₀ = 1 |
| D ₆ | Y ₂ = 1, Y ₁ = 1, Y ₀ = 0 |
| D ₇ | Y ₂ = 1, Y ₁ = 1, Y ₀ = 1 |

Логические уравнения:

- $Y_2 = D_7 + D_6 + D_5 + D_4$
- $Y_1 = D_7 + D_6 + D_3 + D_2$
- $Y_0 = D_7 + D_5 + D_3 + D_1$

Схема шифратора:

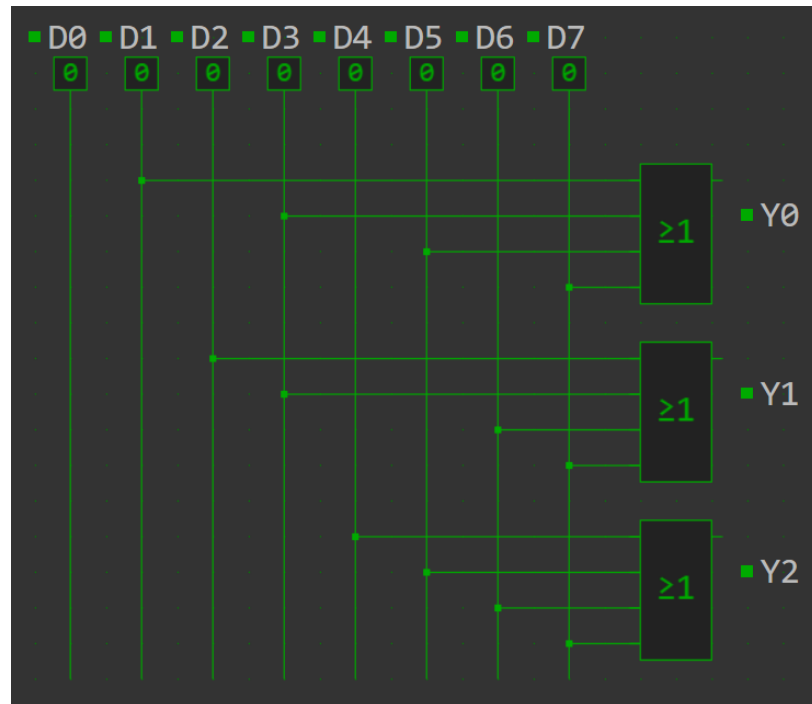


Рисунок 1. Схема шифратора на 8 входов

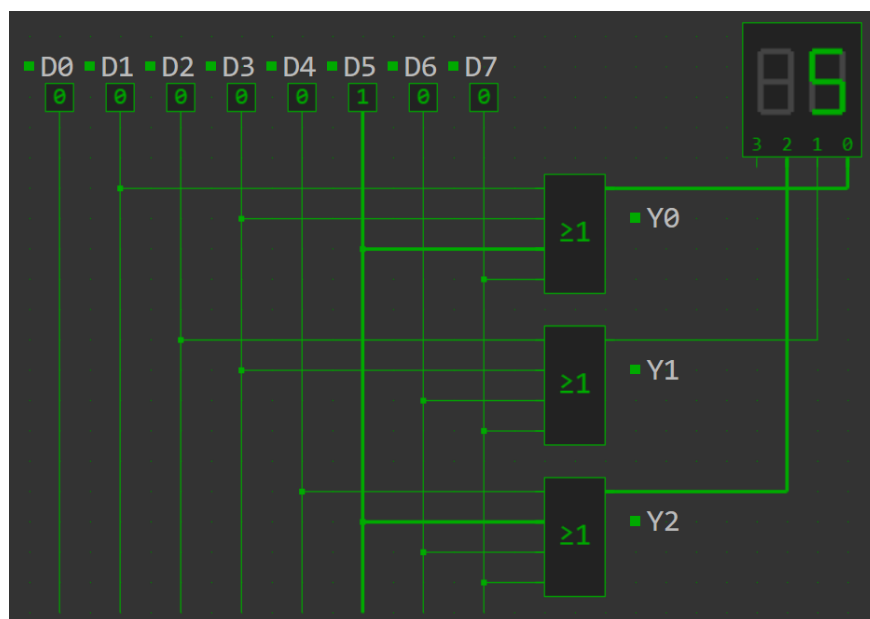


Рисунок 2. Считывание семисегментным дисплеем выхода шифратора

2.2. Приоритетный шифратор

Приоритетный шифратор решает проблему одновременной активности нескольких входов, присваивая приоритет входам с более высоким номером. Если активны несколько входов, то на выходах будет кодироваться вход с наивысшим приоритетом.

Таблица 2. Таблица истинности для 4-входового приоритетного шифратора

| D₃ | D₂ | D₁ | D₀ | Y₁ | Y₀ |
|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|
| 1 | X | X | X | 1 | 1 |
| 0 | 1 | X | X | 1 | 0 |
| 0 | 0 | 1 | X | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 | - | - |

Логические уравнения:

- $Y_1 = D_3 + D_2$
- $Y_0 = D_3 + (D_1 * \overline{D_2})$

Схема 4-входового шифратора с приоритетом:

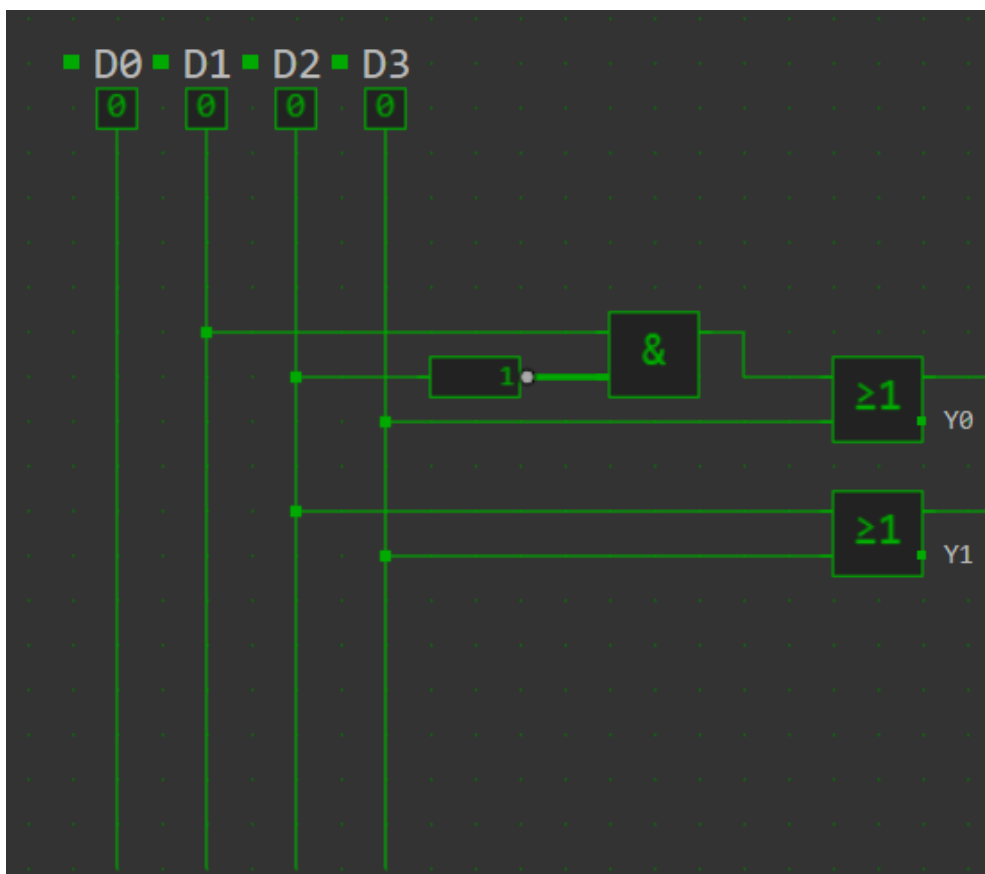


Рисунок 2. Схема приоритетного шифратора на 4 входа

2.3. Кодовые преобразователи

Кодовые преобразователи предназначены для преобразования одного двоичного кода в другой. Примером может служить преобразователь из двоичного кода в код Грея.

Таблица 3. Таблица преобразования из двоичного кода в код Грея (3-разрядный)

| Двоичный код ($B_2 B_1 B_0$) | Код Грея ($G_2 G_1 G_0$) |
|--------------------------------|----------------------------|
| 000 | 000 |
| 001 | 001 |
| 010 | 011 |
| 011 | 010 |
| 100 | 110 |
| 101 | 111 |
| 110 | 101 |
| 111 | 100 |

Логические уравнения:

- $G_2 = B_2$
- $G_1 = B_2 \oplus B_1$
- $G_0 = B_1 \oplus B_0$

2.4. Генераторы и проверяющие устройства четности

Генератор четности вычисляет бит четности для набора входных битов, который используется для обнаружения ошибок при передаче данных.

Пример для 4-разрядного генератора четности:

$$P = B_3 \oplus B_2 \oplus B_1 \oplus B_0$$

Проверяющее устройство четности сравнивает полученный бит четности с вычисленным и сигнализирует об ошибке, если они не совпадают.

2.5. Компараторы

Компаратор — это устройство, сравнивающее два двоичных числа и определяющее отношение между ними: больше, меньше или равно.

Таблица 4. Таблица истинности для 2-битного компаратора

| A_1 | A_0 | B_1 | B_0 | $A > B$ | $A = B$ | $A < B$ |
|-------|-------|-------|-------|---------|---------|---------|
| 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| ... | ... | ... | ... | ... | ... | ... |
| 1 | 1 | 1 | 1 | 0 | 1 | 0 |

Логические уравнения:

- $A > B = (A_1 \& \overline{B_1}) + (A_1 \equiv B_1) \& (A_0 \& \overline{B_0})$
- $A = B = (A_1 \equiv B_1) \& (A_0 \equiv B_0)$
- $A < B = (B_1 \& \overline{A_1}) + (A_1 \equiv B_1) \& (B_0 \& \overline{A_0})$

3. Практический блок:

Преобразователи кодов

Таблица переходов для преобразователя кодов задана как совокупность четырех логических функций от четырех переменных в 16-теричной векторной форме. Иначе говоря, код, формируемый для некоторого входного набора, образуется как совокупность значений четырех функций для этого набора. Первая задаваемая функция описывает множество старших битов (третий разряд) для всех формируемых кодов, вторая функция описывает второй разряд, третья функция – первый разряд, и четвертая – нулевой.

Предположим, что в соответствии с вариантом имеются следующие функции:

$$F1 = ACF8_{16}; F2 = 45CA_{16}; F3 = 3207_{16}; F4 = B4C8_{16}$$

Восстановим таблицу истинности:

Таблица 6. Таблица истинности для преобразователя кодов

| a | b | c | d | F1 | F2 | F3 | F4 |
|---|---|---|---|----|----|----|----|
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |

Схема устройства строится непосредственно по таблице. Значения переменных «a», «b», «c», «d» указывают на номер выхода дешифратора, который необходимо подключить к некоторому входу шифратора. Номер входа шифратора определяется кодом из правой части таблицы истинности, который должен быть сформирован для данного входного набора значений переменных.

Если для нескольких разных наборов значений переменных должны быть получены одинаковые коды, то соответствующие выходы дешифратора объединяются через «или», а выход «или» уже подается на вход шифратора.

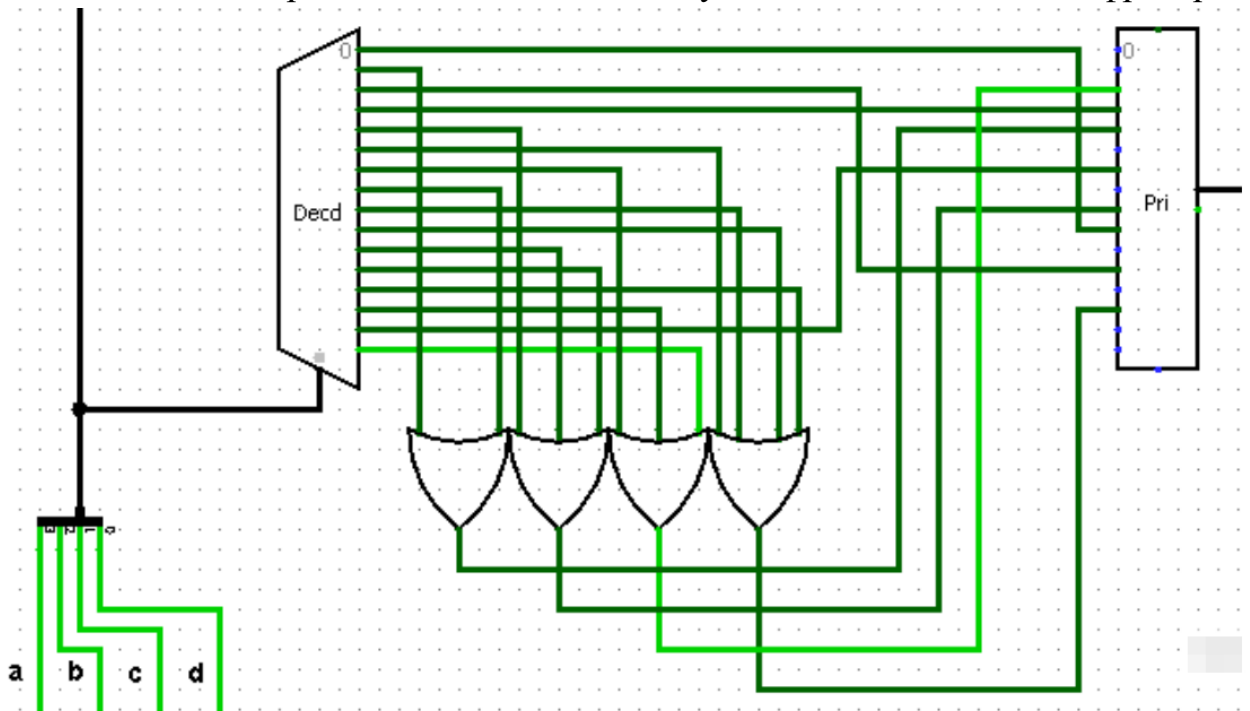


Рисунок 3. Схема преобразователя кодов

На Рисунке 3 блок в правой части схемы представляет собой преобразованный в блок четырёхразрядного шифратора с приоритетом. В состав схемы входит четырёхразрядный дешифратор, схема преобразования, шифратор, созданный ранее по схеме.

4. Задание для отчета по лабораторной работе

Задание №1:

Спроектировать и проанализировать четырехразрядный шифратор.

1. Постройте таблицу истинности для четырехразрядного шифратора.
2. Составьте логические уравнения для каждого из выходов.
3. Разработайте схему шифратора.
4. Проанализируйте схему. Возможна ли ее оптимизация с целью уменьшения количества используемых логических элементов?

Задание №2:

Спроектировать и проанализировать трехразрядный шифратор с приоритетом.

1. Постройте таблицу истинности для трехразрядного шифратора с приоритетом.
2. Составьте логические уравнения для каждого из выходов.
3. Разработайте схему шифратора.
4. Проанализируйте схему. Возможна ли ее оптимизация с целью уменьшения количества используемых логических элементов?

Задание №3:

1. Восстановите таблицу истинности по функциям, выданным согласно варианту.
2. Разработайте схему преобразователя кодов, в том числе используя созданный шифратор.
3. Подключите ко входным и выходным комбинациям схемы семисегментные дисплеи.

В отчет включите все результаты моделирования, логические уравнения и таблицы истинности.

Варианты для самостоятельной работы

1. $F1 = 9B7C_{16}$; $F2 = 93F3_{16}$; $F3 = 1BED_{16}$; $F4 = B778_{16}$
2. $F1 = 93F3_{16}$; $F2 = 1BED_{16}$; $F3 = B778_{16}$; $F4 = 7D1B_{16}$
3. $F1 = 1BED_{16}$; $F2 = B778_{16}$; $F3 = 7D1B_{16}$; $F4 = 5CF3_{16}$
4. $F1 = B778_{16}$; $F2 = 7D1B_{16}$; $F3 = 5CF3_{16}$; $F4 = 1FCB_{16}$
5. $F1 = 7D1B_{16}$; $F2 = 5CF3_{16}$; $F3 = 1FCB_{16}$; $F4 = D597_{16}$
6. $F1 = 5CF3_{16}$; $F2 = 1FCB_{16}$; $F3 = D597_{16}$; $F4 = B5F1_{16}$
7. $F1 = 1FCB_{16}$; $F2 = D597_{16}$; $F3 = B5F1_{16}$; $F4 = 6D5E_{16}$
8. $F1 = D597_{16}$; $F2 = B5F1_{16}$; $F3 = 6D5E_{16}$; $F4 = BF29_{16}$
9. $F1 = B5F1_{16}$; $F2 = 6D5E_{16}$; $F3 = BF29_{16}$; $F4 = A1EF_{16}$
10. $F1 = 6D5E_{16}$; $F2 = BF29_{16}$; $F3 = A1EF_{16}$; $F4 = D6F1_{16}$
11. $F1 = BF29_{16}$; $F2 = A1EF_{16}$; $F3 = D6F1_{16}$; $F4 = 5EDC_{16}$
12. $F1 = A1EF_{16}$; $F2 = D6F1_{16}$; $F3 = 5EDC_{16}$; $F4 = C5DE_{16}$
13. $F1 = D6F1_{16}$; $F2 = 5EDC_{16}$; $F3 = C5DE_{16}$; $F4 = E976_{16}$
14. $F1 = 5EDC_{16}$; $F2 = C5DE_{16}$; $F3 = E976_{16}$; $F4 = F83D_{16}$
15. $F1 = C5DE_{16}$; $F2 = E976_{16}$; $F3 = F83D_{16}$; $F4 = 5737_{16}$
16. $F1 = E976_{16}$; $F2 = F83D_{16}$; $F3 = 5737_{16}$; $F4 = 5ADD_{16}$
17. $F1 = F83D_{16}$; $F2 = 5737_{16}$; $F3 = 5ADD_{16}$; $F4 = 5767_{16}$
18. $F1 = 5737_{16}$; $F2 = 5ADD_{16}$; $F3 = 5767_{16}$; $F4 = 61FB_{16}$

19. $F1 = 5ADD_{16}$; $F2 = 5767_{16}$; $F3 = 61FB_{16}$; $F4 = 3B1F_{16}$
20. $F1 = 5767_{16}$; $F2 = 61FB_{16}$; $F3 = 3B1F_{16}$; $F4 = 8F6B_{16}$
21. $F1 = 61FB_{16}$; $F2 = 3B1F_{16}$; $F3 = 8F6B_{16}$; $F4 = 7CDC_{16}$
22. $F1 = 3B1F_{16}$; $F2 = 8F6B_{16}$; $F3 = 7CDC_{16}$; $F4 = F31B_{16}$
23. $F1 = 8F6B_{16}$; $F2 = 7CDC_{16}$; $F3 = F31B_{16}$; $F4 = BCDA_{16}$
24. $F1 = 7CDC_{16}$; $F2 = F31B_{16}$; $F3 = BCDA_{16}$; $F4 = 7759_{16}$
25. $F1 = F31B_{16}$; $F2 = BCDA_{16}$; $F3 = 7759_{16}$; $F4 = DF98_{16}$
26. $F1 = BCDA_{16}$; $F2 = 7759_{16}$; $F3 = DF98_{16}$; $F4 = B9F2_{16}$
27. $F1 = 7759_{16}$; $F2 = DF98_{16}$; $F3 = B9F2_{16}$; $F4 = 5BF2_{16}$
28. $F1 = DF98_{16}$; $F2 = B9F2_{16}$; $F3 = 5BF2_{16}$; $F4 = 7C73_{16}$
29. $F1 = B9F2_{16}$; $F2 = 5BF2_{16}$; $F3 = 7C73_{16}$; $F4 = 6967_{16}$
30. $F1 = 5BF2_{16}$; $F2 = 7C73_{16}$; $F3 = 6967_{16}$; $F4 = 1DF3_{16}$

5. Вопросы для самостоятельного контроля

1. – Что такое дешифратор (шифратор)?
2. – Как дешифратор (шифратор) устроен внутри?
3. – Чем приоритетный шифратор отличается от простого?
4. – Что такое преобразователь кодов?
5. – Какова область применения шифраторов (дешифраторов)?

Список литературы для самостоятельного изучения

1. Хеннеси, Дж. Л., Паттерсон, Д. А. Компьютерная архитектура: количественный подход. — 5-е изд. — М.: Вильямс, 2016. — 944 с.
2. Таненбаум, Э. Архитектура компьютера. Структурный подход. — 5-е изд. — СПб.: Питер, 2013. — 832 с.
3. Архитектура вычислительных систем [Электронный ресурс]: учебное пособие – Эл. изд. - Электрон. текстовые дан. (1 файл pdf: 77 с.). - Грейбо С.В., Новосёлова Т.Е., Пронькин Н.Н., Семёнычева И.Ф. 2019