

Практическая работа №10

«Комбинационные устройства»

Цель работы:

- изучение функциональных характеристик основных комбинационных устройств (КУ);
- освоение построения логических схем с КУ.

Теоретический блок:

Комбинационное устройство (КУ) – это устройство с n входами и m выходами, выходное состояние которого зависит исключительно от текущих значений его входных сигналов, без учета предыдущих состояний или последовательности событий. В комбинационных устройствах отсутствуют элементы памяти, и результат их работы определяется мгновенной логической функцией, реализуемой над входными сигналами.

К типичным примерам комбинационных устройств относятся:

- **Логические элементы** - выполняют базовые логические операции, такие как AND, OR, NOT, NAND, NOR, XOR, и XNOR. (см. лабораторная работа 6).
- **Дешифраторы** - преобразуют двоичный код в активный сигнал на одном из выходов.
- **Мультиплексоры** - выбирают один из нескольких входных сигналов и передают его на выход.
- **Демультиплексоры** - распределяют входной сигнал на один из нескольких выходов в зависимости от управляющих сигналов.
- **Сумматоры** - выполняют сложение двоичных чисел.

Комбинационные устройства широко используются в цифровых системах для выполнения различных операций, таких как кодирование, декодирование, арифметические операции, коммутация сигналов, и контроль логических условий.

1. Дешифратор представляет собой комбинационное устройство, предназначенное для преобразования параллельного двоичного кода в унитарный (позиционный) код. При подаче на вход дешифратора двоичного кода, активный выходной сигнал возникает исключительно на том выходе, номер которого соответствует десятичному эквиваленту входного кода. В

зависимости от конструкции дешифратора, этот сигнал может представлять собой логическую единицу (при этом на всех остальных выходах устанавливается логический ноль) или логический ноль (в то время как на остальных выходах — логическая единица).

Для обозначения дешифраторов и шифраторов обычно используются символы DC и CD соответственно (от английских слов decoder и coder). Если входной двоичный код имеет n разрядов, то количество выходов дешифратора должно быть равно 2^n . В случае, если некоторые комбинации входных сигналов не используются, такой дешифратор называется неполным.

Работа дешифратора определяется системой логических уравнений, составленных на основе его таблицы истинности. Одноступенчатый (линейный) дешифратор является наиболее быстродействующим, однако при значительной разрядности входного слова требует использования логических элементов с большим числом входов, что может существенно увеличивать нагрузку на источники входных сигналов.

Рассмотрим пример построения двухразрядного дешифратора на основе базовых логических элементов, с помощью таблицы истинности (см. таблицу 1). Составим соответствующие логические уравнения для построения схемы дешифратора: $Y_0 = \overline{X_2} \bullet \overline{X_1}$, $Y_1 = \overline{X_2} \bullet X_1$, $Y_2 = X_2 \bullet \overline{X_1}$, $Y_3 = X_2 \bullet X_1$

Таблица 1. Таблица истинности для двухразрядного дешифратора

X_2	X_1	Y_0	Y_1	Y_2	Y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Графическая схема дешифратора, реализующая полученные логические уравнения, приведена на рисунке 1.

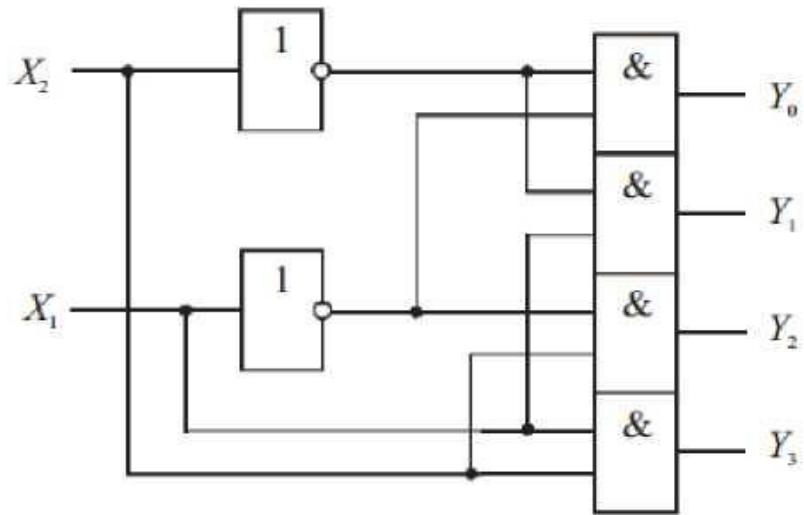


Рисунок 1 – Комбинационная схема двухразрядного дешифратора

Малоразрядные дешифраторы в виде интегральных схем (ИС) позволяют строить дешифраторы большей разрядности по пирамидальной или матричной структуре из отдельных линейных дешифраторов.

При этом входное слово делится на поля, разрядность которых соответствует числу входов имеющихся ИС дешифраторов. На рисунке 2 показано условное графическое обозначение трехразрядного дешифратора с прямыми выходами и двухразрядного линейного дешифратора с инверсными выходами.

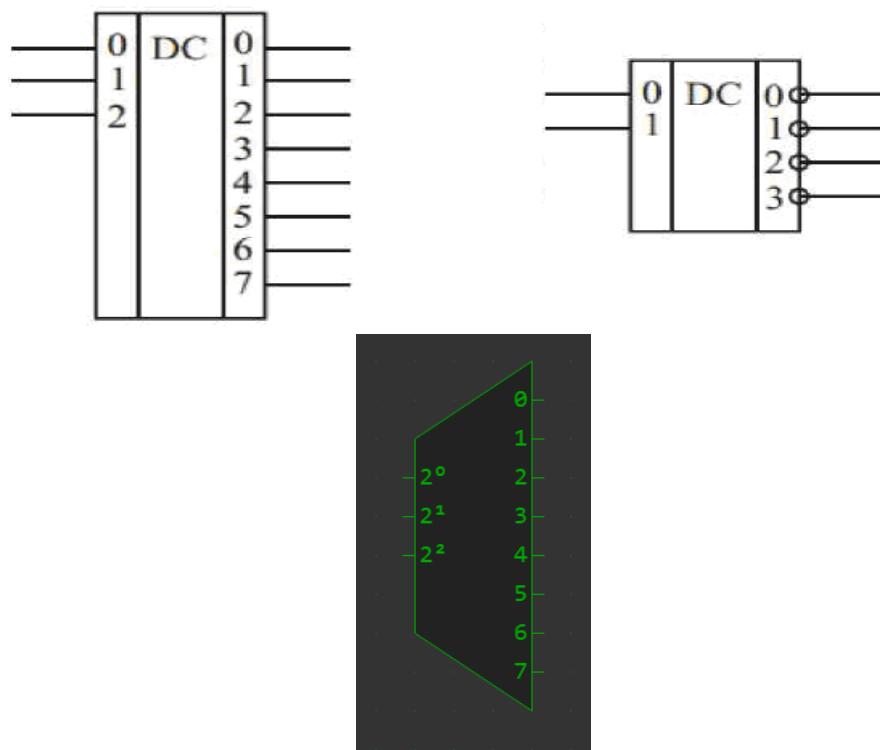


Рисунок 2 – условное графическое обозначение дешифраторов

Построим самостоятельно комбинационную схему трехразрядного дешифратора, который будет иметь три входа (X_2, X_1, X_0) и восемь выходов ($Y_0, Y_1, Y_2, Y_3, Y_4, Y_5, Y_6, Y_7$). Каждый выход будет активен (логическая единица) при определенной комбинации входных сигналов. Составим таблицу истинности для трехразрядного дешифратора.

Таблица 2. Таблица истинности для трехразрядного дешифратора

X_2	X_1	X_0	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Составим соответствующие логические уравнения для построения схемы дешифратора:

$$Y_0 = \overline{X_2} \cdot \overline{X_1} \cdot \overline{X_0}$$

$$Y_1 = \overline{X_2} \cdot \overline{X_1} \cdot X_0$$

$$Y_2 = \overline{X_2} \cdot X_1 \cdot \overline{X_0}$$

$$Y_3 = \overline{X_2} \cdot X_1 \cdot X_0$$

$$Y_4 = X_2 \cdot \overline{X_1} \cdot \overline{X_0}$$

$$Y_5 = X_2 \cdot \overline{X_1} \cdot X_0$$

$$Y_6 = X_2 \cdot X_1 \cdot \overline{X_0}$$

$$Y_7 = X_2 \cdot X_1 \cdot X_0$$

Схема дешифратора представлена на рисунке 3.

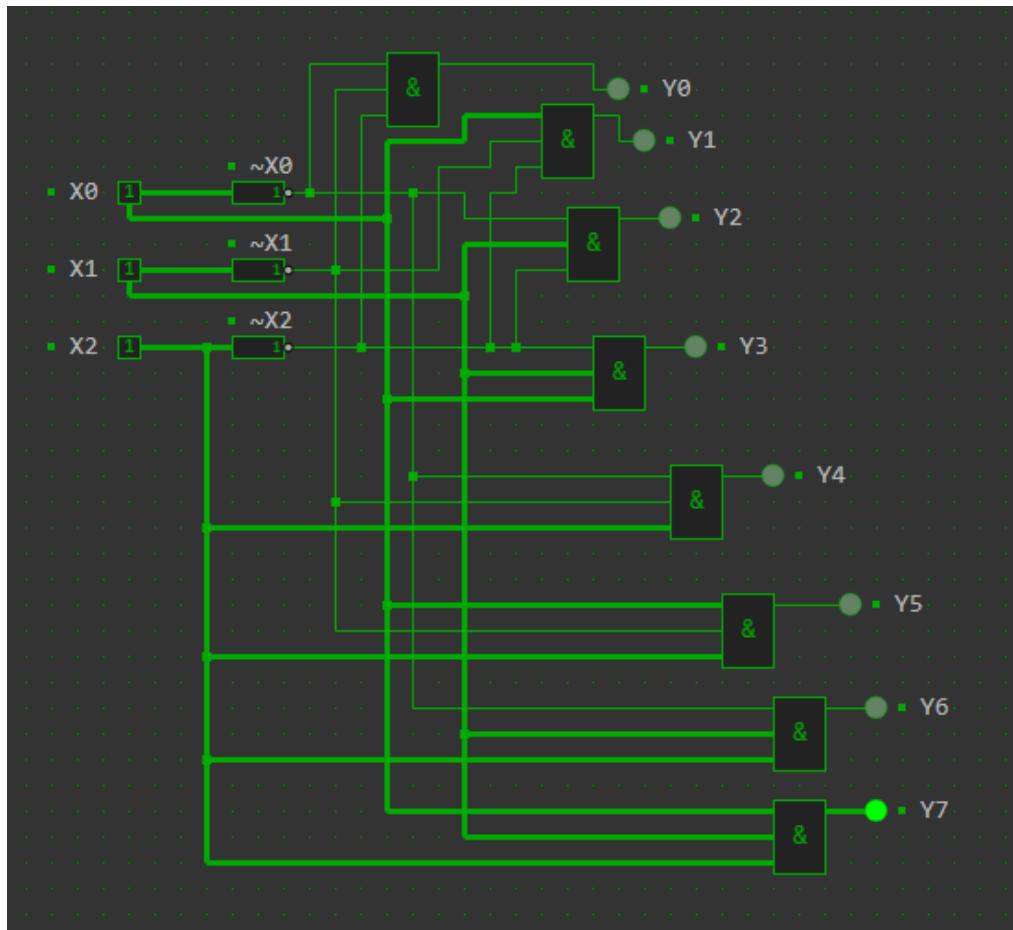


Рисунок 3 – трехразрядный дешифратор

2. Мультиплексор и демультиплексор

Мультиплексор — это комбинационное устройство, предназначенное для выбора одного из нескольких входных сигналов и передачи его на общий выход. Выбор входного сигнала определяется комбинацией логических уровней на адресных входах. Номер подключаемого входа равен числу (адресу), определяемому комбинацией логических уровней на адресных входах. Например, при использовании двух адресных входов X_1 и X_2 , мультиплексор может выбрать один из четырёх входных сигналов ($D_0 - D_3$) и передать его на выход Y .

Мультиплексор позволяет преобразовывать параллельные цифровые данные, поступающие на входы D , в последовательные информационные сигналы, которые могут передаваться по одному проводу. Это делает мультиплексор полезным для уменьшения количества линий передачи данных и эффективного использования ресурсов.

Демультиплексор, наоборот, выполняет обратную функцию. Он преобразует последовательный сигнал, поступающий на вход, в параллельные выходные данные, распределяя сигнал по нескольким выходам

на основе адресных входов.

Пример построения мультиплексора:

Рассмотрим пример построения мультиплексора с четырьмя информационными входами ($D_0 - D_3$) и двумя адресными входами (X_1 и X_2) на основе базовых логических элементов. Таблица истинности для данного мультиплексора приведена в таблице 3.

Таблица 3. Таблица истинности мультиплексора с двумя адресными шинами

X_2	X_1	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

$$Y = \overline{X_2} \cdot \overline{X_1} \cdot D_0 + \overline{X_2} \cdot X_1 \cdot D_1 + X_2 \cdot \overline{X_1} \cdot D_2 + X_2 \cdot X_1 \cdot D_3$$

Графическая схема мультиплексора, реализующая полученные логические уравнения и условное обозначение приведены на рисунке 4.

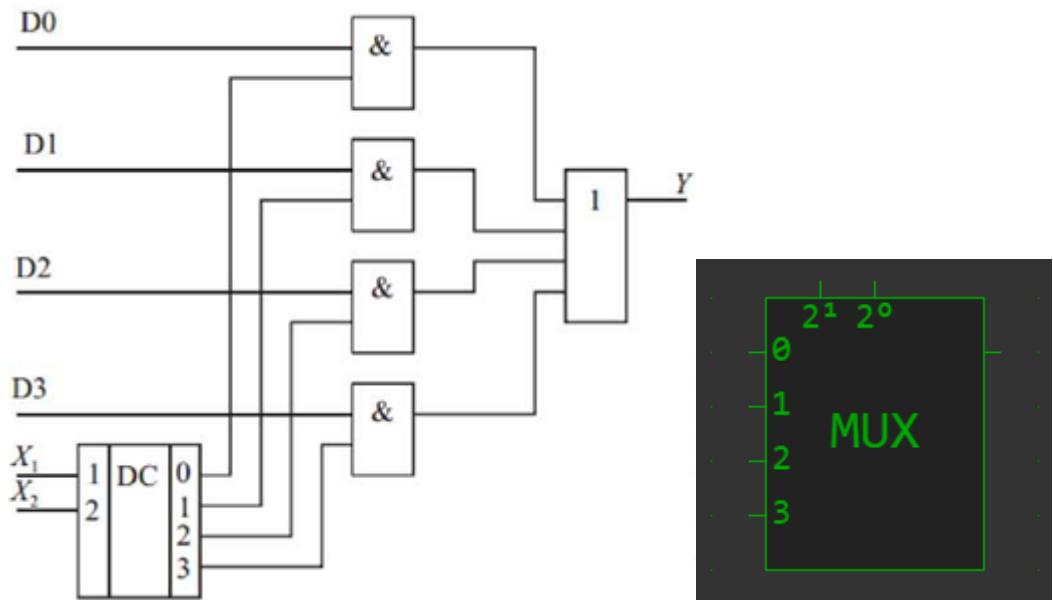


Рисунок 4 – мультиплексор

Схема демультиплексора будет схожа со схемой мультиплексора, но с обратной функциональностью. Если мультиплексор объединяет несколько входов в один выход, то демультиплексор наоборот — разделяет один вход на несколько выходов, в зависимости от комбинации сигналов на адресных

входах. На рисунке 5 показано условное обозначение демультиплексора на схемах.

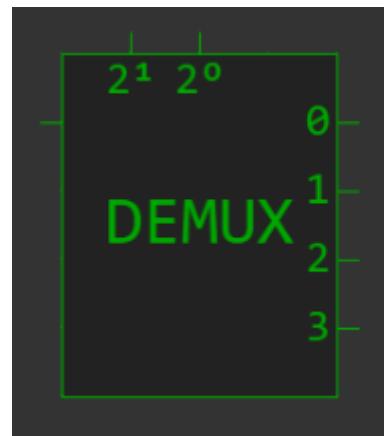


Рисунок 5 – демультиплексор

3. Полусумматор и сумматор

Сумматор является простейшим цифровым устройством, предназначенным для сложения двух чисел, заданных в двоичном коде. Процесс сложения осуществляется поразрядно – от младшего разряда к старшему. В каждом разряде необходимо найти сумму S_i слагаемых A_i и B_i , а также учесть переноса из предыдущего разряда P_{i-1} .

По числу входов различают полусумматоры, одноразрядные сумматоры и многоразрядные сумматоры.

Полусумматорами называются устройства с двумя входами и двумя выходами, на которыхрабатываются сигналы суммы и переноса. В таблице 4 приведена таблица истинности полусумматора.

Таблица 4. Таблица истинности полусумматора.

A_i	B_i	S_i	C_{i+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Составим соответствующие логические уравнения для построения схемы полусумматора: $S = a \bullet \bar{b} + \bar{a} \bullet b$, $P = a \bullet b$.

Графическая схема полусумматора с использованием базовых логических элементов, реализующая полученные логические уравнения,

приведена на рисунке 6.

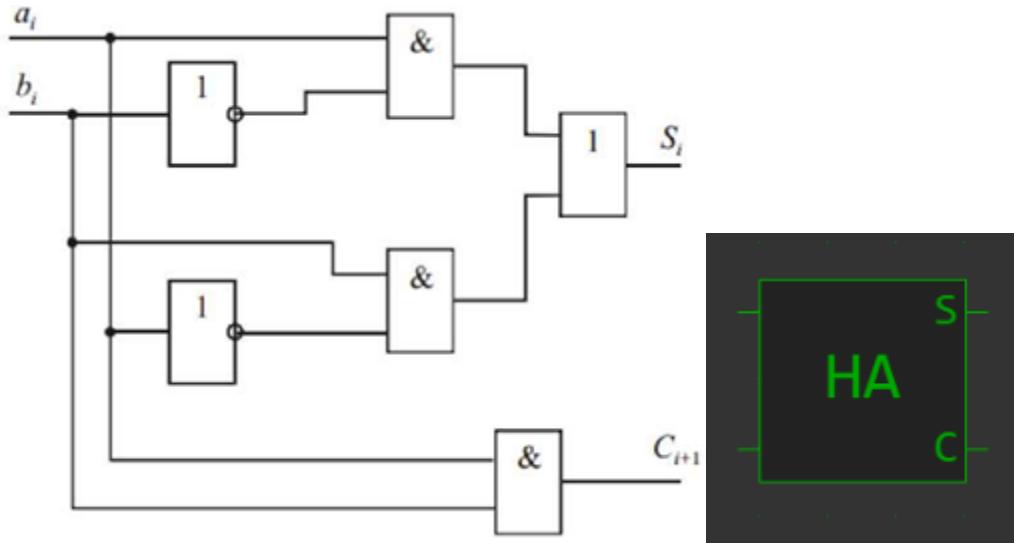


Рисунок 6 – Комбинационная схема полусумматора и обозначение

Комбинационная схема полусумматора с использованием логических элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и И, приведена на рисунке 7.

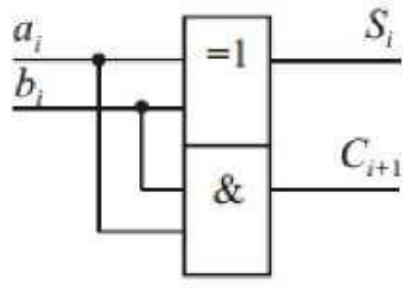


Рисунок 7 – Комбинационная схема полусумматора

Схема сумматора может быть реализована на двух полусумматорах, соединенных как указано на схеме рисунке 8.

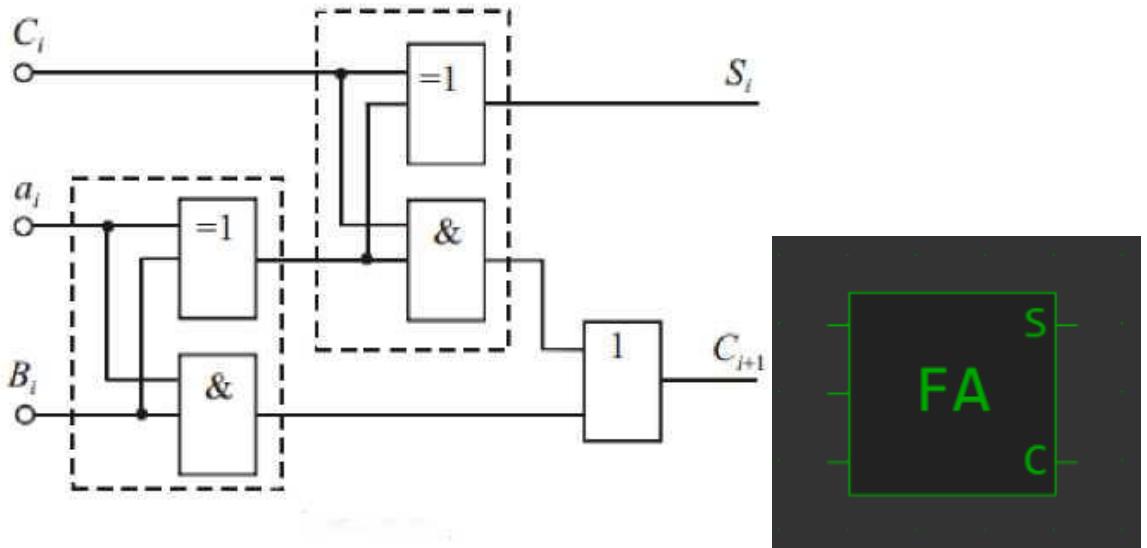


Рисунок 8 – Схема сумматора и его обозначение

В зависимости от характера ввода-вывода кодов и организации переносов многоразрядные сумматоры бывают последовательного и параллельного принципа действия.

Последовательный сумматор выполняет сложение кодов по разрядно, начиная с младшего разряда, с использованием комбинационного сумматора на три входа. Образующийся в данном разряде перенос P_{j+1} задерживается на время $t_{\text{эд}}$ и поступает на вход P_j сумматора в момент поступления следующего разряда слагаемых. Таким образом, последовательно разряд за разрядом производится сложение кодов чисел. Схема последовательного сумматора приведена на рисунке 9.

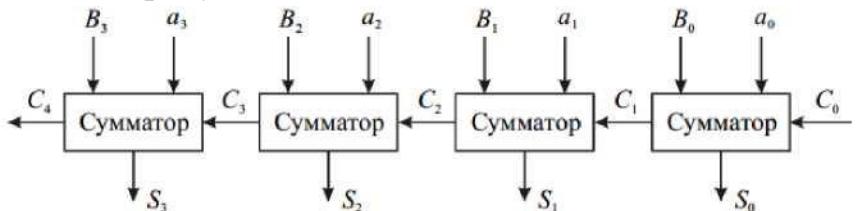


Рисунок 9 – Схема последовательного сумматора

Достоинством последовательного сумматора является простота аппаратурной реализации, а недостатком – достаточно большое время суммирования.

Параллельный сумматор обеспечивает более высокую скорость работы, так как суммируемые коды поступают на входы сумматора одновременно по всем разрядам. Для этого в каждом разряде используется комбинационный сумматор на три входа, на выходах которого образуются значения суммы S_j данного разряда и переноса P_{j+1} в старший разряд. В процессе распространения сигнала переноса устанавливается окончательное значение

суммы в каждом разряде. Очевидно, что в течение этого времени на входах сумматора присутствуют сигналы X_i , Y_i , соответствующие суммируемым кодам. Максимальное по времени суммирование получается в том случае, когда перенос, возникший в первом разряде, распространяется по всем разрядом (например, при сложении кодов 11..11 и 00..01). В параллельном сумматоре обычно применяются различные способы ускорения переноса (параллельный перенос, групповой и т. п.)

Задание для отчета по лабораторной работе

Задание №1:

Спроектировать и проанализировать четырехразрядный дешифратор.

1. Постройте таблицу истинности для четырехразрядного дешифратора.
2. Составьте логические уравнения для каждого из выходов.
3. Разработайте схему дешифратора.
4. Проанализируйте схему. Возможна ли ее оптимизация с целью уменьшения количества используемых логических элементов?

Задание №2:

1. Реализовать логику 2-битного демультиплексора с четырьмя выходами на основе базовых логических элементов AND и NOT.

Логические уравнения подобного демультиплексора:

$$Y_0 = D \cdot \overline{X_2} \overline{X_1}$$

$$Y_1 = D \cdot \overline{X_2} X_1$$

$$Y_2 = D \cdot X_2 \overline{X_1}$$

$$Y_3 = D \cdot X_2 X_1$$

2. Представьте результаты в виде схемы и таблицы истинности, подтверждающей правильность работы демультиплексора.

Задание №3:

1. Реализовать логику одноразрядного сумматора. Для реализации полного одноразрядного сумматора необходимо учесть перенос из младшего разряда (P_0).

В отчет включите результаты моделирования, логические уравнения и таблицы истинности.

Вопросы для самостоятельного контроля

1. Что такое дешифратор?
2. Что такое мультиплексор/демультиплексор?
3. Что такое сумматор? Какие типы сумматоров бывают?

Список литературы для самостоятельного изучения

1. Хенnessи, Дж. Л., Паттерсон, Д. А. Компьютерная архитектура: количественный подход. — 5-е изд. — М.: Вильямс, 2016. — 944 с.
2. Таненбаум, Э. Архитектура компьютера. Структурный подход. — 5-е изд. — СПб.: Питер, 2013. — 832 с.
3. Архитектура вычислительных систем [Электронный ресурс]: учебное пособие – Эл. изд. - Электрон. текстовые дан. (1 файл pdf: 77 с.). - Грейбо С.В., Новосёлова Т.Е., Пронькин Н.Н., Семёнычева И.Ф. 2019