

本节内容

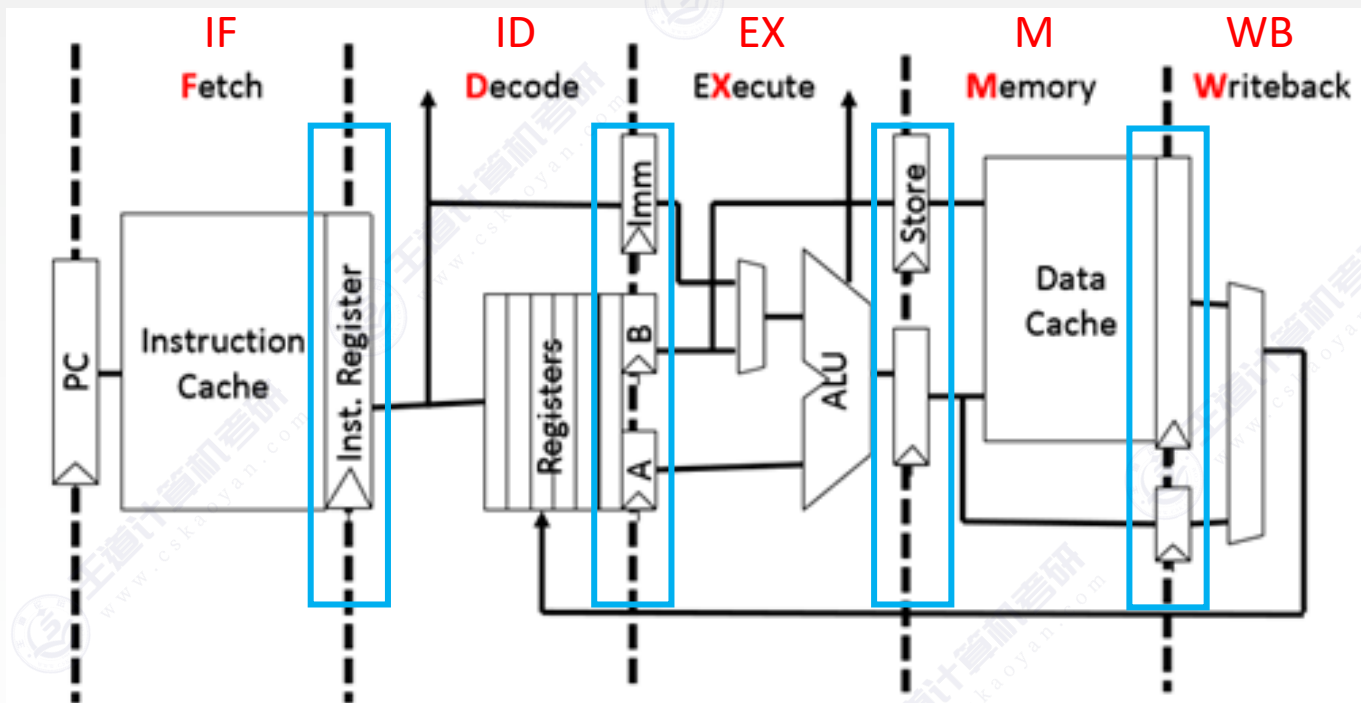
# 中央处理器

指令流水线  
影响因素  
分类

# 本节总览



# 机器周期的设置



流水线每一个功能段部件后面都要有一个缓冲寄存器，或称为锁存器，其作用是保存本流水段的执行结果，提供给下一流水段使用。

各部件实际耗时：

100ns

80ns

70ns

50ns

50ns

为方便流水线的设计，将每个阶段的耗时取成一样，以最长耗时为准。  
即此处应将机器周期设置为100ns。

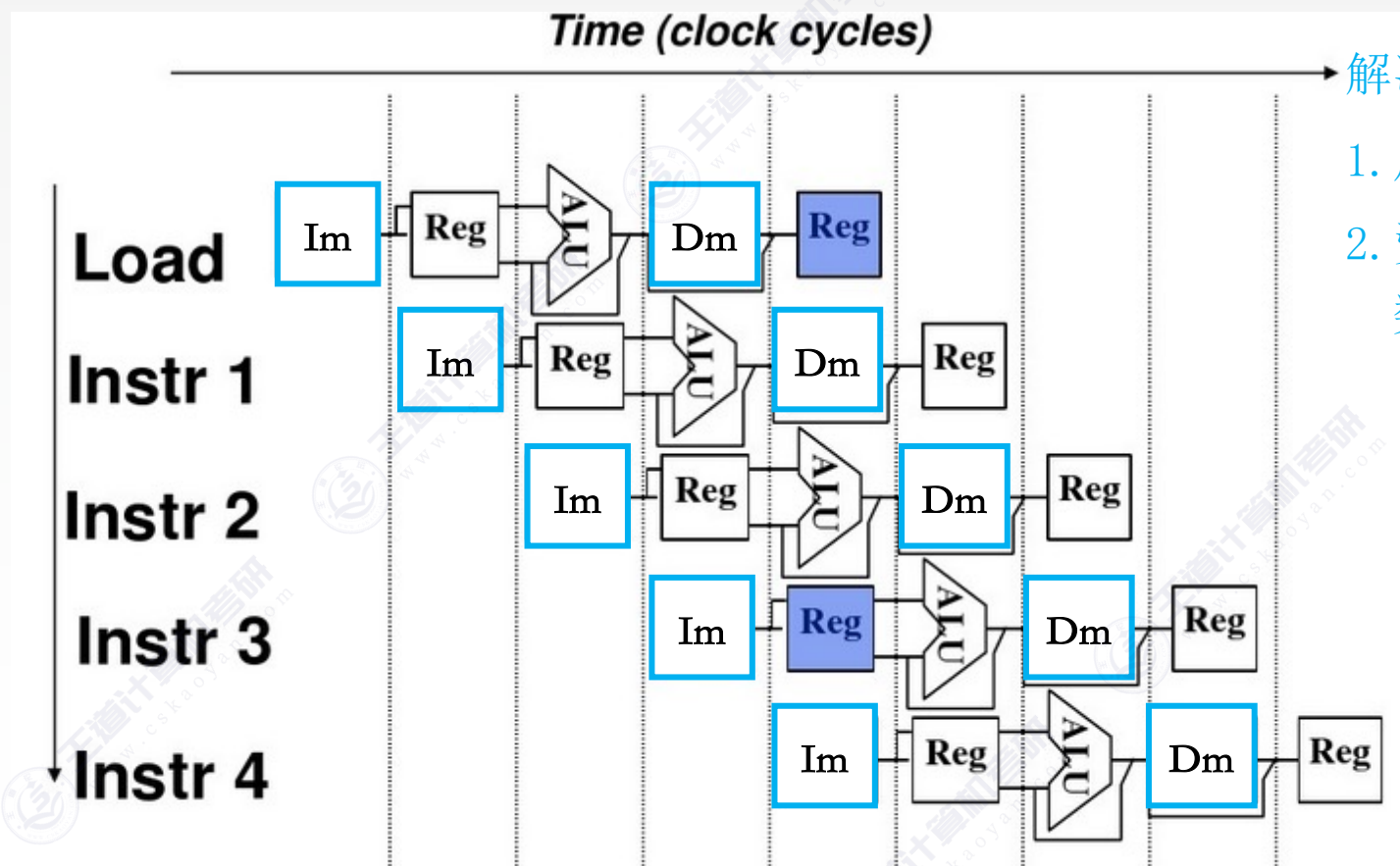
# 影响流水线的因素

1. 结构相关（资源冲突）
2. 数据相关（数据冲突）
3. 控制相关（控制冲突）

# 影响流水线的因素

## 1. 结构相关（资源冲突）

由于多条指令在同一时刻争用同一资源而形成的冲突称为结构相关。



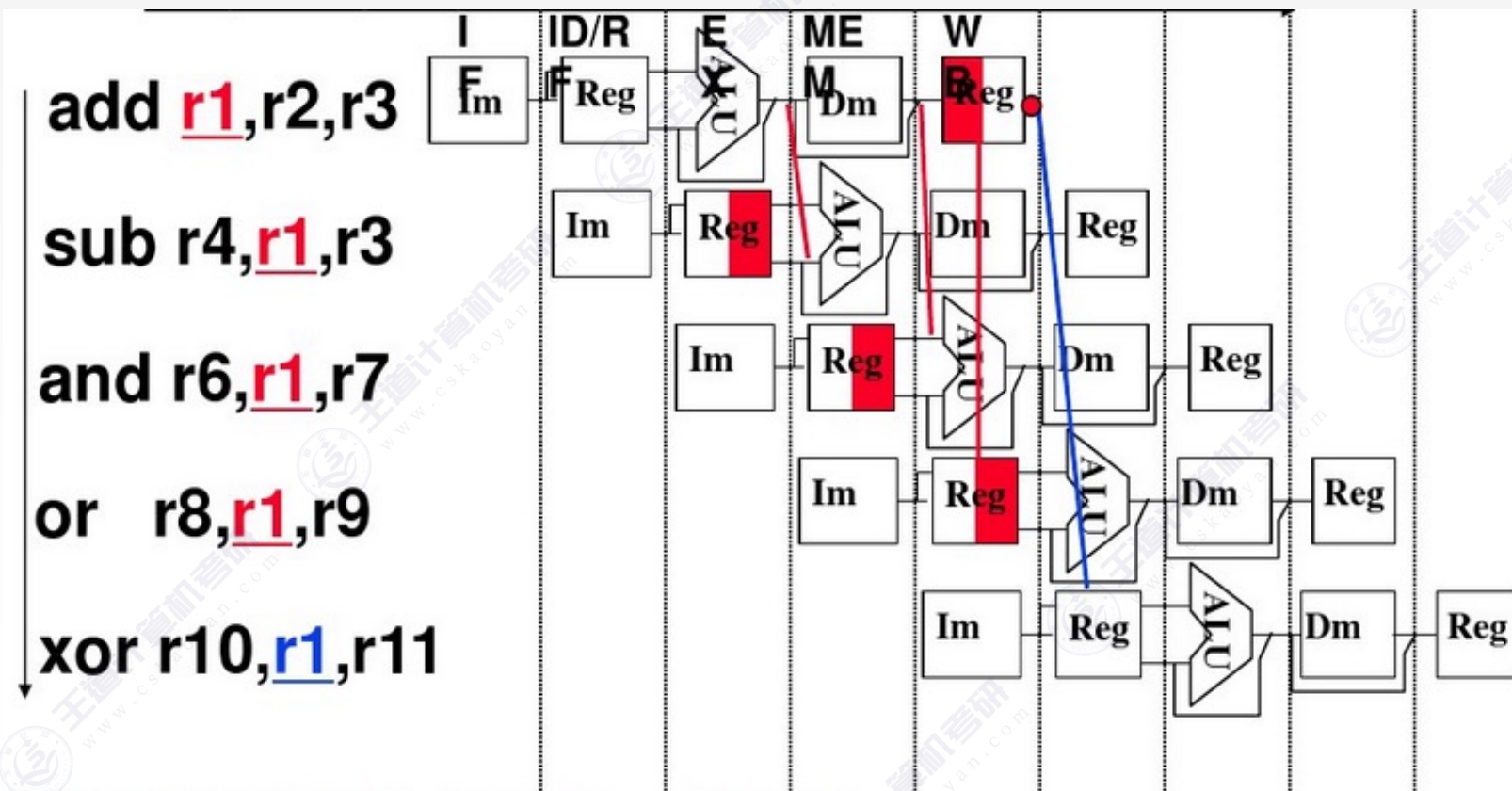
解决办法:

1. 后一相关指令暂停一周期
2. 资源重复配置:  
数据存储器+指令存储器

# 影响流水线的因素

## 2. 数据相关（数据冲突）

数据相关指在一个程序中，存在必须等前一条指令执行完才能执行后一条指令的情况，则这两条指令即为数据相关。



解决办法:

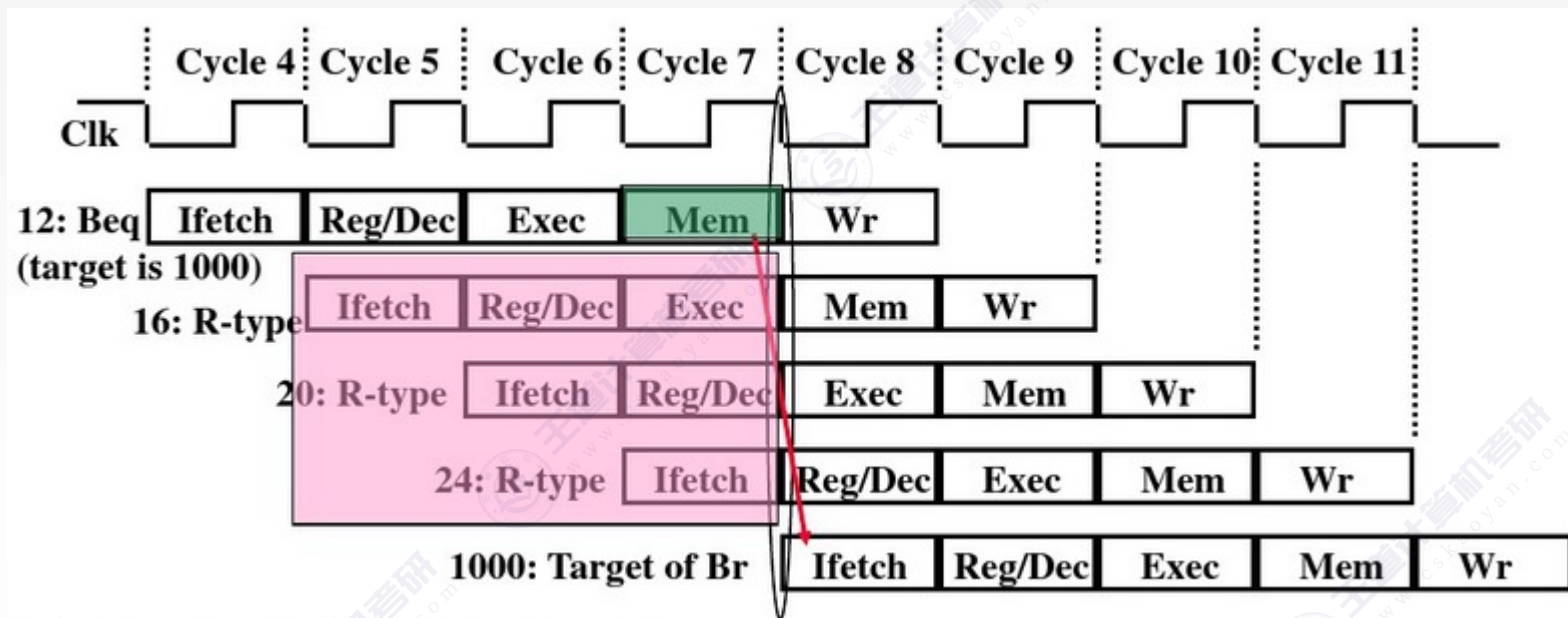
1. 把遇到数据相关的指令及其后续指令都暂停一至几个时钟周期，直到数据相关问题消失后再继续执行。可分为硬件阻塞(stall)和软件插入“NOP”两种方法。
2. 数据旁路技术。
3. 编译优化：通过编译器调整指令顺序来解决数据相关。



# 影响流水线的因素

## 3. 控制相关（控制冲突）

当流水线遇到转移指令和其他改变PC值的指令而造成断流时，会引起控制相关。



解决办法:

1. 转移指令分支预测。简单预测（永远猜ture或false）、动态预测（根据历史情况动态调整）
2. 预取转移成功和不成功两个控制流方向上的目标指令
3. 加快和提前形成条件码
4. 提高转移方向的猜准率

# 影响流水线的因素





# 流水线的分类

## 1. 部件功能级、处理机级和处理机间级流水线

根据流水线使用的级别的不同，流水线可分为部件功能级流水线、处理机级流水线和处理机间流水线。

**部件功能级流水**就是将复杂的算术逻辑运算组成流水线工作方式。例如，可将浮点加法操作分成求阶差、对阶、尾数相加以及结果规格化等4个子过程。

**处理机级流水**是把一条指令解释过程分成多个子过程，如前面提到的取指、译码、执行、访存及写回5个子过程。

**处理机间流水**是一种宏流水，其中每一个处理机完成某一专门任务，各个处理机所得到的结果需存放在与下一个处理机所共享的存储器中。

## 2. 单功能流水线和多功能流水线

按流水线可以完成的功能，流水线可分为单功能流水线和多功能流水线。

**单功能流水线**指只能实现一种固定的专门功能的流水线；

**多功能流水线**指通过各段间的不同连接方式可以同时或不同时地实现多种功能的流水线。

# 流水线的分类

## 3. 动态流水线和静态流水线

按同一时间内各段之间的连接方式，流水线可分为静态流水线和动态流水线。

**静态流水线**指在同一时间内，流水线的各段只能按同一种功能的连接方式工作。

**动态流水线**指在同一时间内，当某些段正在实现某种运算时，另一些段却正在进行另一种运算。这样对提高流水线的效率很有好处，但会使流水线控制变得很复杂。

## 4. 线性流水线和非线性流水线

按流水线的各个功能段之间是否有反馈信号，流水线可分为线性流水线与非线性流水线。

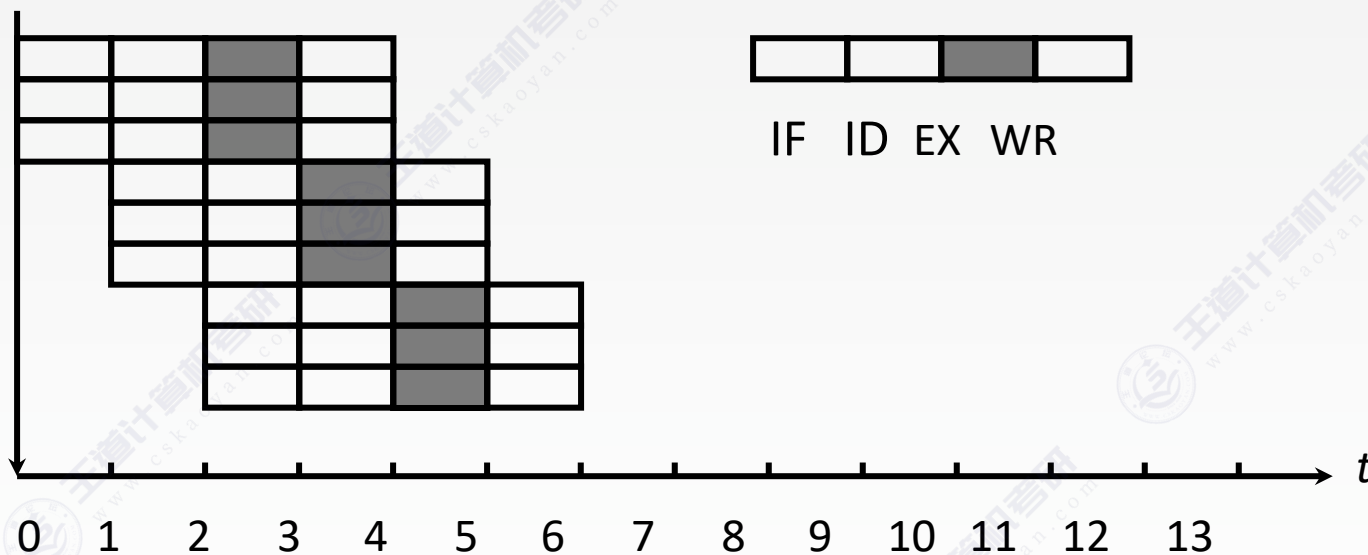
**线性流水线**中，从输入到输出，每个功能段只允许经过一次，不存在反馈回路。

**非线性流水线**存在反馈回路，从输入到输出过程中，某些功能段将数次通过流水线，这种流水线适合进行线性递归的运算。

# 流水线的多发技术



## 1. 超标量技术



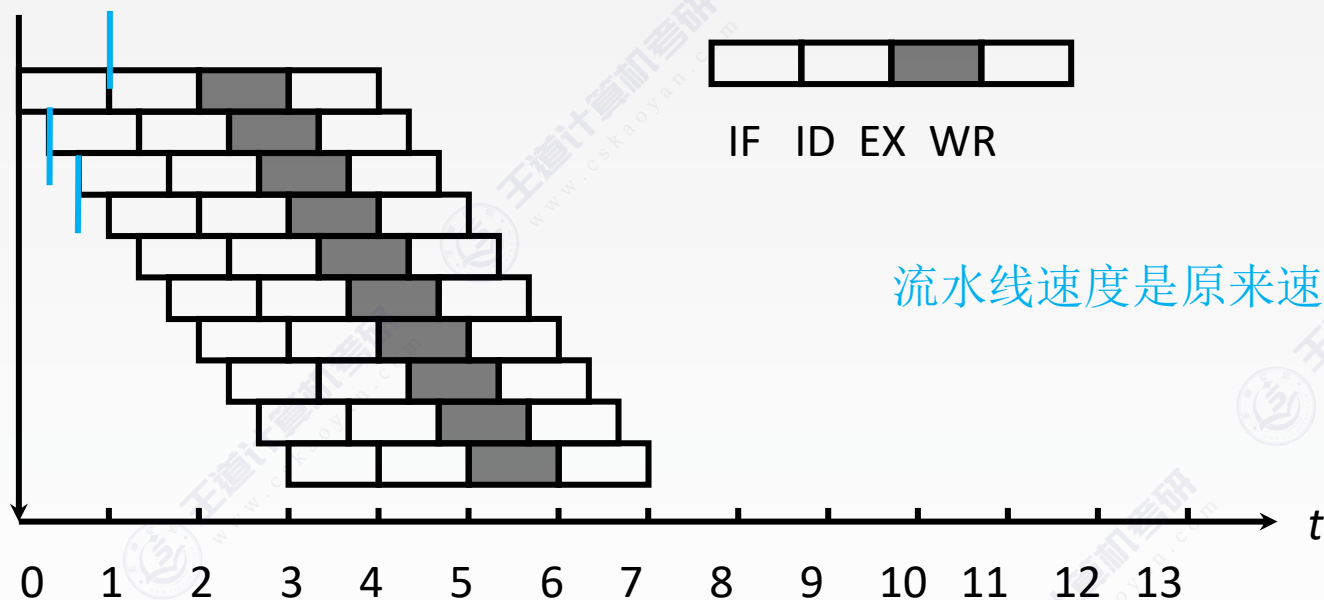
每个时钟周期内可 并发多条独立指令  
要配置多个功能部件

不能调整 指令的 执行顺序

通过编译优化技术，把可并行执行的指令搭配起来

# 流水线的多发技术

## 2. 超流水技术



在一个时钟周期内再分段（3段）

在一个时钟周期内一个功能部件使用多次（3次）

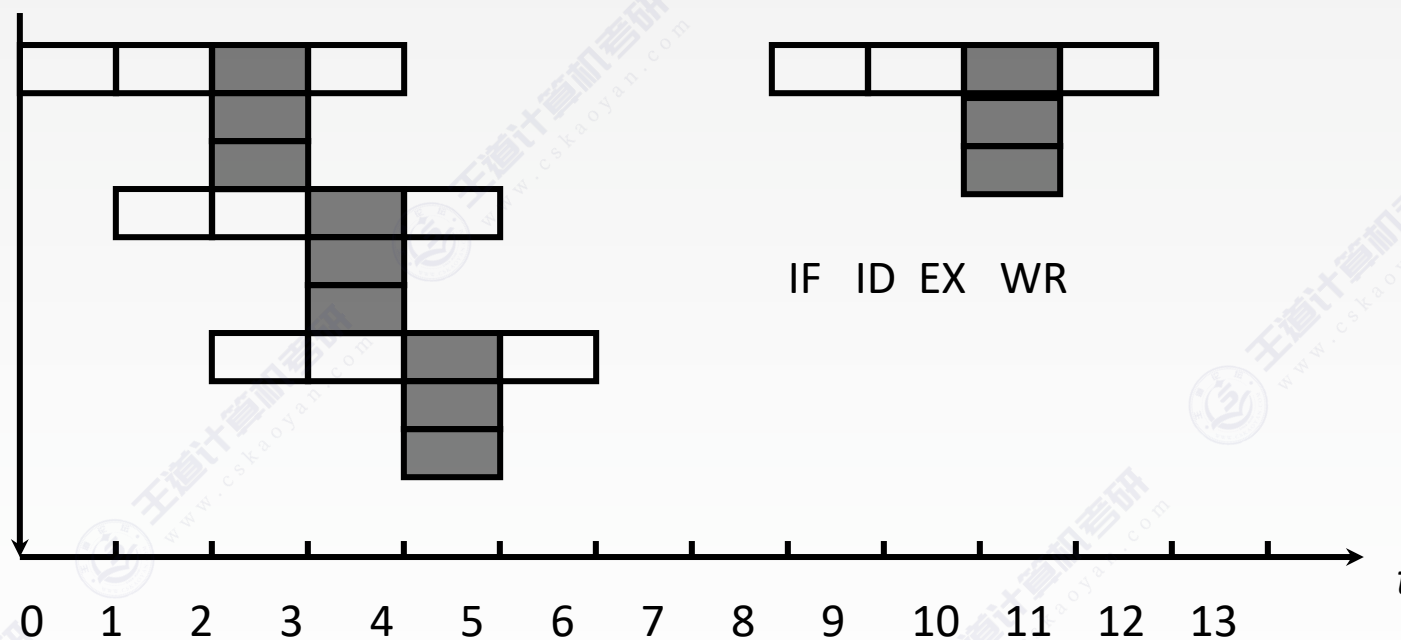
不能调整指令的执行顺序

靠编译程序解决优化问题

# 流水线的多发技术

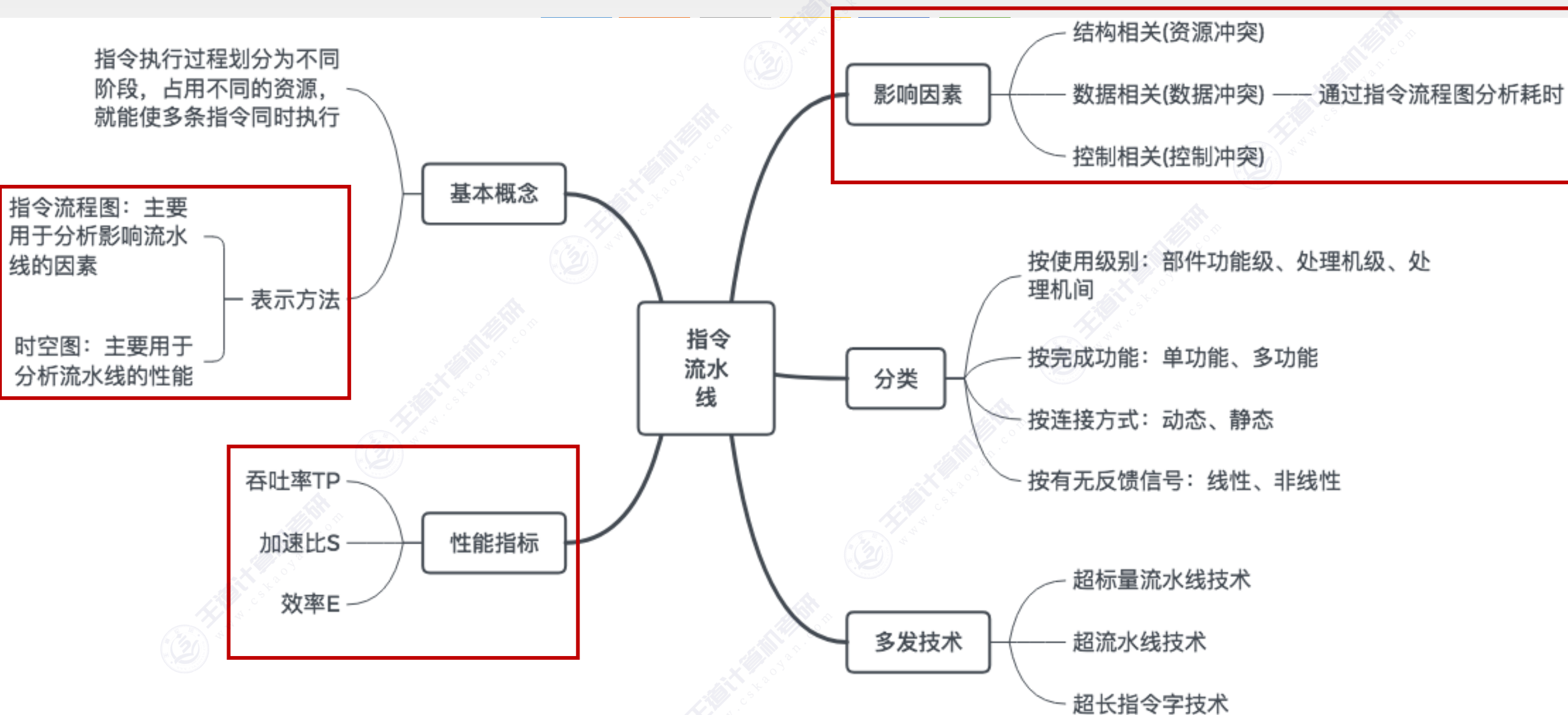


## 3. 超长指令字



由 编译程序挖掘 出指令间 潜在 的 并行性，  
将 多条 能 并行操作 的指令组合成 一条  
具有 多个操作码字段 的 超长指令字（可达几百位）  
采用 多个处理部件

## 本节回顾





## 影响流水线的因素

### 2. 数据相关（数据冲突）

例题. 假设某指令流水线采用“按序发射，按序完成”方式，没有采用转发技术处理数据相关，并且同一寄存器的读和写操作不能在同一个时钟周期内进行。若高级语言程序中某赋值语句为  $x=a+b$ ， $x$ 、 $a$ 和 $b$ 均为int型变量，它们的存储单元地址分别表示为 $[x]$ 、 $[a]$ 和 $[b]$ 。该语句对应的指令序列及其在指令流中的执行过程如下图所示。

I1    LOAD    R1, [a]    ( $[a]$ )  $\rightarrow$  R1  
I2    LOAD    R2, [b]    ( $[b]$ )  $\rightarrow$  R2  
I3    ADD     R1, R2    ( $R1$ ) + ( $R2$ )  $\rightarrow$  R2  
I4    STORE   R2, [x]    ( $R2$ )  $\rightarrow$  [x]

I3与I1和I2存在数据相关，

则这4条指令执行过程中I3的ID段和I4的IF段被阻塞的原因各是什么？ I4和I3存在数据相关。

	时间单元													
指令	1	2	3	4	5	6	7	8	9	10	11	12	13	14
I <sub>1</sub>	IF	ID	EX	M	WB									
I <sub>2</sub>		IF	ID	EX	M	WB								
I <sub>3</sub>			IF				ID	EX	M	WB				
I <sub>4</sub>							IF				ID	EX	M	WB

# 影响流水线的因素

## 2. 数据相关（数据冲突）

数据的基本操作：读（R）、写（W）

冲突的基本类型：RAW、WAR、WAW

RAW

注：“按序发射，按序完成”时，只可能出现RAW相关。

I1: ADD R5, R2, R4; (R2)+(R4) -> R5

I2: ADD R4, R5, R3; (R5)+(R3) -> R4

WAR

I1: STA M, R2; (R2) -> M, M为主存单元

乱序发射，编写程序的时候希望I1在I2前完成，

I2: ADD R2, R4, R5; (R4)+(R5) -> R2

但优化手段导致I2在I1前发射。

WRW

I1: MUL R3, R2, R1; (R2)\*(R1) -> R3

存在多个功能部件时，后一条指

I2: SUB R3, R4, R5; (R4)-(R5) -> R3

令可能比前一条指令先完成。



公众号：王道在线



b站：王道计算机教育



抖音：王道计算机考研