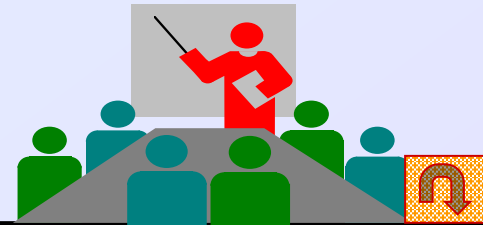


Ch6 时序逻辑电路

Sequential Logic Circuits

- 6.1 概述 Introduction
- 6.2 同步时序电路分析 Analysis of Synchronous Sequential Logic Circuits
- 6.3 常用中规模集成时序电 Integrated Sequential Logic Circuits
- 6.4 同步时序电路设计 Design of Sequential Logic Circuits
- 6.5 小结 Conclusion



6.1 概述 Introduction

- 组合电路与时序电路的区别

1. 组合电路： 电路的输出只与电路的输入有关，
与电路的**前一时刻**的状态无关。

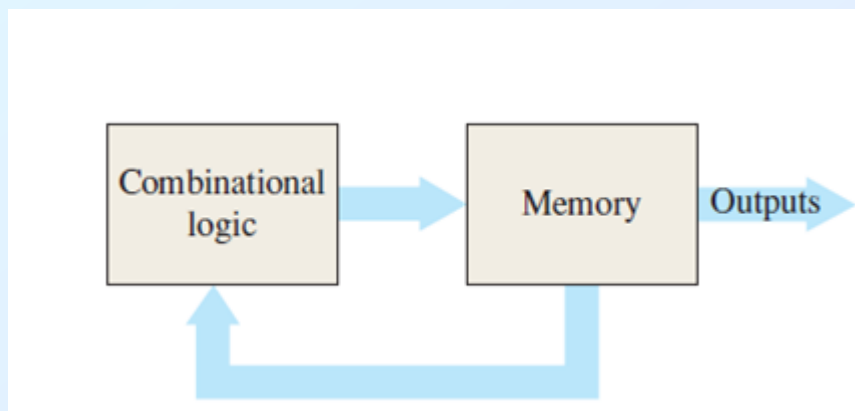
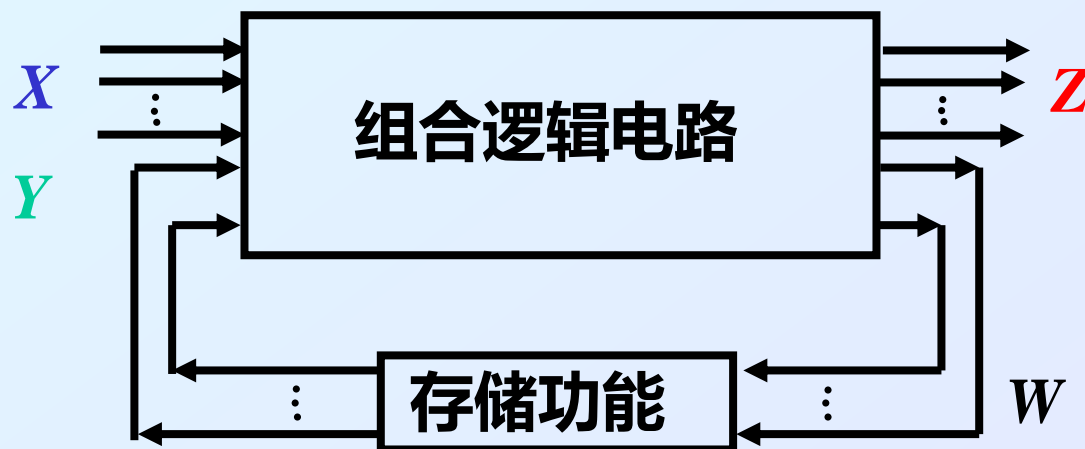
2. 时序电路：
电路在某一给定时刻的输出 { 取决于该时刻电 由触发器保存
还取决于**前一时刻**电路的状态

时序电路： 组合电路 + 触发器
电路的状态与**时间**顺序有关

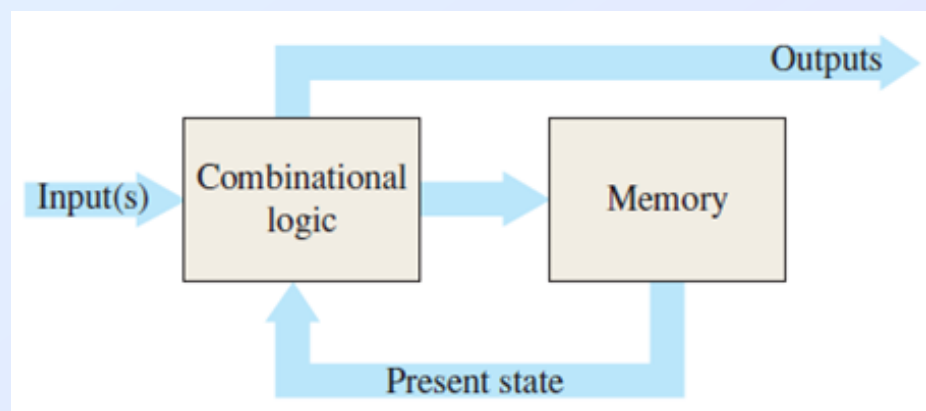
定义：

在数字电路中，凡是任一时刻的稳定输出不仅决定于该时刻的输入，而且**还和电路原来的状态有关者**，都叫做时序逻辑电路，简称**时序电路**。

时序电路必然具有记忆功能（存储功能），因而组成时序电路的基本单元是触发器。



穆尔型 (Moore)



米里型 (Mealy)

- 时序电路的分类

1. 输出 $Z(t_n)$ 与现态 $Y(t_n)$ 及输入 $X(t_n)$ 的关系分:

$$Z(t_n) = \begin{cases} F[X(t_n), Y(t_n)] & \rightarrow \text{米里型 (Mealy)} \\ F[Y(t_n)] & \rightarrow \text{穆尔型 (Moore)} \end{cases}$$

2. 从控制时序状态的脉冲源来分:

时序电路 { Synchronous 同步:
 存储电路里所有触发器由一个统一的时钟脉冲源控制
 Asynchronous 异步:
 没有统一的时钟脉冲

时序电路的逻辑功能描述方法

时序电路的逻辑功能：

- **状态方程** Transition Equation
- **状态图** Transition Diagram
- **状态表** Transition table (Next-State Table)
- **时序图** Timing Diagram

四种方法来表示，这几种表示方法是等价的，并且可以相互转换。

时序电路的逻辑功能描述方法

1.状态方程 - 表明时序电路中触发器状态转换条件的代数表示方式

例如有两个触发器 F_1 、 F_2 ，其中 F_2 的状态方程为

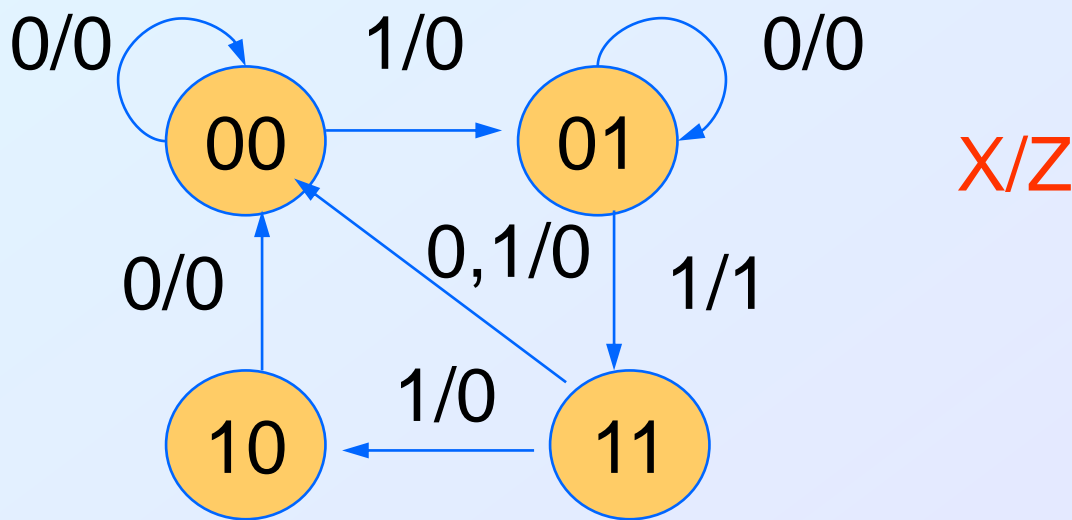
$$Q_2^{n+1} = XQ_1' + X'Q_2Q_1$$

则表明当 $X=1$ 、 $Q_1=0$ 或 $X=0$ 、 $Q_2Q_1=11$ 时， F_2 的次态 $Q_2^{n+1}=1$

因此，状态方程是说明使次态为1时外输入和内部状态的条件。它在形式上与触发器的特征方程相似，所不同的是**根据外部输入变量和电路中各触发器的现态值来确定次态条件。**

2.状态图-反映时序电路转移规律以及相应输入、输出情况的图形称为**状态图或状态转移图**。

状态图中每个圆圈表示一个状态，带箭头的弧线表示状态转移方向，转移线旁标注出转移的外输入条件和当前的外输出情况。



箭头旁标注的是外输入X和外输出Z

3.状态表 - 反映时序电路中外输出及各个触发器次态 Q^{n+1} 与外部输入信号、现态 Q_i 之间逻辑关系的表格，也称状态转移表。

$Q_2 Q_1 \backslash X$	$Q_2^{n+1} Q_1^{n+1} / z$	
	0	1
0 0	01/0	11/1
0 1	10/0	00/0
1 1	00/0	10/0
1 0	11/0	01/0

$Q_2Q_1Q_0$	$Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$		
0 0 0	0	0	1
0 0 1	0	1	0
0 1 0	0	1	1
0 1 1	1	0	0
1 0 0	1	0	1
1 0 1	1	1	0
1 1 0	1	1	1
1 1 1	0	0	0

(c)

cp	$Q_2Q_1Q_0$
1	0 0 0
2	0 0 1
3	0 1 0
4	0 1 1
5	1 0 0

(d) 态序表

图(c)是没有外输入X和外输出Z的状态表。

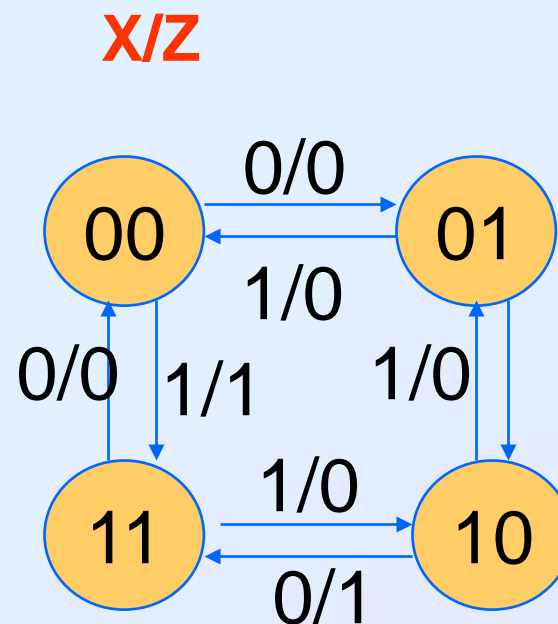
图(d)仅表示主循环的状态变化。

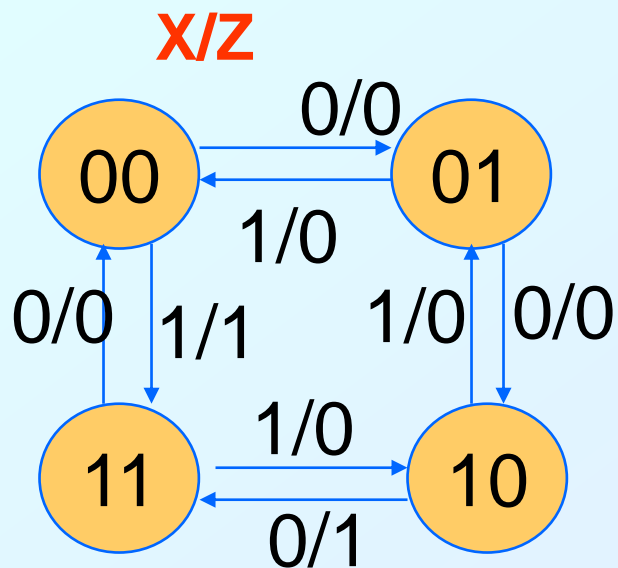
4.时序图-是反映时序电路的输出Z和内部状态Q随时钟和输入信号变化的工作波形。

(a) 状态表

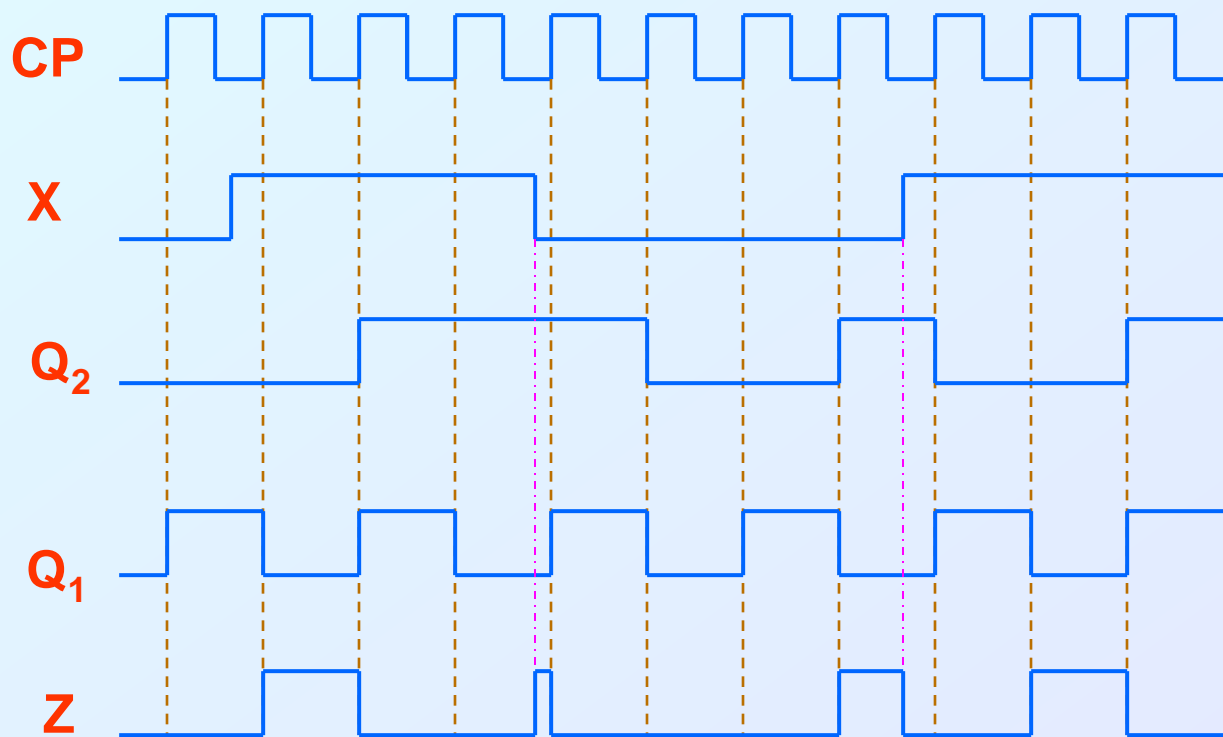
$Q_2 Q_1 \backslash X$		$Q_2^{n+1} Q_1^{n+1} / z$	
		0	1
0 0		01/0	11/1
0 1		10/0	00/0
1 0		11/1	01/0
1 1		00/0	10/0

(b) 状态图





状态图 (A)



时序图 (B)

- 1) 波形图中每个节拍的次态可根据状态表的现态和X确定，例如现态 $Q_2Q_1=00$ ， $X=0$ 时其次态 $Q_2^{n+1}Q_1^{n+1}=01$ ；
- 2) 外输出 $Z=XQ_2'Q_1'+X'Q_2Q_1'$ ，它是组合电路的输出，当 $XQ_2'Q_1'=100$ 或 010 时，Z立即为1。

6.2 同步时序电路分析

同步时序电路的分析方法

写各触发器的驱动方程

输入端的表达式，
如T、J、K、D。

写电路的输出方程

组合电路的输出

写描述输入与状态
转换关系的表格

特性方程

作状态转换表及状态转换图

画出时钟脉冲作用下的
输入、输出波形图

作时序波形图

得到电路的逻辑功能

同步时序电路分析

例：已知某同步时序电路的逻辑图，分析电路的逻辑功能。

解：1. 写出各触发器的驱动方程和电路的输出函数。

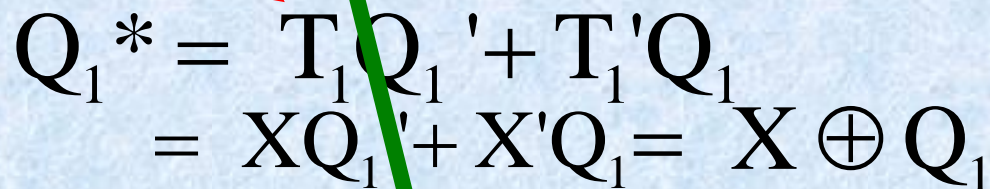
驱动方程： $T_1 = X$ $T_2 = XQ_1$

输出方程： $Z = XQ_2Q_1$

2. 写状态方程

T触发器的状态方程为：

$$\begin{aligned} Q^* &= TQ' + T'Q \\ &= T \oplus Q \end{aligned}$$


$$\begin{aligned} Q_1^* &= T_1Q_1' + T_1'Q_1 \\ &= XQ_1' + X'Q_1 = X \oplus Q_1 \end{aligned}$$

$$\begin{aligned} Q_2^* &= T_2Q_2' + T_2'Q_2 \\ &= XQ_1Q_2' + (XQ_1)'Q_2 \end{aligned}$$

将T
个触发器的状态方程

同步时序

描述输入
转换关系

输出：触发器的次
态及组合输出Z

输出：触发器的次
态及组合输出Z

$$T_1 = X$$

$$T_2 = XQ_1$$

$$Z = XQ_2Q_1$$

3.作出电路的状态

填表方法：

X, Q₂, Q₁
所有组合



求T₁, T₂, Z

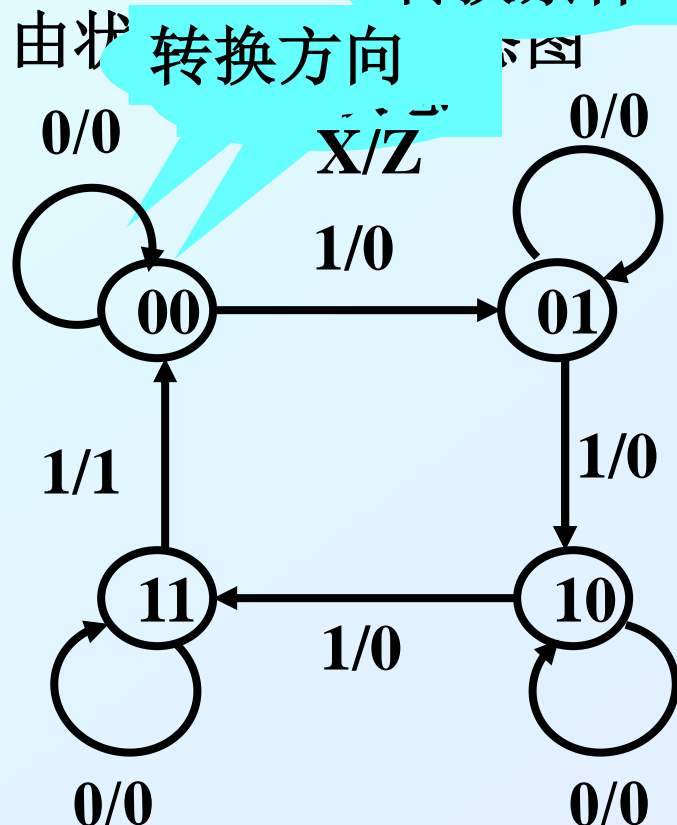


由状态方程
求Q₂*Q₁*

现				次 态		现输出
X	Q ₂	Q ₁		Q ₂ *	Q ₁ *	Z
0	0	0	T ₁ = X T ₂ = XQ ₁ Z = XQ ₂ Q ₁	0	0	0
0	0	1		0	1	0
0	1	0		1	0	0
0	1	1		1	1	0
1	0	0		0	1	0
1	0	1		1	0	0
1	1	0		0	1	0
1	1	1		0	0	1

同步时序电路分析

转换条件



现 入	现 态	现控制入	次 态	现输出
X	Q_2 Q_1	T_2 T_1	Q_2^* Q_1^*	Z
0	0 0	0 0	0 0	0
0	0 1	0 0	0 1	0
0	1 0	0 0	1 0	0
0	1 1	0 0	1 1	0
1	0 0	0 1	0 1	0
1	0 1	1 1	1 0	0
1	1 0	0 1	1 1	0
1	1 1	1 1	0 0	1

同步时序电路分析

由状态图得电路的逻辑功能：

电路是一个可控4进制计数器。

X端是控制端，时钟脉冲
作为计数脉冲输入。

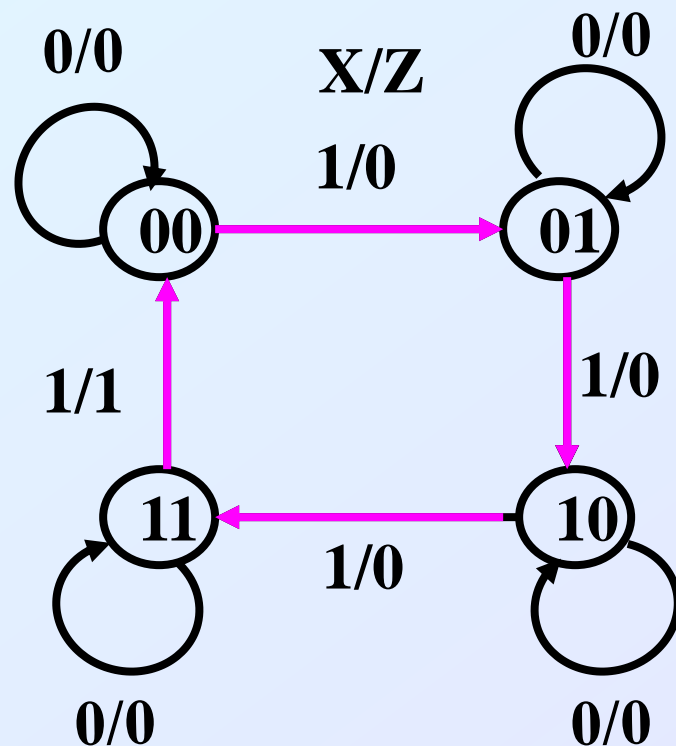
X=1 初态为00时，

实现4进制**加计数**；

X=0时 **保持原态**。

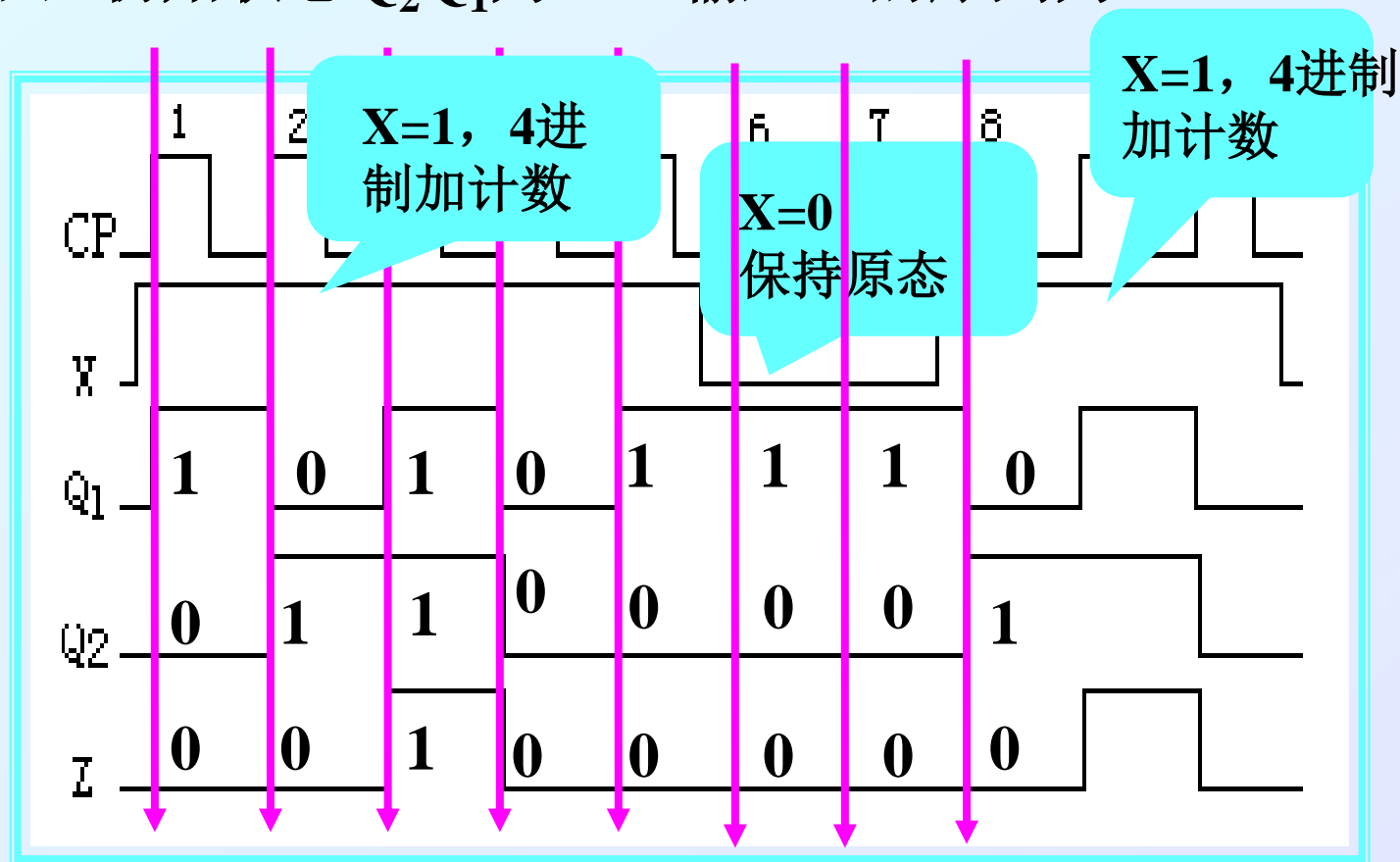
输出不仅取决于电路本身的状态，而且也与输入变量X有关。

∴ 电路为可控4进制计数器。



同步时序电路分析

4.作时序波形图 初始状态 Q_2Q_1 为00，输入X 的序列为1111100111。



同步时序电路分析

同步时序电路的分析方法

写各触发器的驱动方程
写电路的输出方程

写触发器的状态方程

作状态转换表及状态转换图

作时序波形图

得到电路的逻辑功能

简单的电路可直接
绘出状态转换图

无要求可不画

6.3 常用中规模集成时序电路

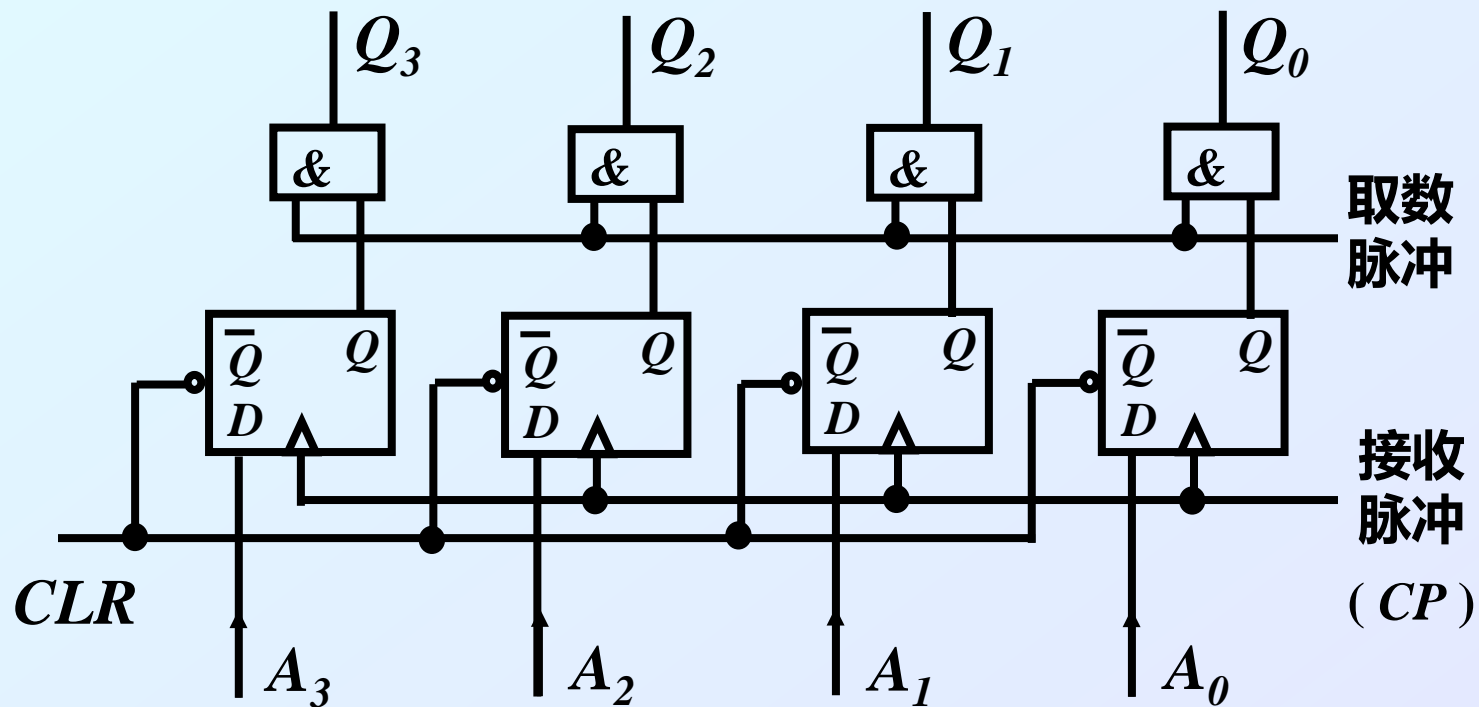
Integrated Sequential Logic Circuits

一、寄存器 Register

In digital systems, data are normally stored in groups of bits (usually eight or multiples thereof) that represent numbers, codes, or other information.

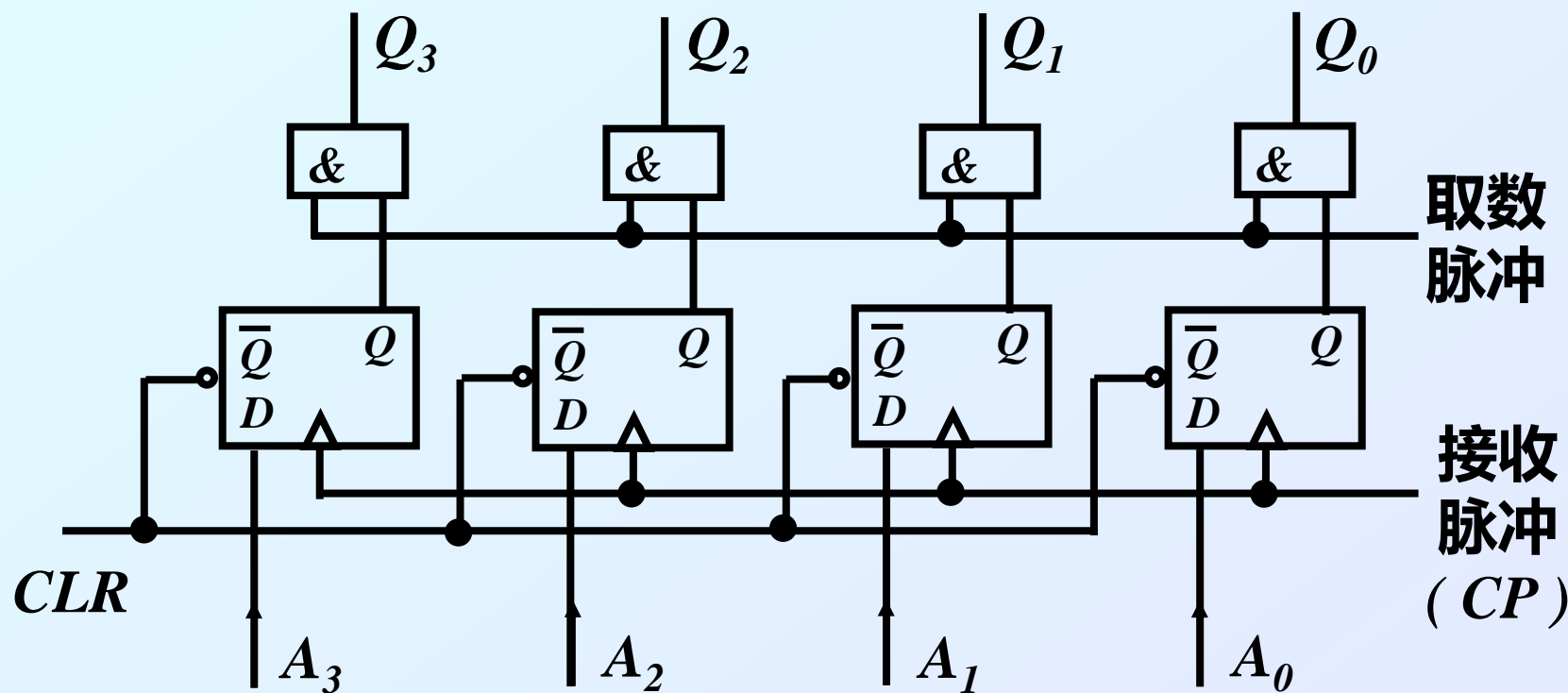
寄存器是用来暂时存放数据或指令的电路单元。

1. 数码寄存器 Parallel Data Storage



四位数码寄存器

1 Parallel Data Storage 数码寄存器



A_0--A_3 : 待存数据

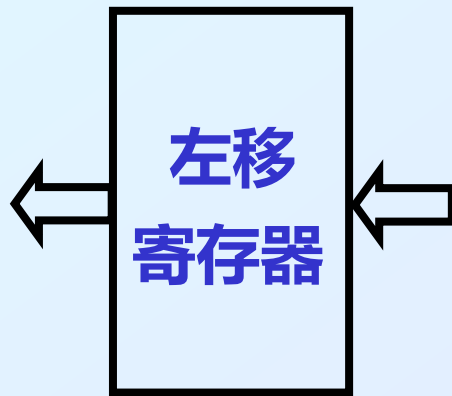
Q_0--Q_3 : 输出数据

工作过程: 接收脉冲到达后, 将待存数据送至各D触发器, 取数脉冲加入后将所存数据送出。

2. 移位寄存器 Shift Registers

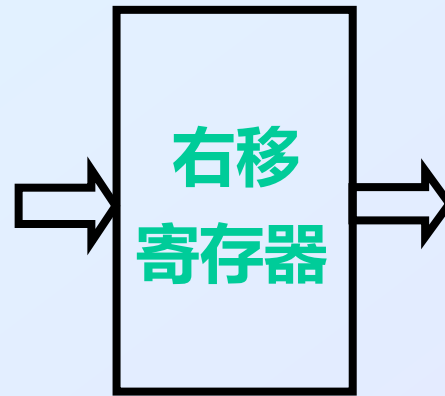
Shift registers consist of arrangements of flip-flops and are important in applications involving the storage and transfer of data in a digital system.

所谓“**移位**”，就是将寄存器所存各位数据，在每个移位脉冲的作用下，向左或向右移动一位。根据移位方向，常把它分成**左移寄存器**、**右移寄存器**和**双向移位寄存器**三种：



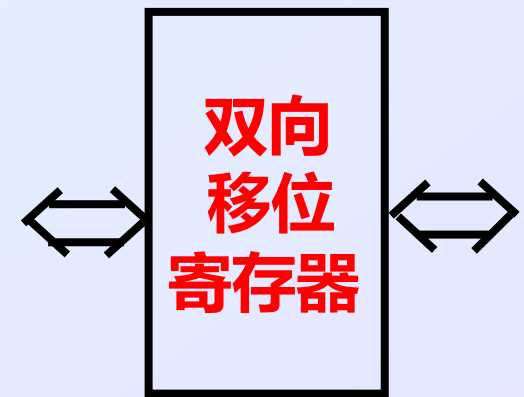
Serial in/shift left/serial out

(a)



Serial in/shift right/serial out

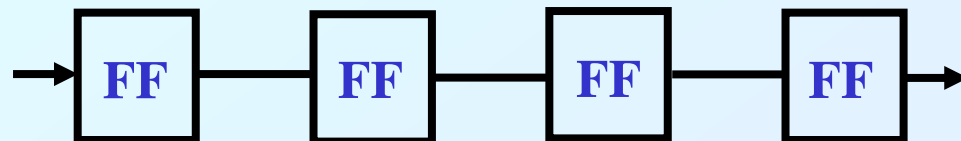
(b)



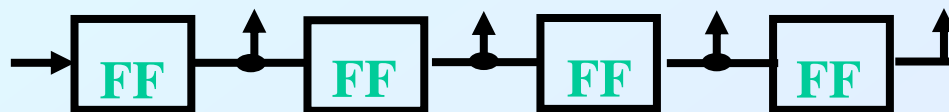
Bidirectional Shift Registers

(c)

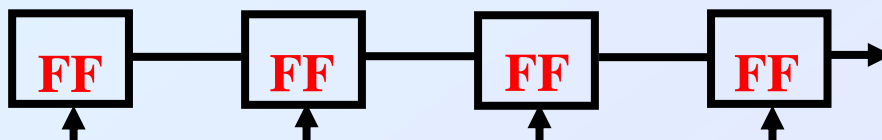
四种电路结构



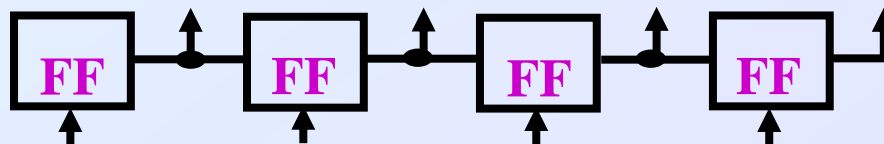
Serial in/serial out 串入 - 串出



Serial in/parallel Out 串入 - 并出



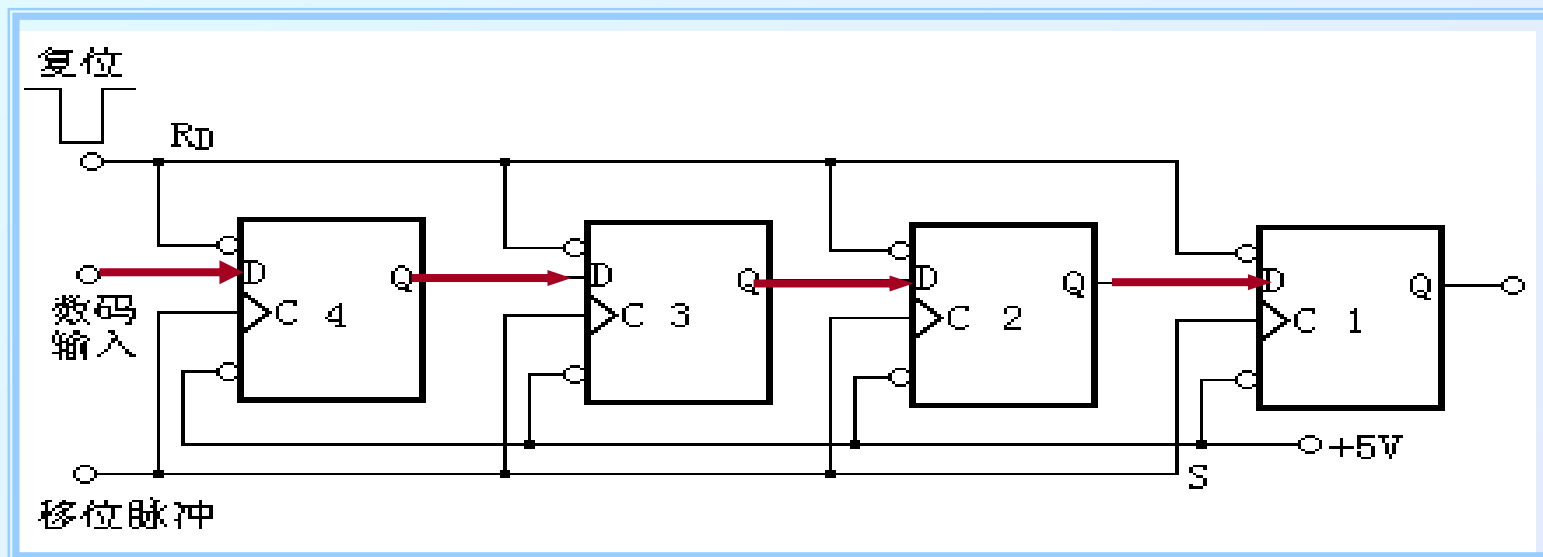
Parallel in/serial out, 并入 - 串出



Parallel in/parallel out 并入 - 并出

串入串出移位寄存器

假设4是低位寄存器，1是高位寄存器。



由D触发器的特性方程可知：

$$Q_4^* = D$$

$$Q_2^* = Q_3$$

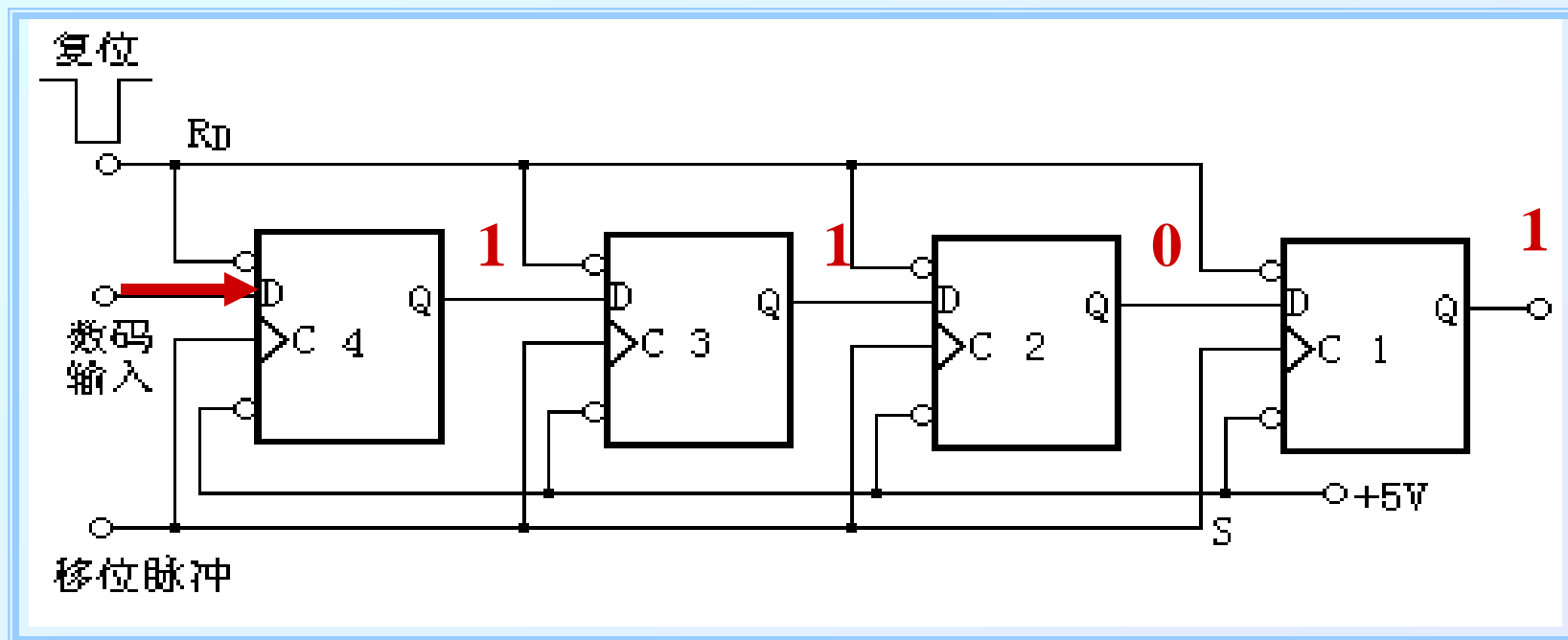
$$Q_3^* = Q_4$$

$$Q_1^* = Q_2$$

在CLK脉冲的作用下，低位触发器的状态送给高位，作为高位的次态输出。

左移寄存器

欲存入数码1011：采用串行输入 只有一个数据输入端 ?



解决的办法： 在 4个CLK脉冲的作用下，依次送入数码。

左移寄存器： 先送高位，后送低位。

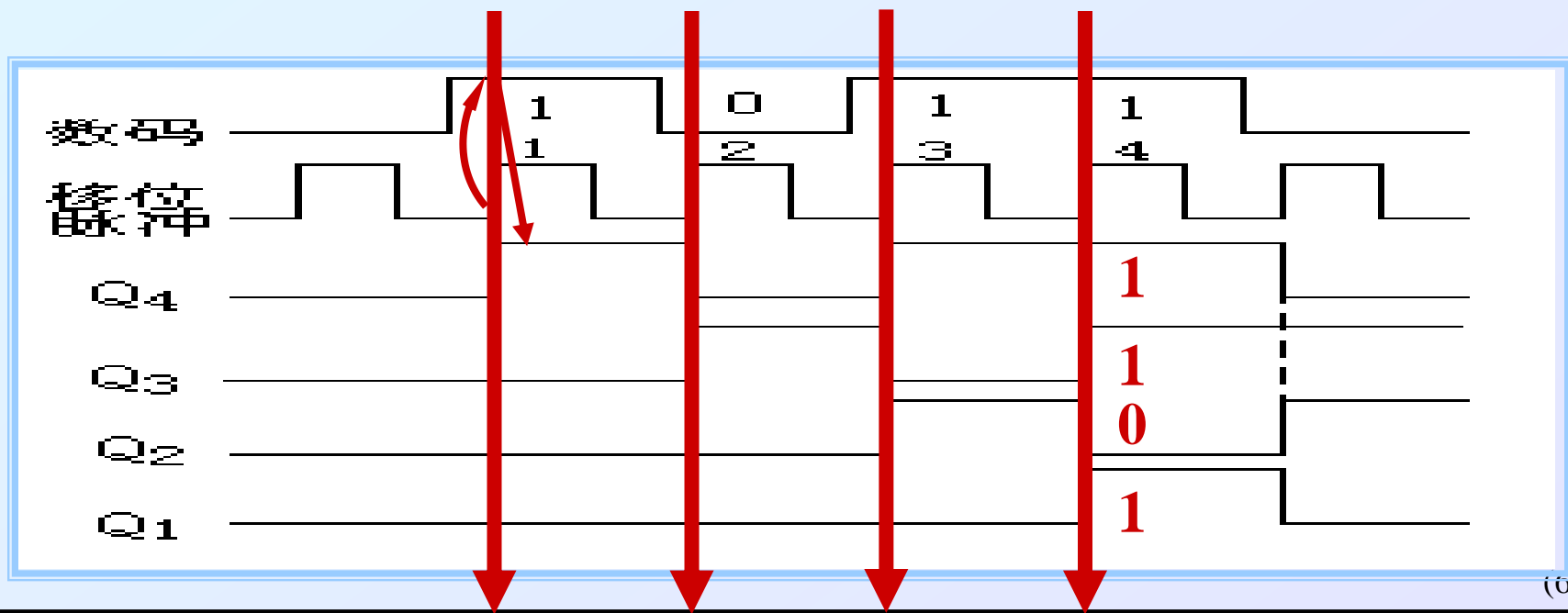
右移寄存器： 先送低位，后送高位。

由于该电路为一左移寄存器，数码输入顺序为：

1 → 0 → 1 → 1

欲存入数码**1011**，即 $D_1D_2D_3D_4=1011$

CP	Q_4	Q_3	Q_2	Q_1
1	1(D_1)	0	0	0
2	0(D_2)	1(D_1)	0	0
3	1(D_3)	0(D_2)	1(D_1)	0
4	1(D_4)	1(D_3)	0(D_2)	1(D_1)



3、4-bits Bidirectional Shift Registers

四位双向移位寄存器74194

74194功能表

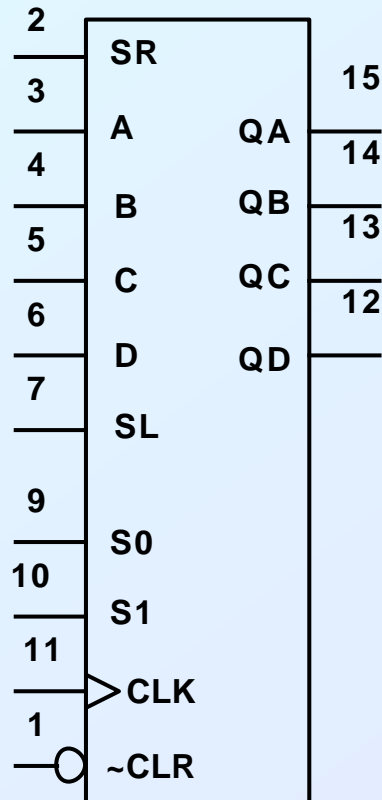
输 入								输 出			
CLR	CP	D _{IR}	D ₀	D ₃	S1	S0	D _{IL}	Q ₀	Q ₁	Q ₂	Q ₃
0	Φ	Φ	Φ	Φ	Φ	Φ	Φ	0	0	0	0
1	0	Φ	Φ	Φ	Φ	Φ	Φ		保	持	
1	↑	Φ	d ₀	d ₃	1	1	Φ	d ₀	d ₁	d ₂	d ₃
1	↑	1	Φ	Φ	0	1	Φ	1	Q _{0n}	Q _{1n}	Q _{2n}
1	↑	0	Φ	Φ	0	1	Φ	0	Q _{0n}	Q _{1n}	Q _{2n}
1	↑	Φ	Φ	Φ	1	0	1	Q _{1n}	Q _{2n}	Q _{3n}	1
1	↑	Φ	Φ	Φ	1	0	0	Q _{1n}	Q _{2n}	Q _{3n}	0
1	Φ	Φ	Φ	Φ	0	0	Φ		保	持	

注： 0--最高位 3--最低位

3、4-bits Bidirectional Shift Registers

四位双向移位寄存器74194

1. 逻辑符号



2. 功能

- (1) 当 **CLR=0** 时，异步清零。
- (2) 当 **S1=S0= 1** 时，并行送数。
- (3) 当 **S1=S0= 0** 时，保持。
- (4) 当 **S1=0, S0=1** 时，**右移**
且数据从**D_{IR}** 端串行输入。
- (5) 当 **S1=1, S0=0** 时，**左移**
且数据从**D_{IL}** 端串行输入。

Universal Asynchronous Receiver Transmitter (UART)

As mentioned, computers and microprocessor-based systems often send and receive data in a parallel format. Frequently, these systems must communicate with external devices that send and/or receive serial data. An interfacing device used to accomplish these conversions is the UART (Universal Asynchronous Receiver Transmitter).

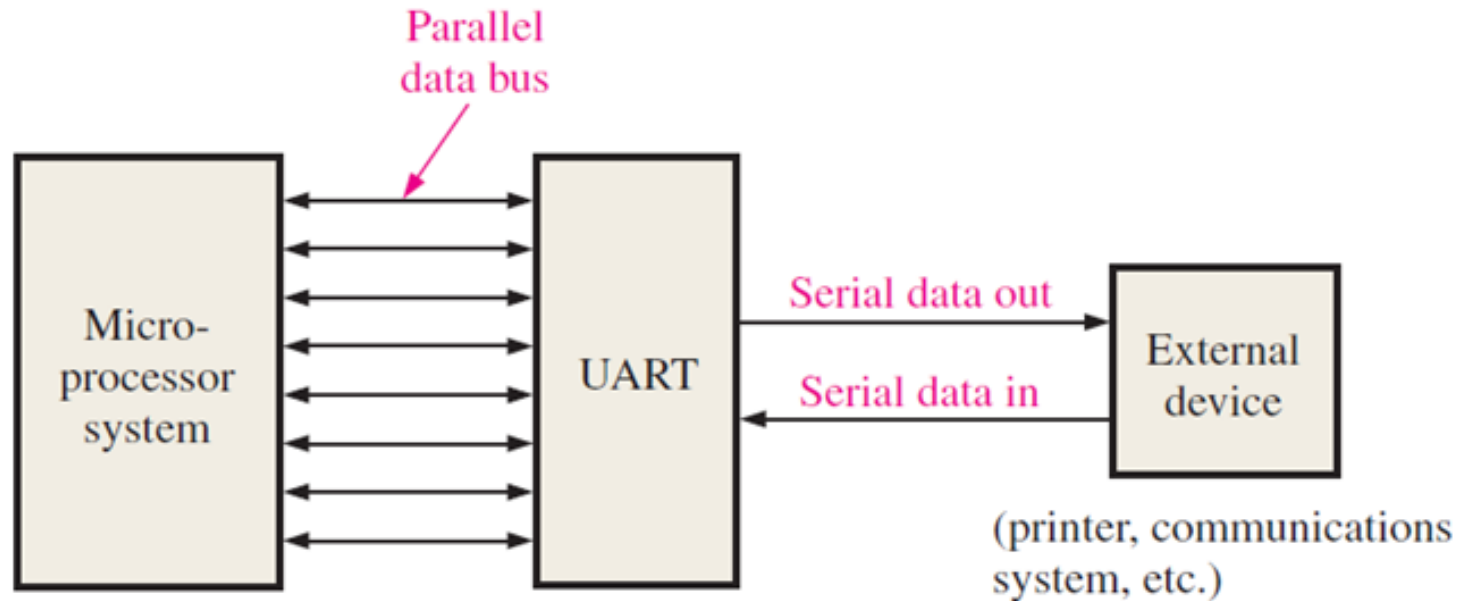


Figure UART in a general microprocessor-based system application

The UART receives data in serial format, converts the data to parallel format, and places them on the data bus. The UART also accepts parallel data from the data bus, converts the data to serial format, and transmits them to an external device.

二、Counters 计数器

- **计数器**在数字系统中应用十分广泛，是一种具有记忆功能的电路，用以累计输入脉冲的个数、实现计数操作功能，通常用触发器构成各种形式的计数器。

The **modulus** (模) of a counter is the number of unique states through which the counter will sequence. The maximum possible number of states (maximum modulus) of a counter is 2^n , where n is the number of flip-flops in the counter.

(一) 计数器的分类

1. 按进位方式分

(1) 同步计数器 Synchronous Counters:

有一个公共时钟脉冲，各个触发器的状态转换是在该公共输入计数脉冲作用下同时发生的，即各个触发器状态的翻转与输入脉冲同步。

(2) 异步计数器 Asynchronous Counters:

没有公共时钟脉冲，输入计数脉冲只作用于某些触发器的 CLK 端，而其它触发器的翻转是靠低位的进位信号。因此，组成计数器的各个触发器的状态变化不是同时发生的。

2. 按进位制分

- (1) **二进制计数器**：按二进制数运算规律进行计数的电路称作二进制计数器。
- (2) **十进制计数器**：按十进制数运算规律进行计数的电路称作十进制计数器。
- (3) **任意进制计数器**：二进制计数器和十进制计数器之外的其它进制计数器统称为任意进制计数器。如三进制计数器、六进制计数器等。

3. 按逻辑功能分

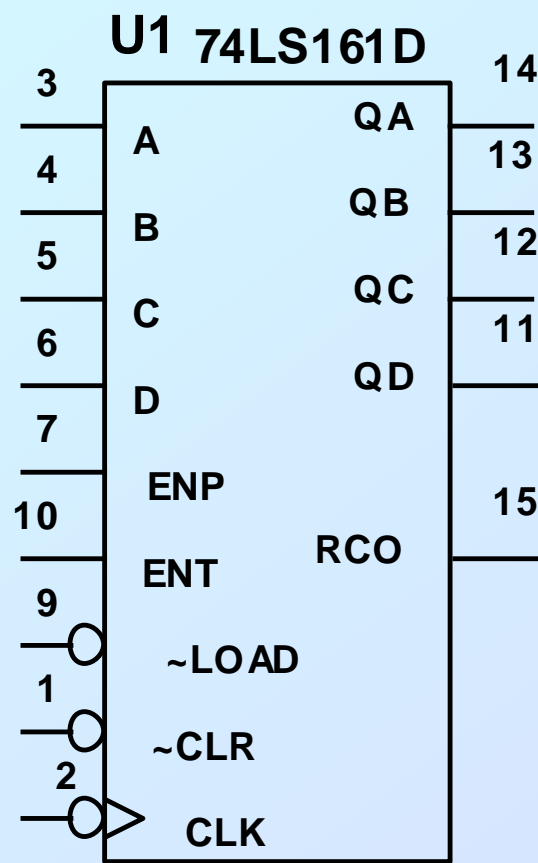
- (1) **递增计数器 Up Counters** : 随着计数脉冲的输入, 计数器的数是递增的, 则为递增计数器。
- (2) **递减计数器 Down Counters**: 随着计数脉冲的输入, 计数器的数是递减的, 则为递减计数器。
- (3) **可逆计数器 Up/Down Counters**: 随着计数脉冲的输入, 计数器的数是可增可减的则为可逆计数器。

(二) Counters 常用计数器

1. 四位二进制同步计数器74161
2. 十进制同步计数器74160
3. 74161/ 74160功能扩展

1. 四位二进制同步计数器74LS161

(1) 逻辑符号



四个主从J-K触发器构成

D → A:高位→低位（预置数）

CLK: 时钟输入

CLR: 异步清零，低电平有效。

LOAD: 同步预置，低电平有效。

$Q_D \rightarrow Q_A$:高位→低位

ENP、ENT: 使能端，多片级联。

RCO: 进位。

74LS161功能表

输

入

输 出

CP	CLR	LOAD	ENP (EP)	ENT (ET)	A B C D	Q _A Q _B Q _C Q _D
Φ	0	Φ	Φ	Φ	ΦΦΦΦ	0 0 0 0
↑	1	0	Φ	Φ	A B C D	A B C D
Φ	1	1	0	Φ	ΦΦΦΦ	保持 (RCO不变)
Φ	1	1	Φ	0	ΦΦΦΦ	保持 (RCO=0)
↑	1	1	1	1	ΦΦΦΦ	十六进制计数

1. 四位二进制同步计数器74LS161

(2) 功能

- 1) 异步清除：当 $\text{CLR}=0$ ，输出“0000”状态，与CP无关。
- 2) 同步预置：当 $\text{CLR}=1$ ， $\text{LOAD}=0$ ，在CP上升沿时，输出端反映输入数据的状态。
- 3) 保持：当 $\text{CLR}=\text{LOAD}=1$ 时，各触发器均处于保持状态。
- 4) 计数：当 $\text{LOAD}=\text{CLR}=\text{EP}=\text{ET}=1$ 时，按二进制自然码计数。若初态为0000, 15个CP后，输出为“1111”，进位 $\text{RCO} = \text{ET}Q_AQ_BQ_CQ_D = 1$ 。第16个CP作用后，输出恢复到0000状态， $\text{RCO} = 0$ 。

2. 十进制同步计数器74160

74160功能表

输 入					输 出			
CP	CLR	LOAD	EP(S ₁)	ET(S ₂)	A B C D	Q _A	Q _B	Q _C Q _D
Φ	0	Φ	Φ	Φ	$\Phi\Phi\Phi\Phi$	0	0	0 0
\uparrow	1	0	Φ	Φ	A B C D	A	B	C D
Φ	1	1	0	Φ	$\Phi\Phi\Phi\Phi$	保 持		
Φ	1	1	Φ	0	$\Phi\Phi\Phi\Phi$	保 持		
\uparrow	1	1	1	1	$\Phi\Phi\Phi\Phi$	十进制计数		

2. 十进制同步计数器74160

特点:

- (1) 外引线排列和CT74161相同。
- (2) 置数, 计数, 保持, 清零功能与74161相同。
- (3) 计数进制与74161不同。

计数: 当 $\text{LOAD}=\text{CLR}=\text{EP}=\text{ET}=1$ 时, 按十进制计数。若初态为0000, 9个CP后, 输出为“1001”, 进位 $\text{RCO}=\text{ET}Q_AQ_D=1$ 。第10个CP作用后, 输出恢复到0000状态, $\text{RCO}=0$ 。



比较同步计数器

74161

异步清零

同步预置

保持

十六进制计数

74160

异步清零

同步预置

保持

十进制计数

3. 74161/ 74160功能扩展

连接成任意进制M 的计数器

(1) 同步预置法

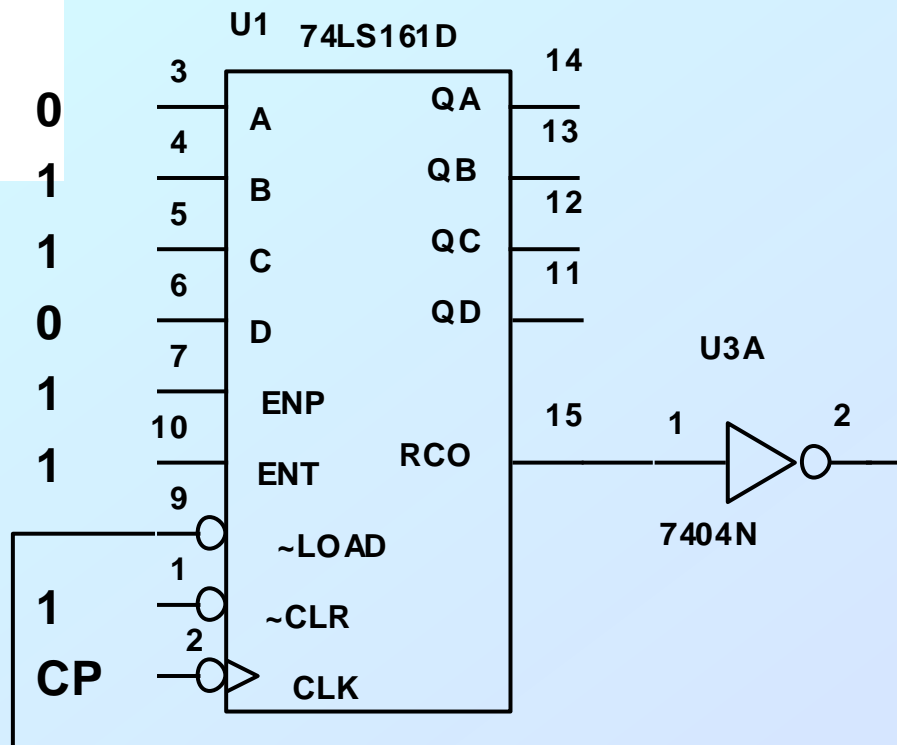
(2) 反馈清零法

(1) 同步预置法

方法一：

采用后十种状态

例1：设计一个M=10的计数器。



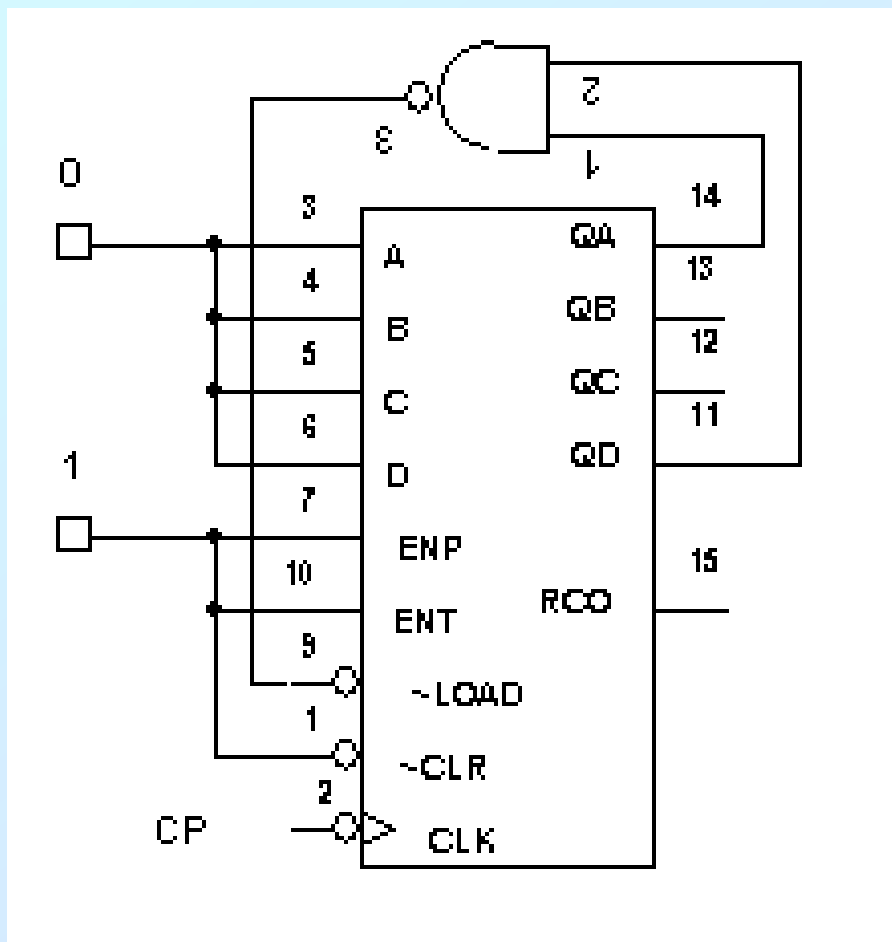
RCO=1

态序表

计数	输出			
N	Q _D	Q _C	Q _B	Q _A
0	0	1	1	0
1	0	1	1	1
2	1	0	0	0
3	1	0	0	1
4	1	0	1	0
5	1	0	1	1
6	1	1	0	0
7	1	1	0	1
8	1	1	1	0
9	1	1	1	1

(1) 同步预置法

例2: 设计一个M=10的计数器。



方法二: 采用前十种状态

态序表

计数	输出			
N	Q _D	Q _C	Q _B	Q _A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

3. 74161/ 74160功能扩展

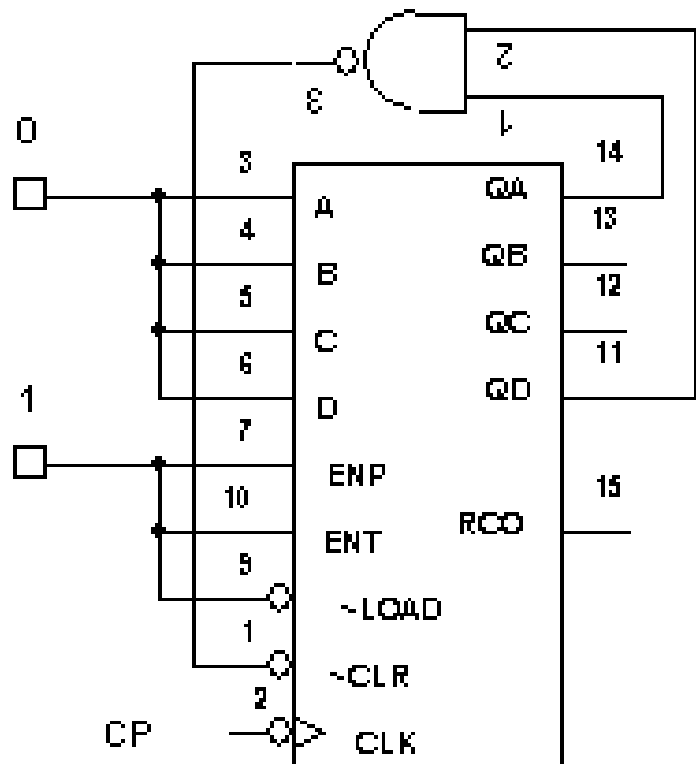
连接成任意模M 的计数器

(1) 同步预置法

(2) 反馈清零法

(2) 反馈清零法

例1：模为9的计数器。



采用74161

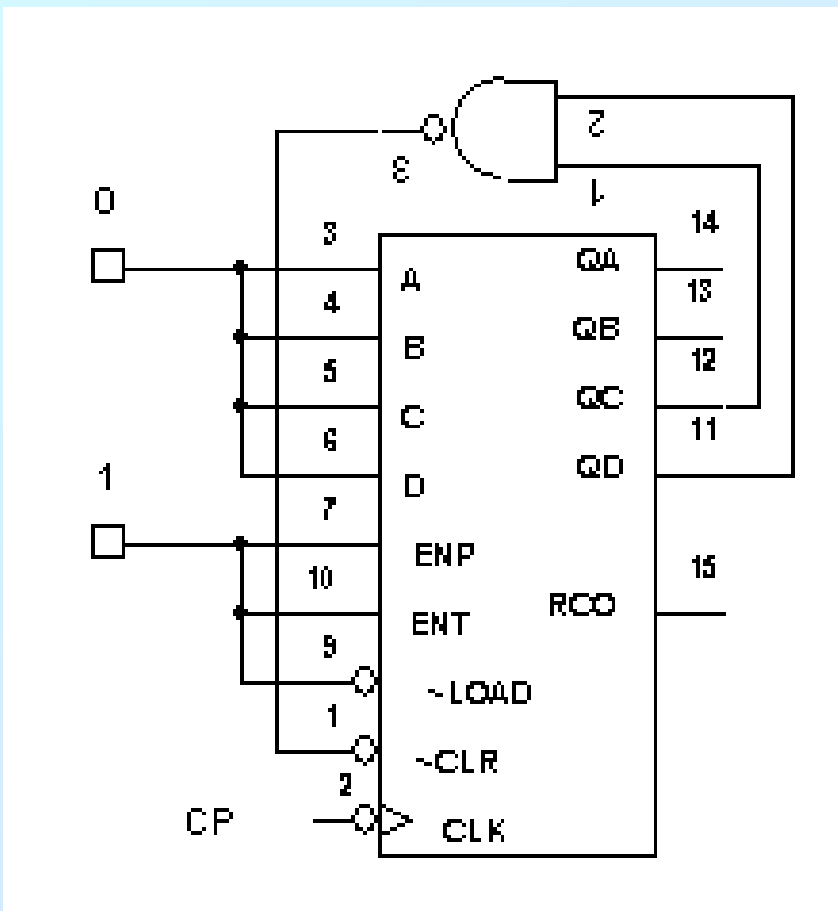
态序表

N	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1



(2) 反馈清零法

例3：设计一M=12 计数器。



采用74161

态序表

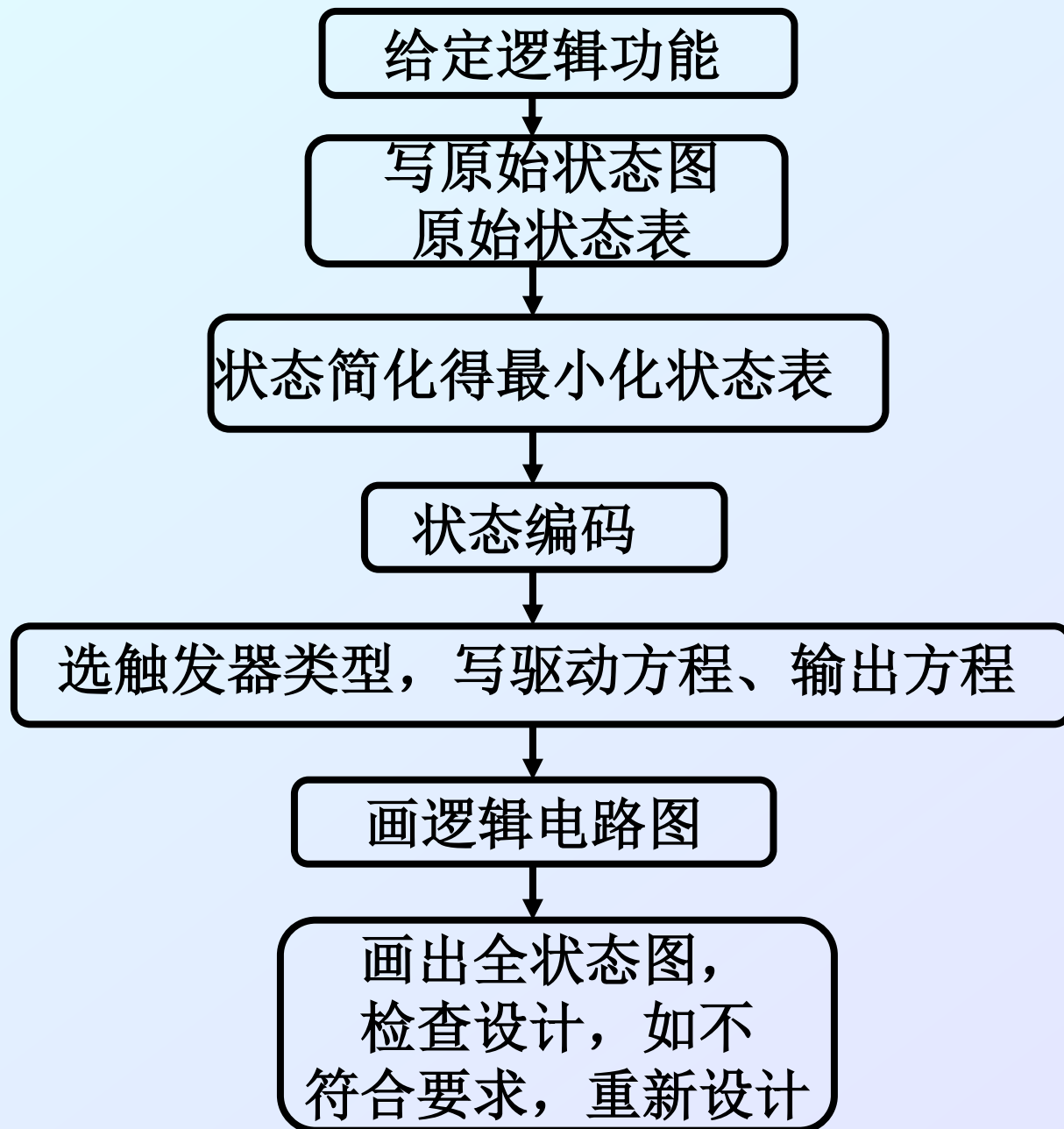
N	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0

6.4 同步时序电路的设计

- 设计方法
- 状态转换表的简化
- 同步时序电路设计举例

同步时序电路设计

设计方法



同步时序电路设计举例

例1：设计一个模可变的同步递增计数器。当控制信号
 $X=0$ 时为三进制计数器； $X=1$ 时为四进制计数器。

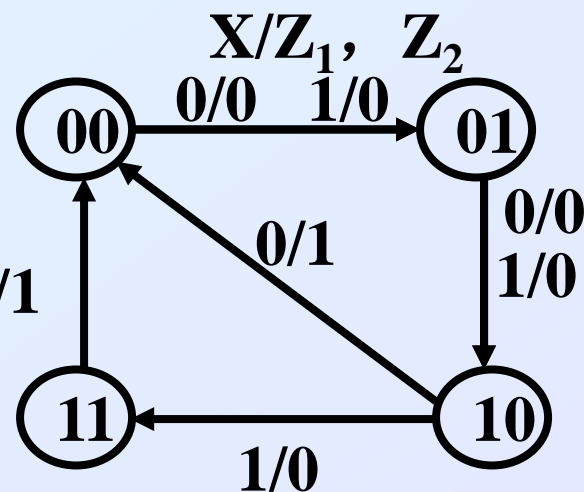
解：（1）作原始状态图

设 输入控制端：X

输出端：

Z_1 （三进制计数器的进位输出端） 1/1

Z_2 （四进制计数器的进位输出端）



同步时序电路设计举例

(2) 确定触发器类型，求控制函数和输出函数。

触发器类型： D 个数： 2

根据 D 触发器的激励表与原始状态图，作状态表。

举例

全状态转换表

现入	现态		次态		现控制入		现输出	
X	Q ₁	Q ₀	Q ₁ [*]	Q ₀ [*]	D ₁	D ₀	Z ₁	Z ₂
0	0	0	0	1	0	1	0	0
0	0	1	1	0	1	0	0	0
0	1	0	0	0	0	0	1	0
1	0	0	0	1	0	1	0	0
1	0	1	1	0	1	0	0	0
1	1	0	1	1	1	1	0	0
1	1	1	0	0	0	0	0	1
0	1	1	0	0	0	0	0	0

从卡诺图看出，约束项均未使用，按“0”处理填入表中，得全状态表。

输出：Z₁ = Q₁Q₀'X' Z₂ = Q₁Q₀X

Q ₁ X	Q ₀	00	01	11	10
		0	1	∅	0
1	0	0	1	0	1

D₁

$$D_1 = Q_1'Q_0 + Q_1Q_0'X$$

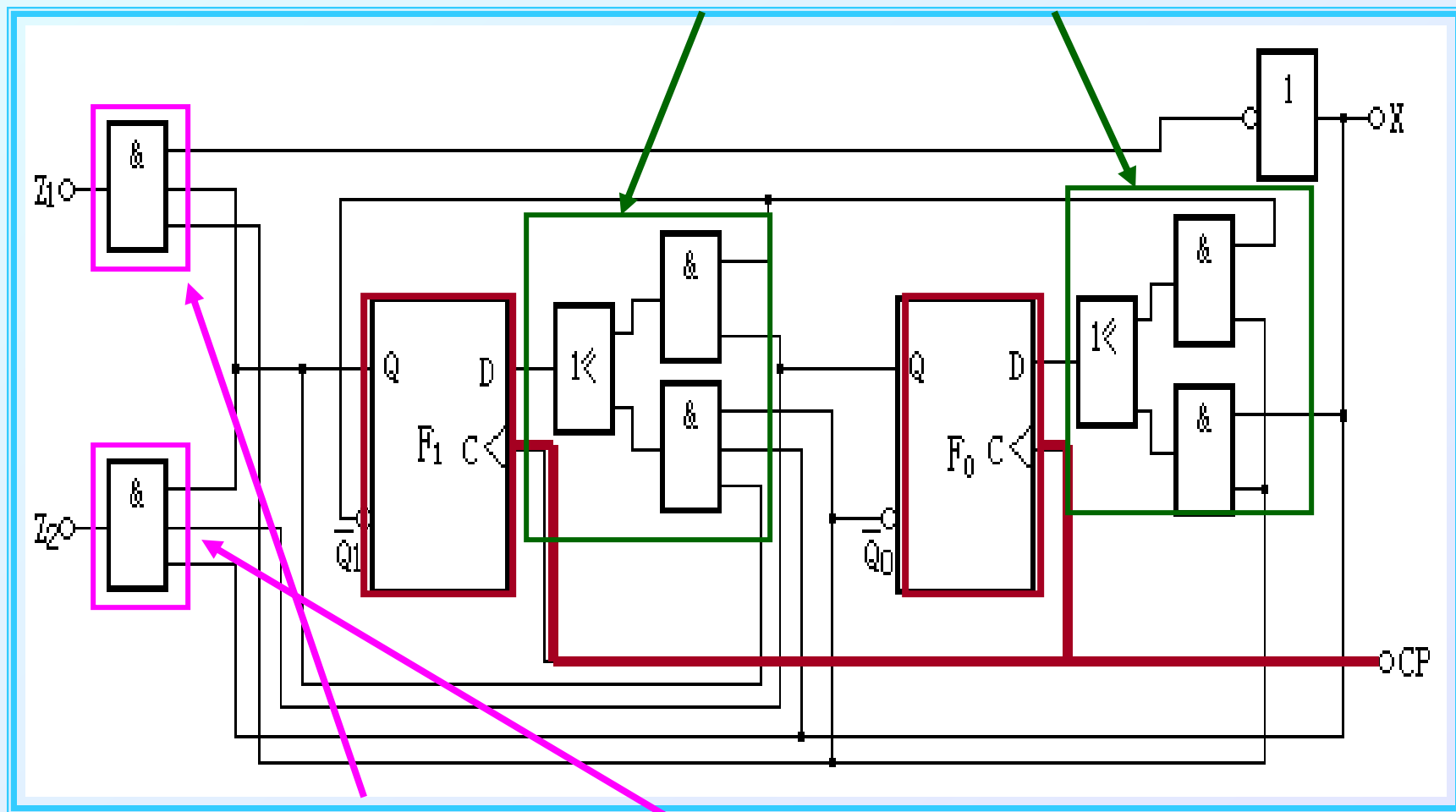
Q ₁ X	Q ₀	00	01	11	10
		1	0	∅	0
1	0	1	0	0	1

D₀

$$D_0 = Q_1'Q_0' + Q_0'X$$

举例

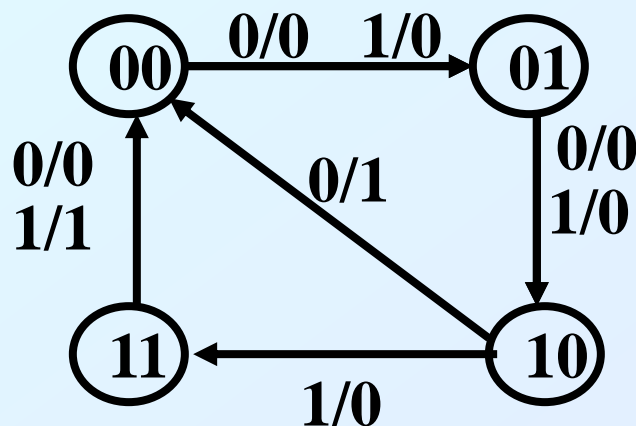
(3) 画出逻辑图 $D_1 = Q_1'Q_0 + Q_1Q_0'X$ $D_0 = Q_1'Q_0' + Q_0'X$



$$Z_1 = Q_1Q_0'X' \quad Z_2 = Q_1Q_0X$$

举例

4. 画出全状态图



电路是一个自启动电路，完成设计要求。

自启动:当电路进入任何无效状态后, 都能在时钟信号作用下自动返回有效循环中。

同步时序逻辑电路的设计举例

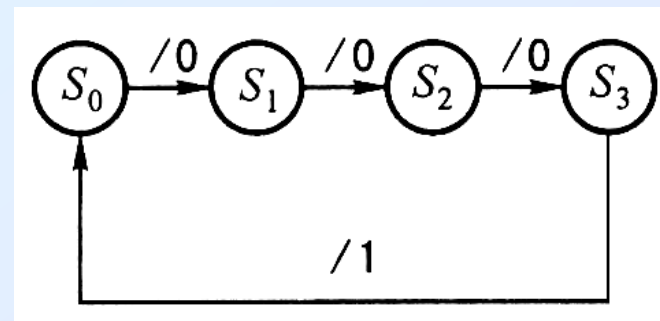
• 例2 试设计一个四进制加法计数器。

解：

- 1. 根据设计要求，确定输入、输出及电路的状态，进而拟定原始状态表和原始状态图。
- 根据题意可知电路应有四个不同的状态，分别用 S_0 、 S_1 、 S_2 、 S_3 来表示该四种不同的状态。在状态为 S_3 时输出 $Z=1$ 。当输入第四个计数脉冲时，计数器返回初始状态 S_0 ，同时输出 Z 向高位计数器送出一个进位脉冲。其原始状态表、状态图如下所示。

原始状态表

现态	次态	输出(Z)
S_0	S_1	0
S_1	S_2	0
S_2	S_3	0
S_3	S_0	1



原始状态图

- 2. 化简原始状态表，消去多余的状态，求得最小化状态表。
- 从原始状态表可以看出无多余状态，已不能再作状态化简。
- 3. 对简化后的状态表进行状态编码即进行状态赋值，把状态表中用文字标注的每个状态用二进制代码表示。这一步得到一个二进制状态表。
- 由 $N \leq 2^n$ 可知，在 $N=4$ 时， $n=2$ ，即采用两位二进制代码。设 $S_0=00$ 、 $S_1=01$ 、 $S_2=10$ 、 $S_3=11$ 。则可得状态编码表。

状态编码表

现态		次态		输出
Q_1^n	Q_0^n	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	1	0
0	1	1	0	0
1	0	1	1	0
1	1	0	0	1

- 4. 选定触发器的类型，并求出激励函数和输出函数表达式。
- 根据状态编码表可得：

$$Q_1^{n+1} = Q_1^n Q_0^n + Q_1^n Q_0^{n'}$$

$$Q_0^{n+1} = Q_1^n Q_0^{n'} + Q_1^n Q_0^n = Q_0^{n'}$$

$$Z = Q_1^n Q_0^n$$

我们选用J-K触发器。因为J-K触发器的特性方程为

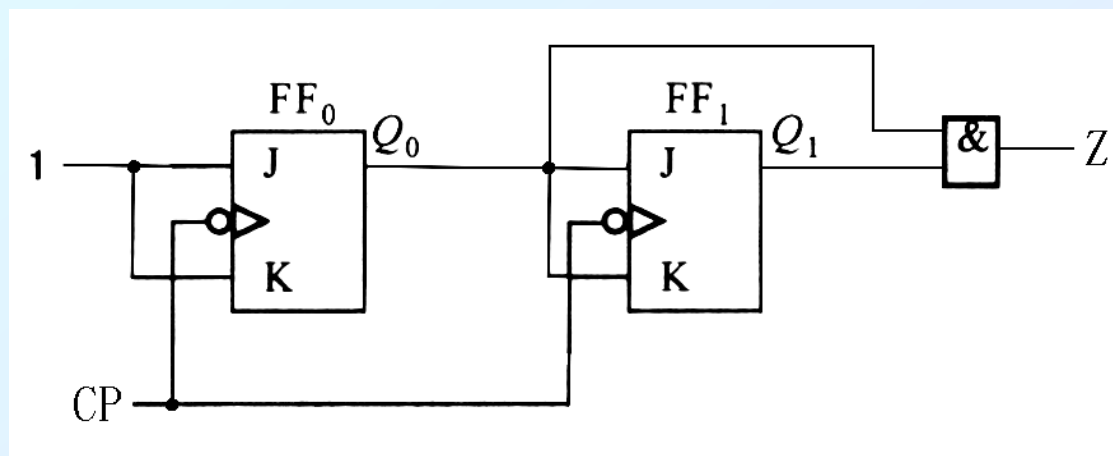
则可得：

$$Q^{n+1} = JQ^{n'} + K'Q^n$$

$$J_1 = K_1 = Q_0^n$$

$$J_0 = K_0 = 1$$

- 5. 根据激励函数和输出函数表达式画逻辑图。



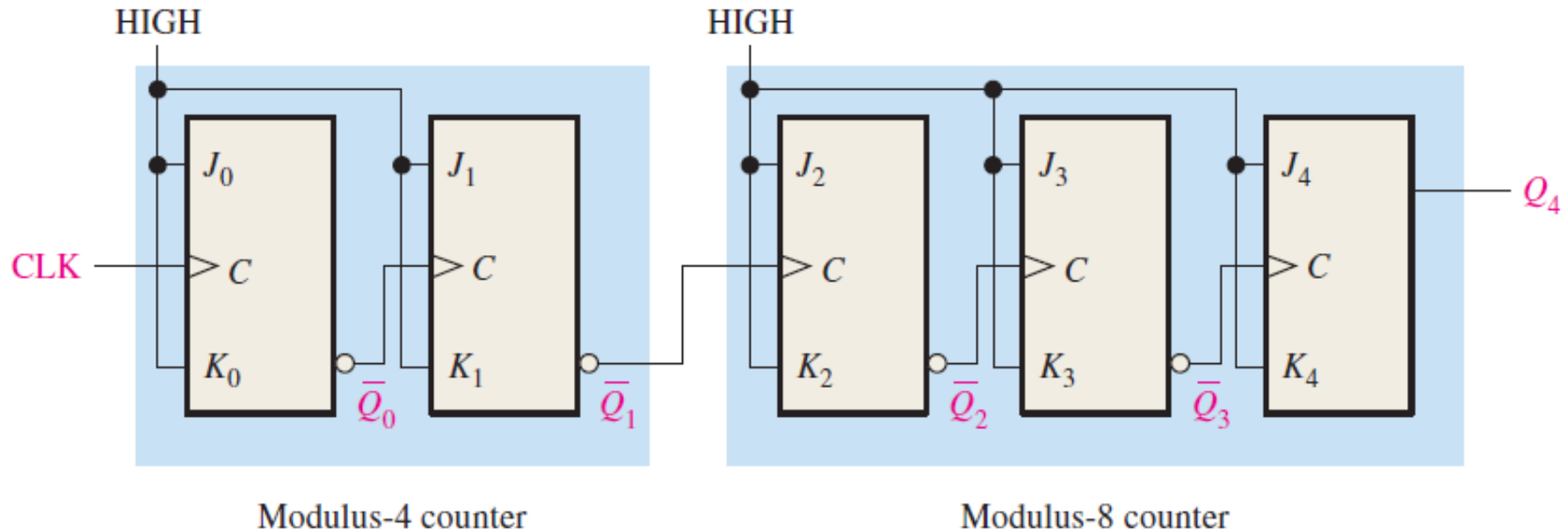
逻辑图

6. 检查电路有无自启动能力。

该电路没有无效状态，因此不存在自启动问题。

Cascaded Counters 级联计数器

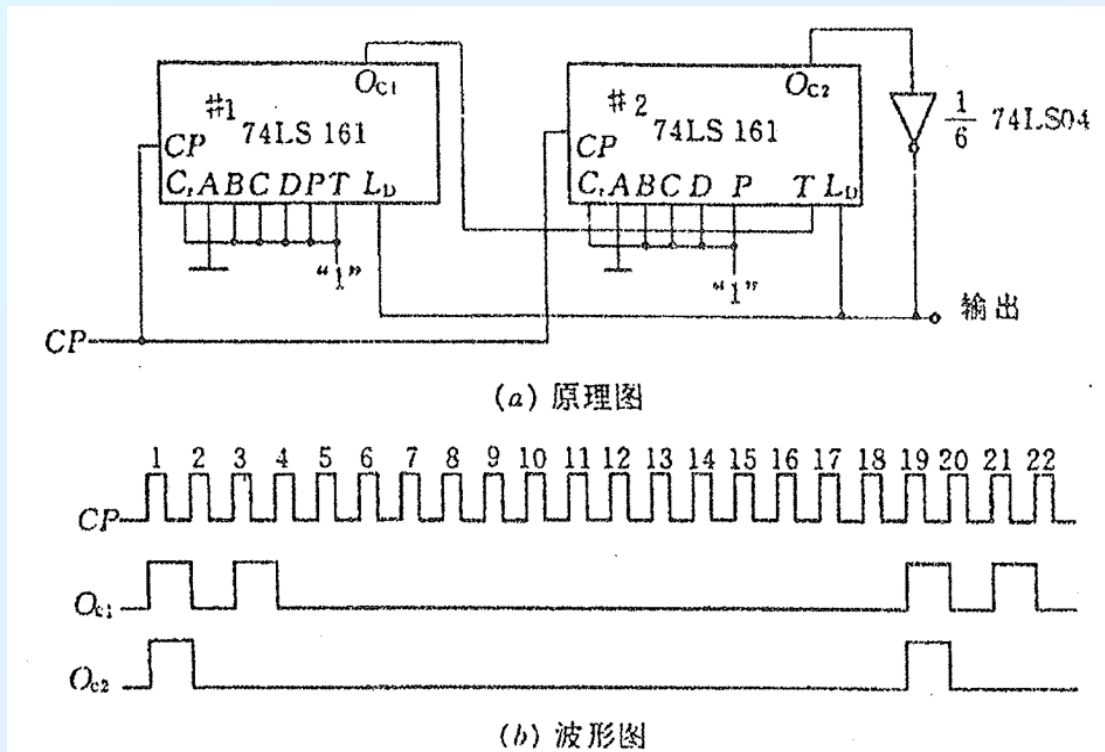
- Asynchronous Cascading
- Synchronous Cascading



The overall modulus of the two cascaded counters is $4 * 8 = 32$

Cascaded Counters

- Synchronous Cascading
- Asynchronous Cascading



18进制分频器

小 结

- 时序电路由记忆电路和组合电路两部分组成，具有存储作用。
- 同步时序电路 { 同步时序电路的分析
同步时序电路的设计

计数器可分为同步、异步两种；同步计数器的工作频率高，异步计数器电路简单。

移位寄存器分为左移、右移及双向。

本章重点

- (1) 熟练掌握中规模时序模块的功能表；
- (2) 熟练掌握中规模模块电路的功能扩展；
- (3) 具备应用时序模块及组合电路构成给定逻辑功能电路的能力。