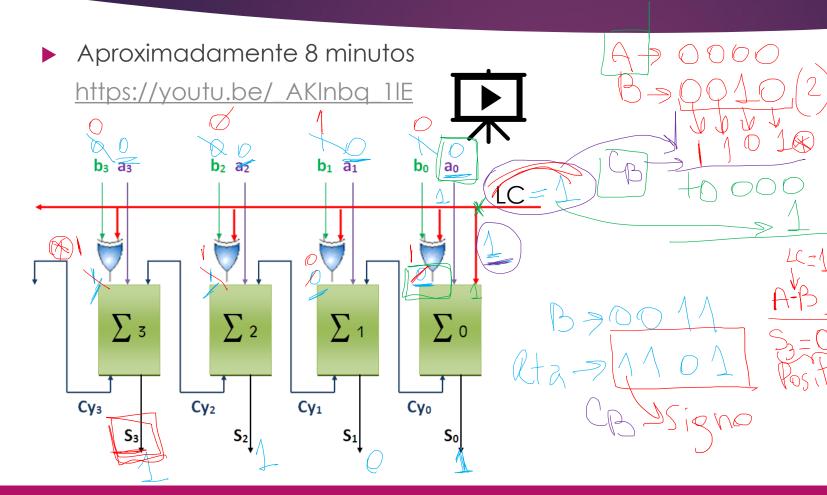
CIRCUITO OPERACIONAL DE LA ALU

Empezamos con un video

2



¿Qué pasa si pongo en LC un cero? Rta: Suma

¿Qué pasa si pongo en LC un uno? Rta: Resta

¿Qué pasa si LC =1 y A =0?

Rta: Complemento de B

¿Qué tipo de Complemento?

Rta: Complemento a la base

¿Dónde veo el signo del resultado? Rta: S_3

¿Qué podría significar si S3=0 y LC=1? Rta: A>B

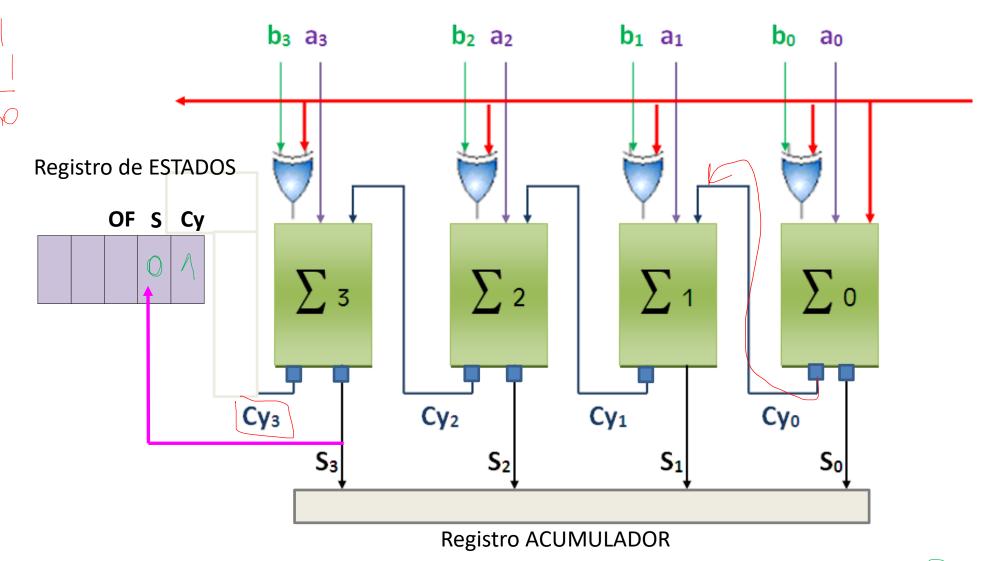
¿Qué podría significar si \$3=1 y LC=1? Rta: 🚣 B

Este circuito

- Suma
- Resta
- Complementa
 - Compara

Nos falta saber si los números eran iguales ó si hubo overflow...

CIRCUITO OPERACIONAL – REGISTRO DE ESTADOS



¿Cómo calculo si hubo carry?

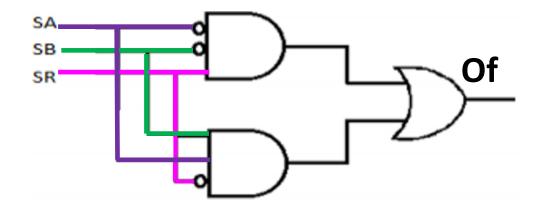
¿Cómo calculo el signo?

¿Cómo calculo el flag de overflow?

Overflow

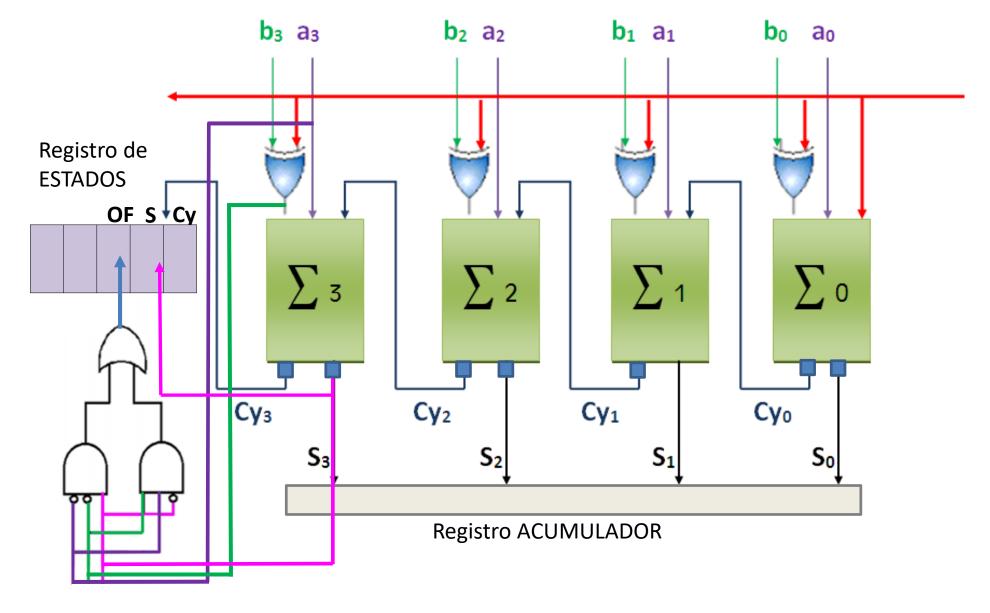
	Signo A	Signo B	Signo Resultad	0
0 -	S _A	S _B	S _R	Of
A+ $B+$	0	0	0 /	/
A+ S B+	0	0	1	
	0	1	0	
	0	1	1	
	1	0	0	
	1	0	1	
A- S B- T	1	1	0	
A={	1	1	1	

$$\bar{s}_A \bar{s}_B s_R + s_A s_B \bar{s}_R$$



¿Cuándo daría overflow?

¿En que casos de la tabla de verdad?



¿Cómo calculo el flag de cero?

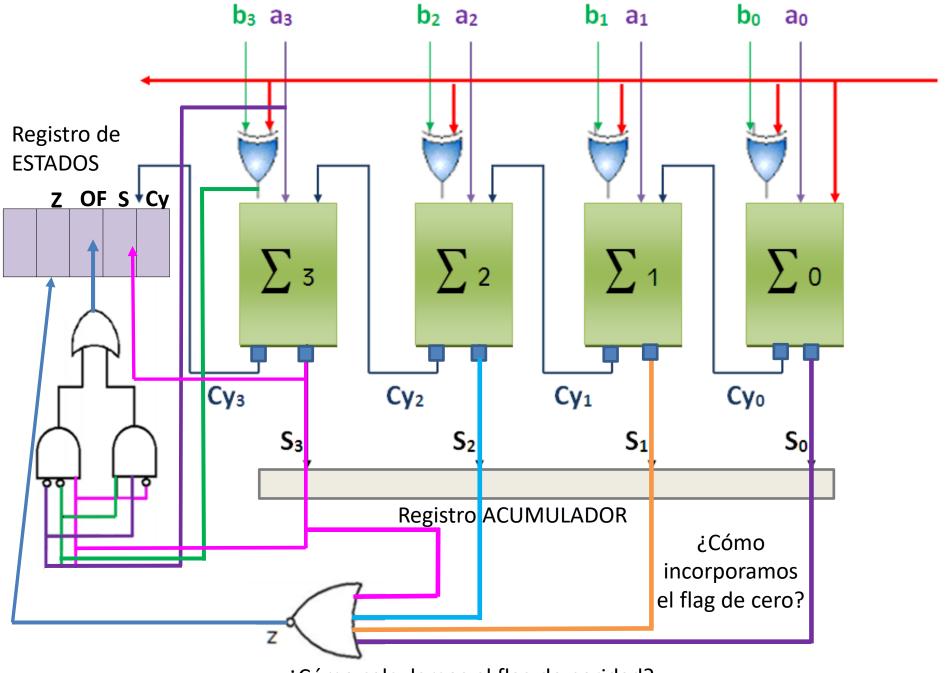
Flag o Bandera Zero

В0	B1	B2	Z
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

$$\overline{b}_0 \overline{b}_1 \overline{b}_2 = \overline{b}_0 + b_1 + b_2$$

$$\begin{array}{c} b_0 \\ b_1 \\ b_2 \end{array}$$

¿Cuándo daría cero? ¿En que casos de la tabla de verdad?

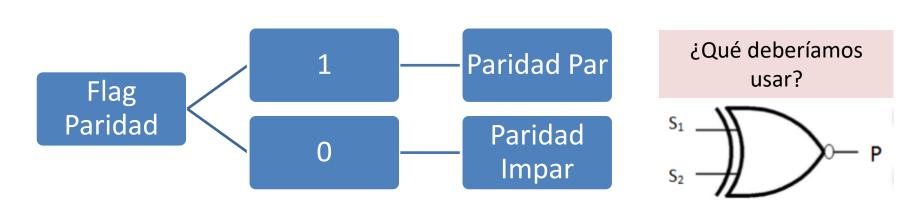


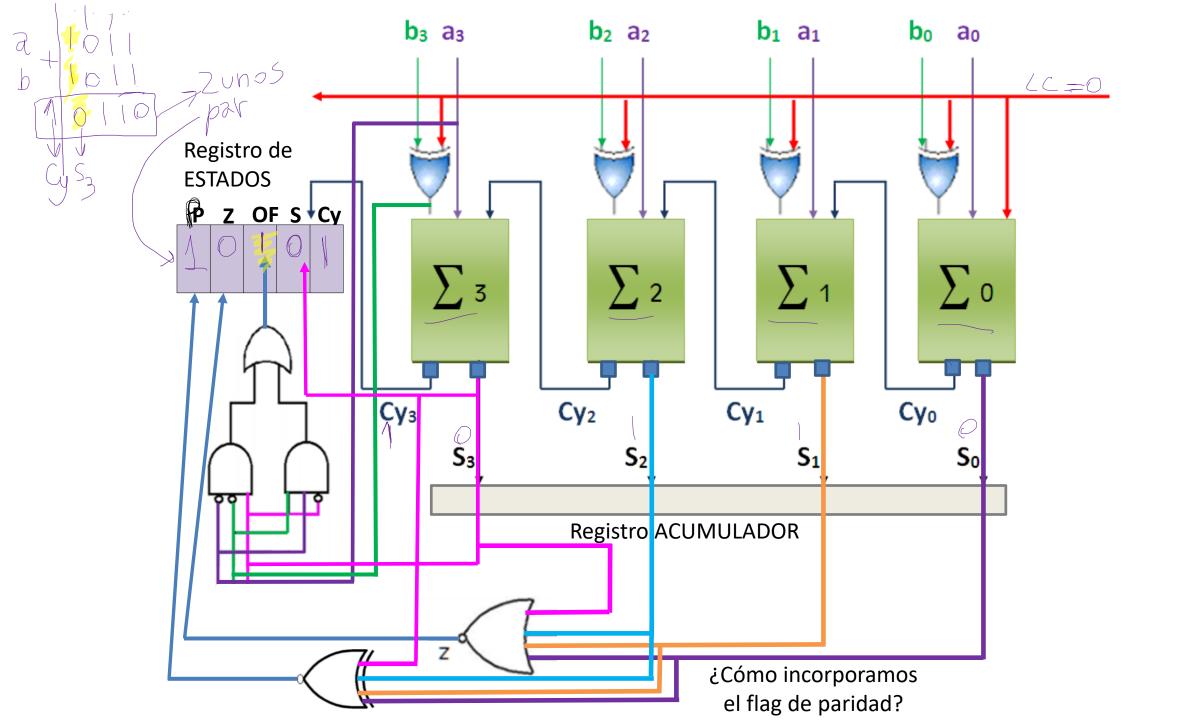
¿Cómo calculamos el flag de paridad?

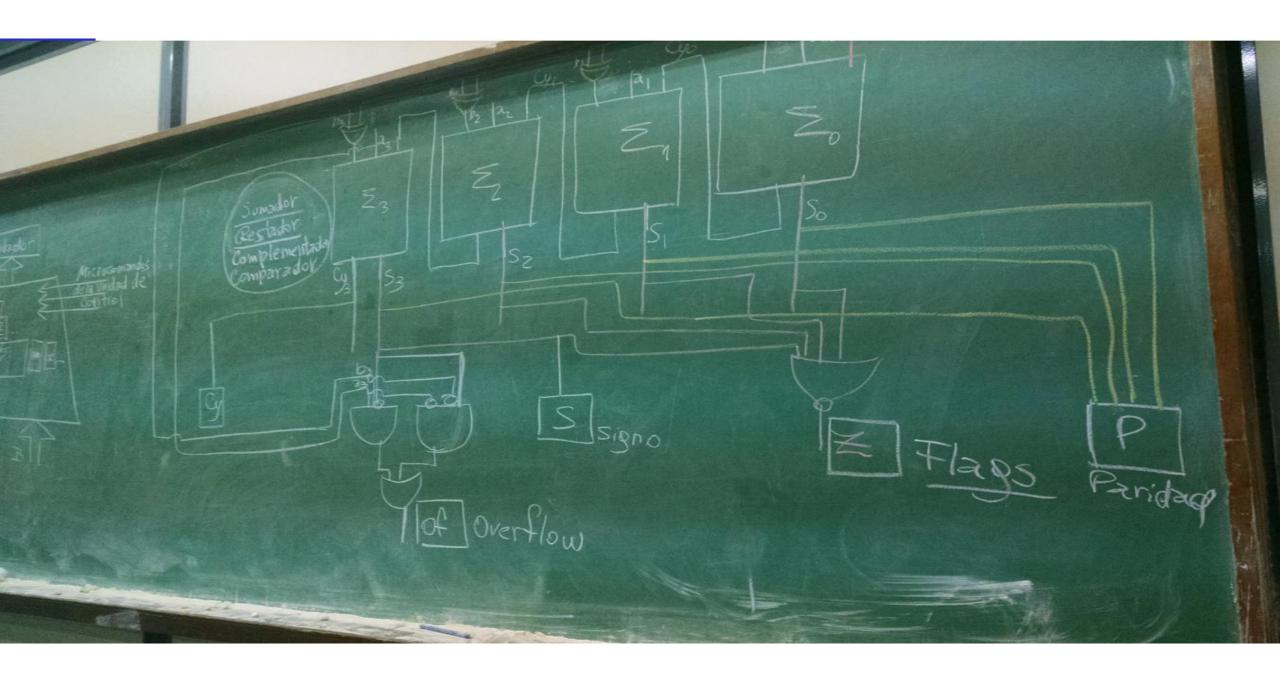
Flag Paridad

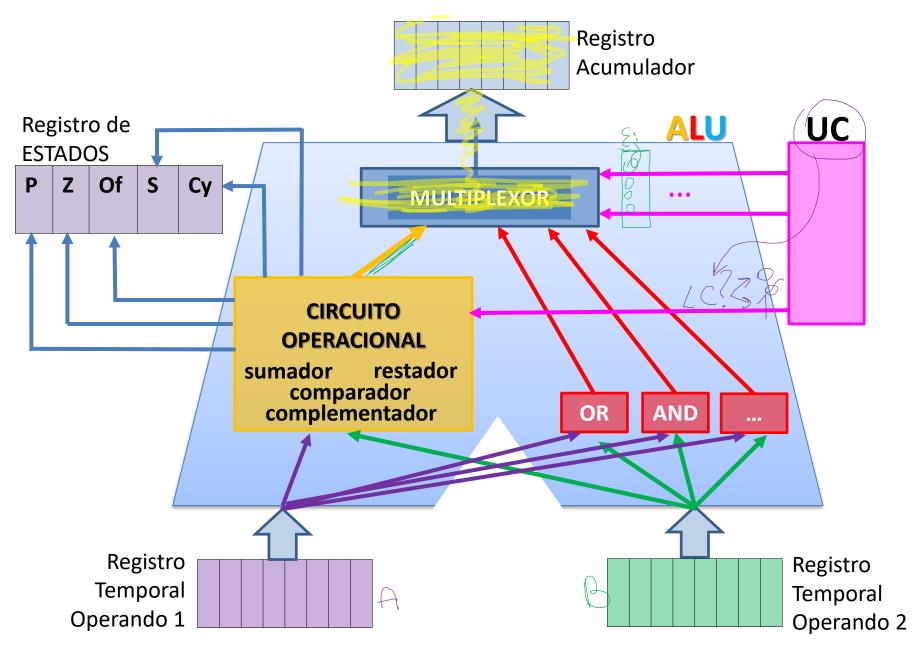
¿Conocemos algo que nos permita detectar algún tipo de paridad?

X	Y	$X \oplus Y$
0	0	0
0	1	1
1	0	1
1	1	0









En la ALU todo está cabelado y todo sucede a la vez

Circuito operacional: Este circuito es el encargado de realizar las operaciones de Suma,
 Resta (por medio de suma de complemento, Unidad 2), Complemento y Comparación.

Como es posible observar en la figura 38, el circuito operacional está compuesto por tantos sumadores totales, como bits tenga la palabra de memoria. Como fue estudiado anteriormente, cada sumador total tiene como entrada los dos bits que se desean sumar y el arrastre Carry (Cy) de la suma anterior. Es de destacar que el primer sumador correspondiente a los bits menos significativos de ambos operandos, también es un sumador completo, con tres entradas. ¿Por qué, si no hay Carry?

FIN DE LA PAGINA 27

-27(47)-



del resultado son cero. Puede implementarse con una compuerta NOR a la que se hacen ingresar todos los bits del resultado obtenido. Recordemos que la compuerta OR, da como resultado un 1, cuando por lo menos una de sus entradas es 1. Esto significa que la única forma de que la salida sea 0, es que todas las entradas sea 0. Entonces si queremos que la Señal de Zero se active (valga 1) cuando todos los bits sean 0, es necesario negar la salida. El ejemplo muestra 3 bits de entrada.

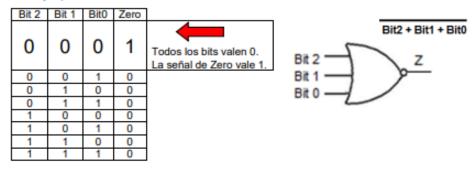


Figura 41: Circuito para Flag Zero

Señal Paridad (P): La paridad par en 1 puede verificarse simplemente utilizando una XOR negada; sobre los bits resultantes del circuito operacional. Notese que cuando los bits del resultado, en este ejemplo: S1, S2... estén uno en 0 y otro en 1, la XOR dará 1 por resultado al estar negada P valdrá 0, es decir la cantidad de "unos" no es par, por ello la señal P tendrá un cero. Es decir P en 0 indicará paridad par en unos y P en 1 será paridad impar de unos.

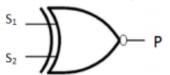


Figura 42: Circuito para Flag Paridad

ANTES DE FINALIZAR LA 30

FIN CIRCUITO OPERACIONAL DE LA ALU