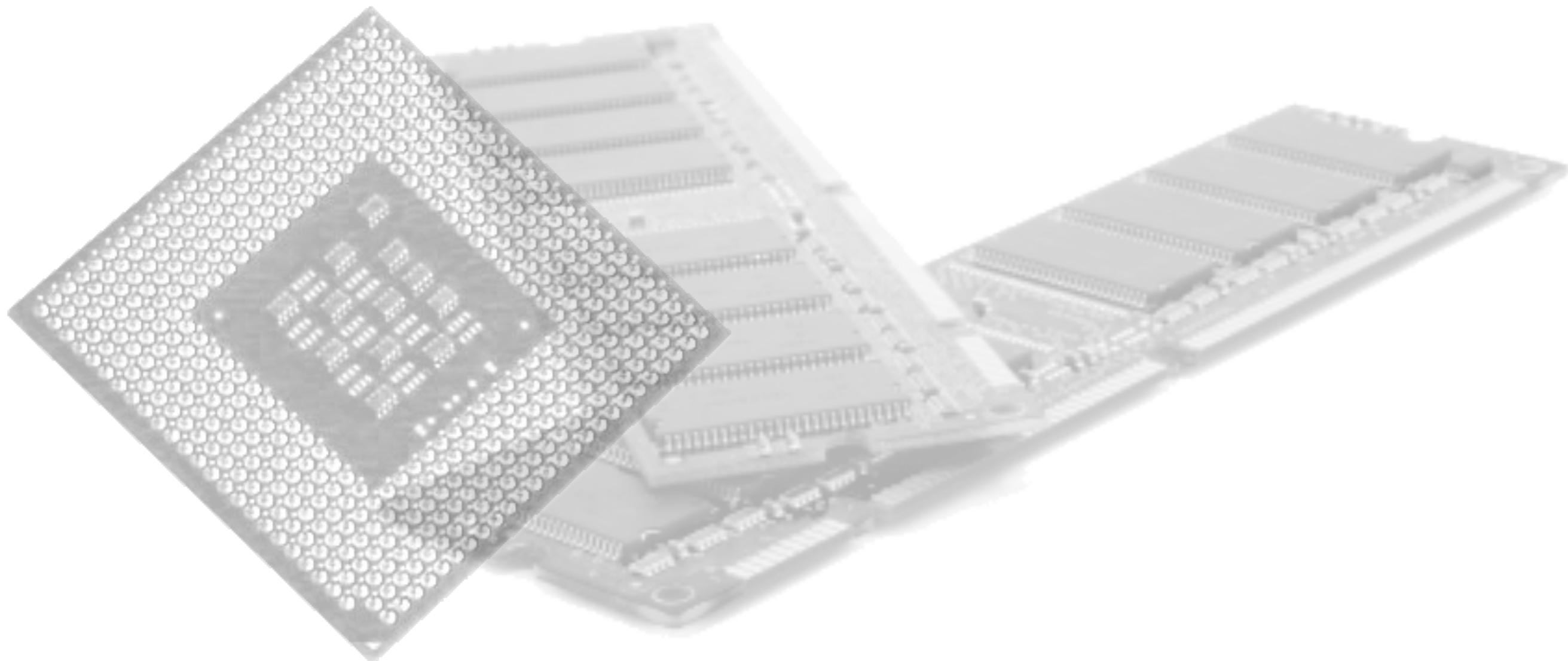
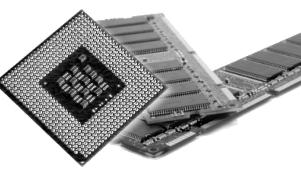


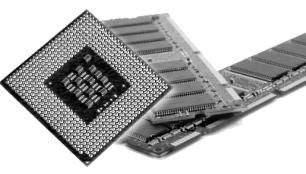
Von-Neumann-Architektur



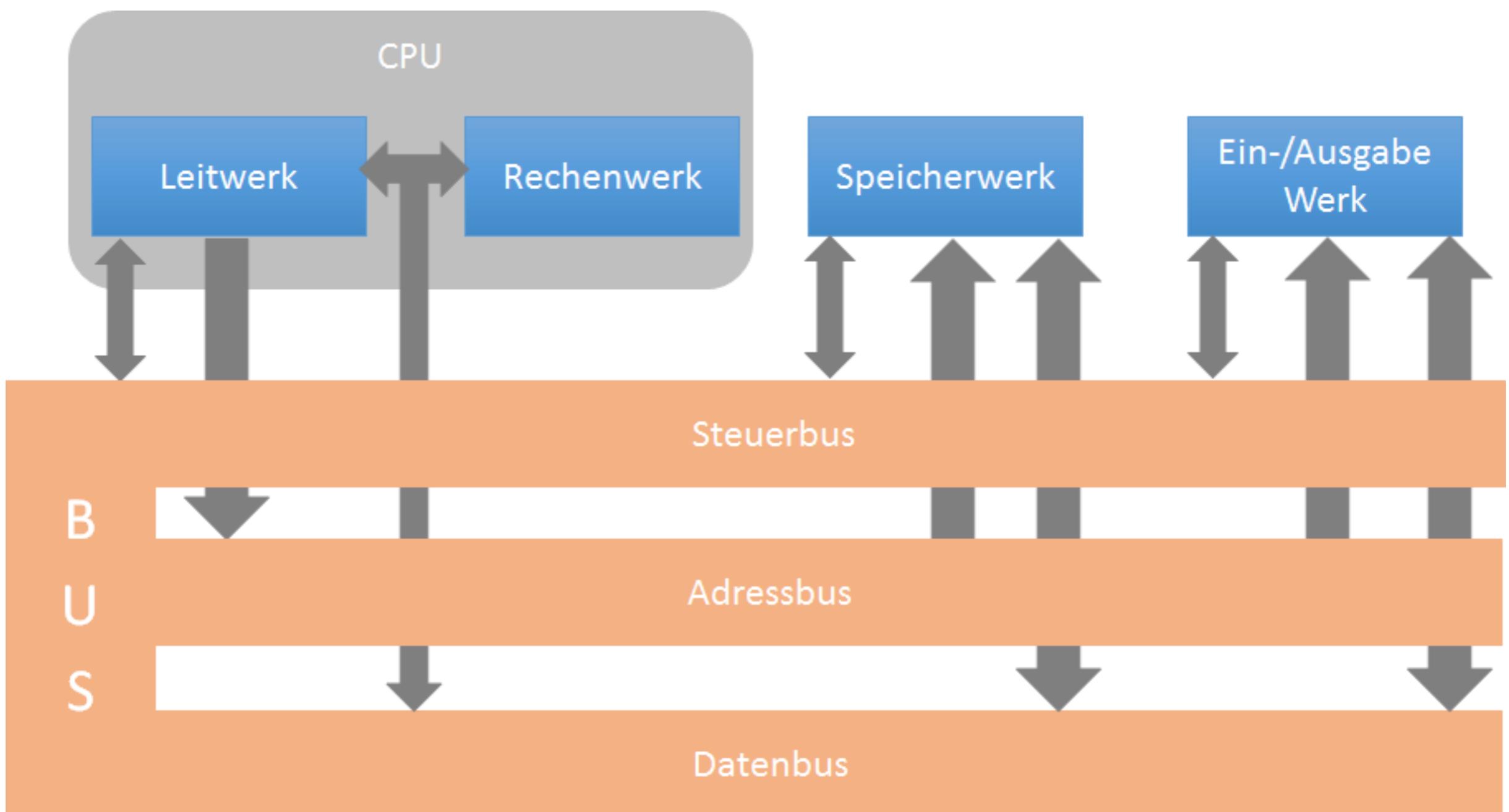


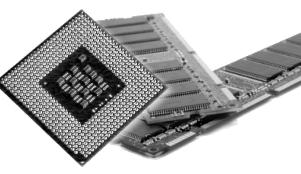
Klassische Rechnerarchitekturen

- Die x86 Computer sind nach dem Konzept der Von-Neumann-Architektur aufgebaut:
 - Problemunabhängige Struktur
 - gemeinsamer Speicher für Computerprogrammbefehle und Daten
 - SISD- Architektur (Single Instruction, Single Data)



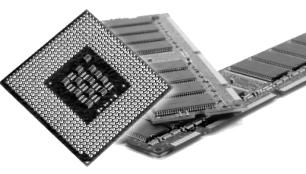
Der von-Neumann Rechner





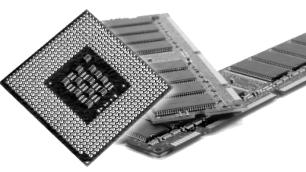
Vorteile

- Problemunabhängig / Universell
- Geringer Hardwareaufwand
- Minimaler Speicheraufwand
- Deterministischer Programmablauf wegen sequenzieller Arbeitsweise (**SISD** = single instruction, single data)



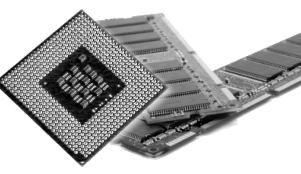
Nachteile

- Von-Neumann-Flaschenhals: Transport von Daten und Befehlen über den Bus
- Keine Parallelität der Arbeitsschritte
- Aufgabenspezifische Register (1x) erlauben keine Multiuser/-threading-Unterstützung
- Memory-Wall: Verarbeitungsgeschwindigkeit der CPU höher als Zugriff auf Speicher



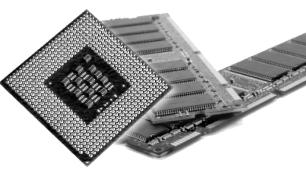
Innovative Rechnerarchitekturen

- Erhöhung der Leistungsfähigkeit des v. Neumann-Rechners
 - **Verlagerung der Prozessorfunktionen bei der Ein-/Ausgabe auf das E/A-Werk** ("intelligente" Schnittstellen, E/A-Prozessoren, Vor-Rechner, Front-End-Rechner)
 - Weiterentwicklung des Architekturprinzips durch Steuerung der einzelnen Funktionseinheiten über eigene Prozessoren
 - Bearbeiten einzelner, spezieller Befehle durch Spezialprozessoren, die abwechselnd mit der "normalen" CPU arbeiten (z. B. Arithmetik-Koprozessor).



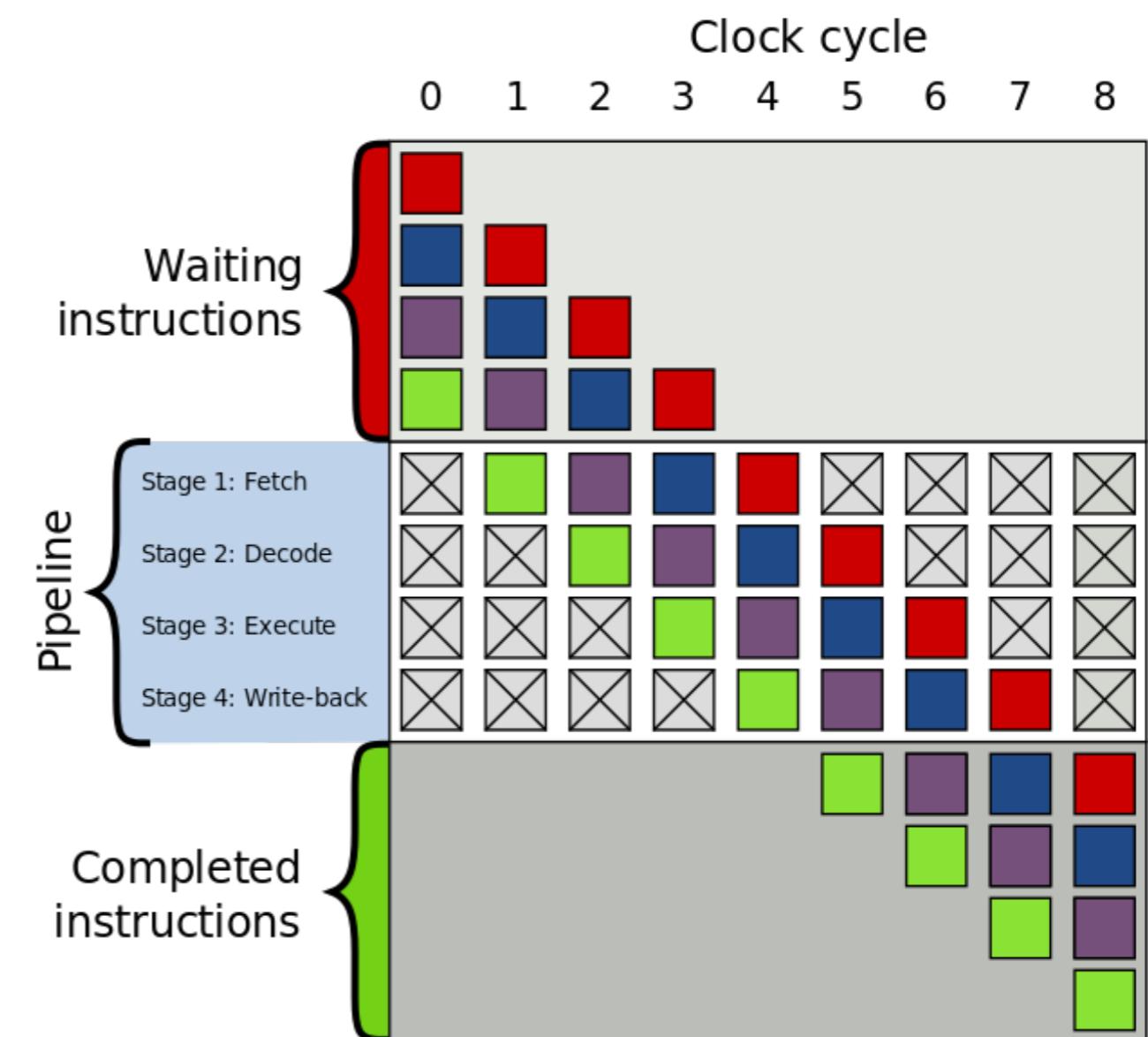
Innovative Rechnerarchitekturen

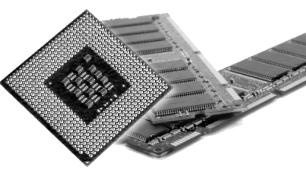
- Vermeiden oder Mildern des v. Neumann-Flaschenhalses
 - Parallelisierung verschiedener Abläufe im Computer
 - mehreren parallelen Rechenwerke, mit gemeinsamem Steuerwerk -> **SIMD** (single instruction, multiple data)



Innovative Rechnerarchitekturen

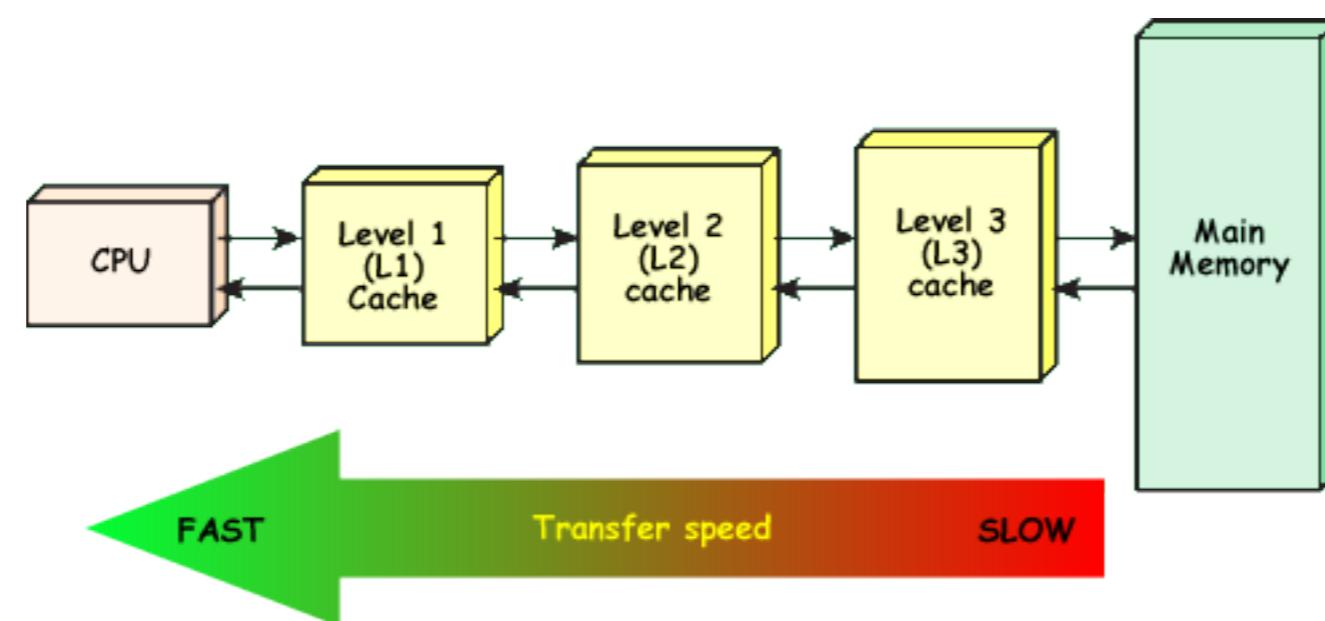
- Asynchrone Trennung von Befehlshol und -ausführung; Pipelining
 - mehrere hintereinander geschaltete Rechenwerke
 - Es wird ein Befehl nach dem anderen abgearbeitet
 - Während des 2. Taktes des 1. Befehls wird der zweite Befehl geholt usw.

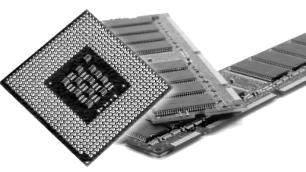




Innovative Rechnerarchitekturen

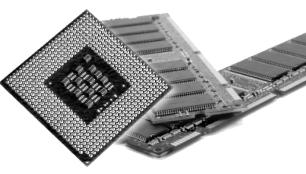
- Verlagerung der Datenhaltung; Caching
 - kB-große Speicherzellen nahe an der CPU
 - Cache wird durch Pre-fetching gefüllt und von Controller verwaltet
 - Nachteile bei Cache-Misses im Fall von Sprungbefehlen





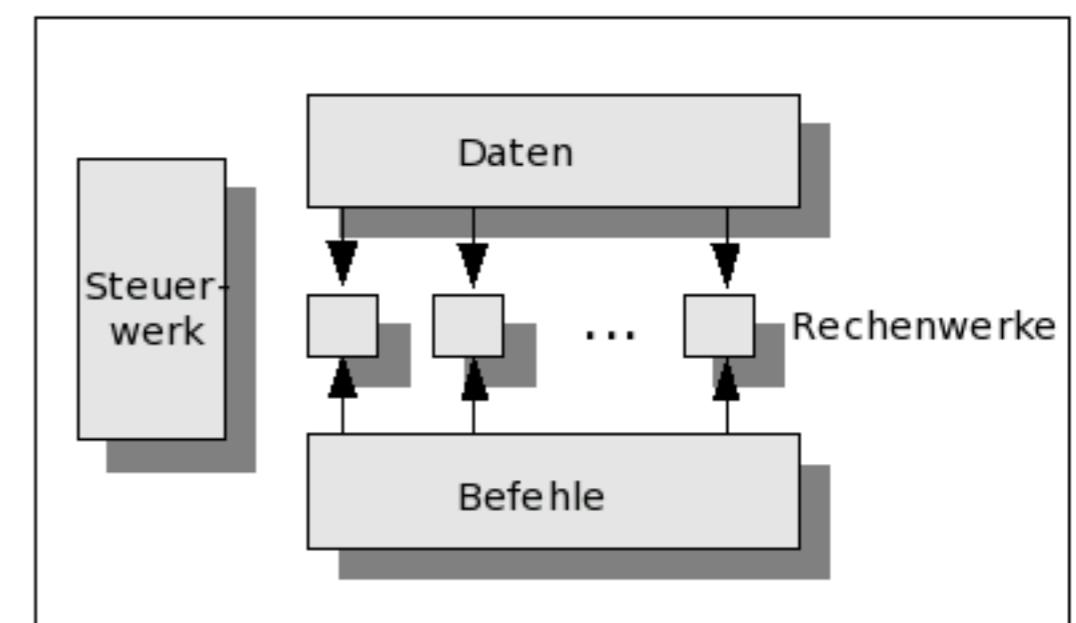
Weiterführende Rechenwerke

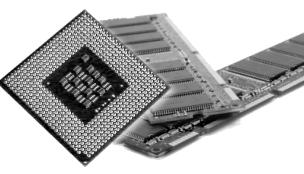
- Teilaufgaben werden auf Grund des Pipelinings überlappend ausgeführt (**MIMD**: multiple instruction, multiple data):
 - Vektorrechner - Kombination mehrerer Pipelines
 - Multiprozessorsysteme - Gleicher Speicher, unabhängige Prozessoren
 - Polyprozessorsysteme - Multiprozessorsysteme mit verteilter Kontrolle. CPU's arbeiten autonom, kommunizieren aber miteinander.



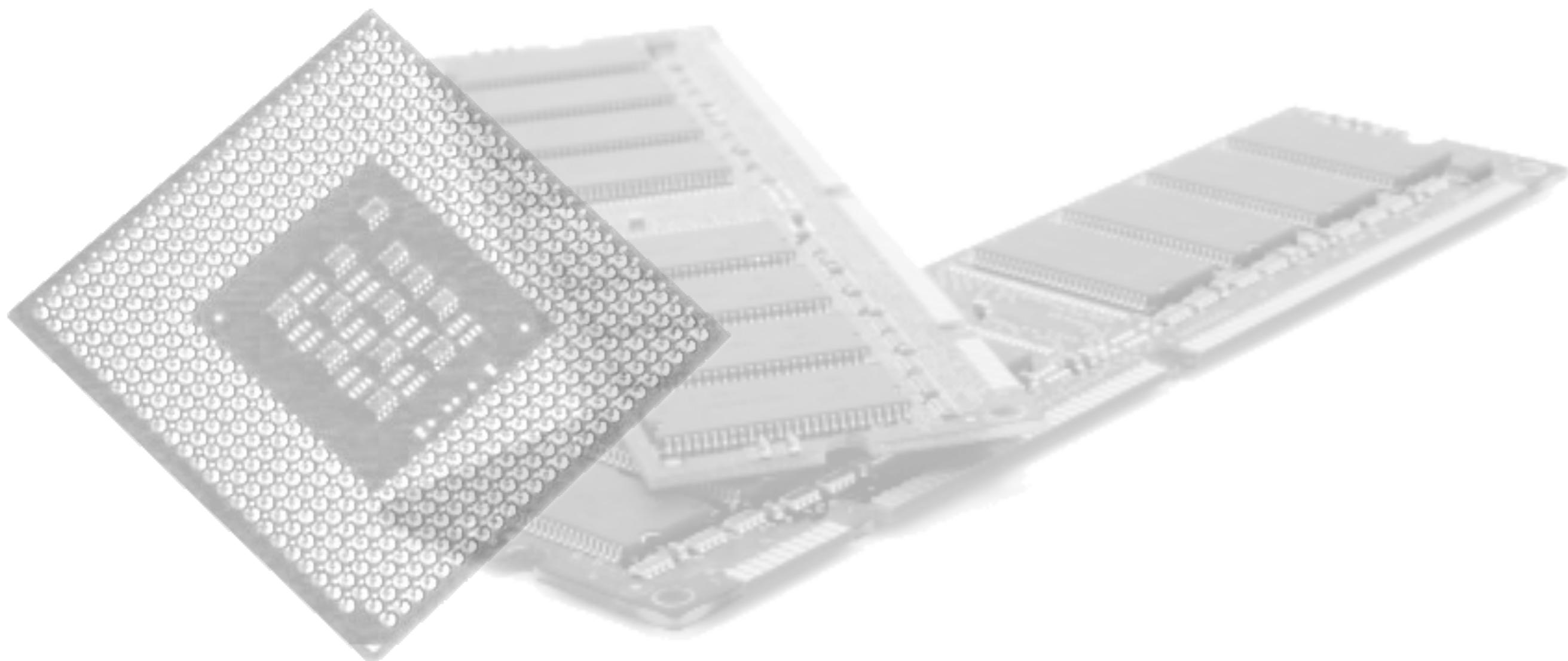
Harvard-Architektur

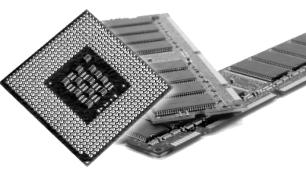
- Daten und Befehle werden getrennt gespeichert
- 2 getrennte Bussysteme
- gleichzeitiges Laden von Daten und Befehlen möglich
- z.B. ARM-Architektur



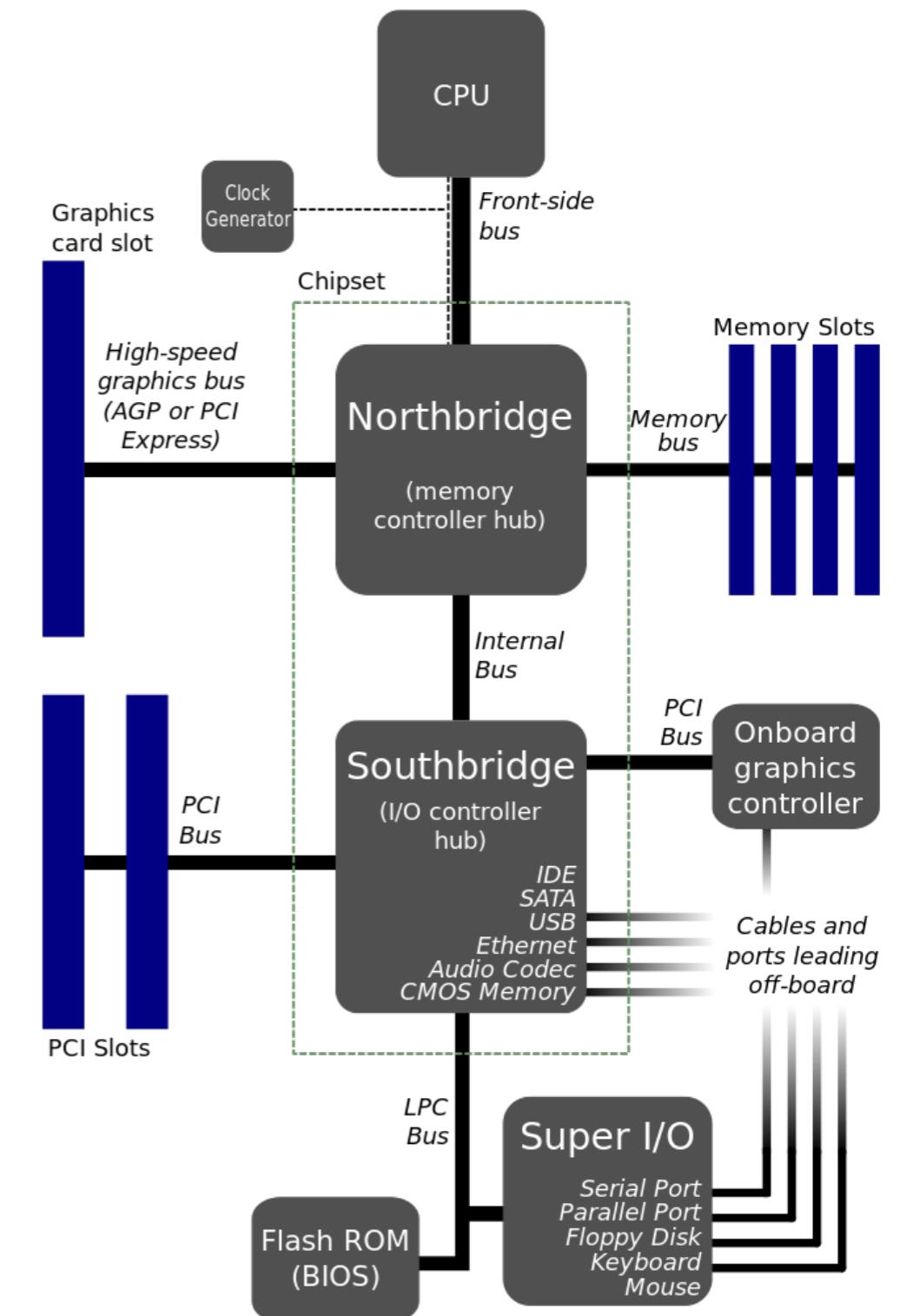
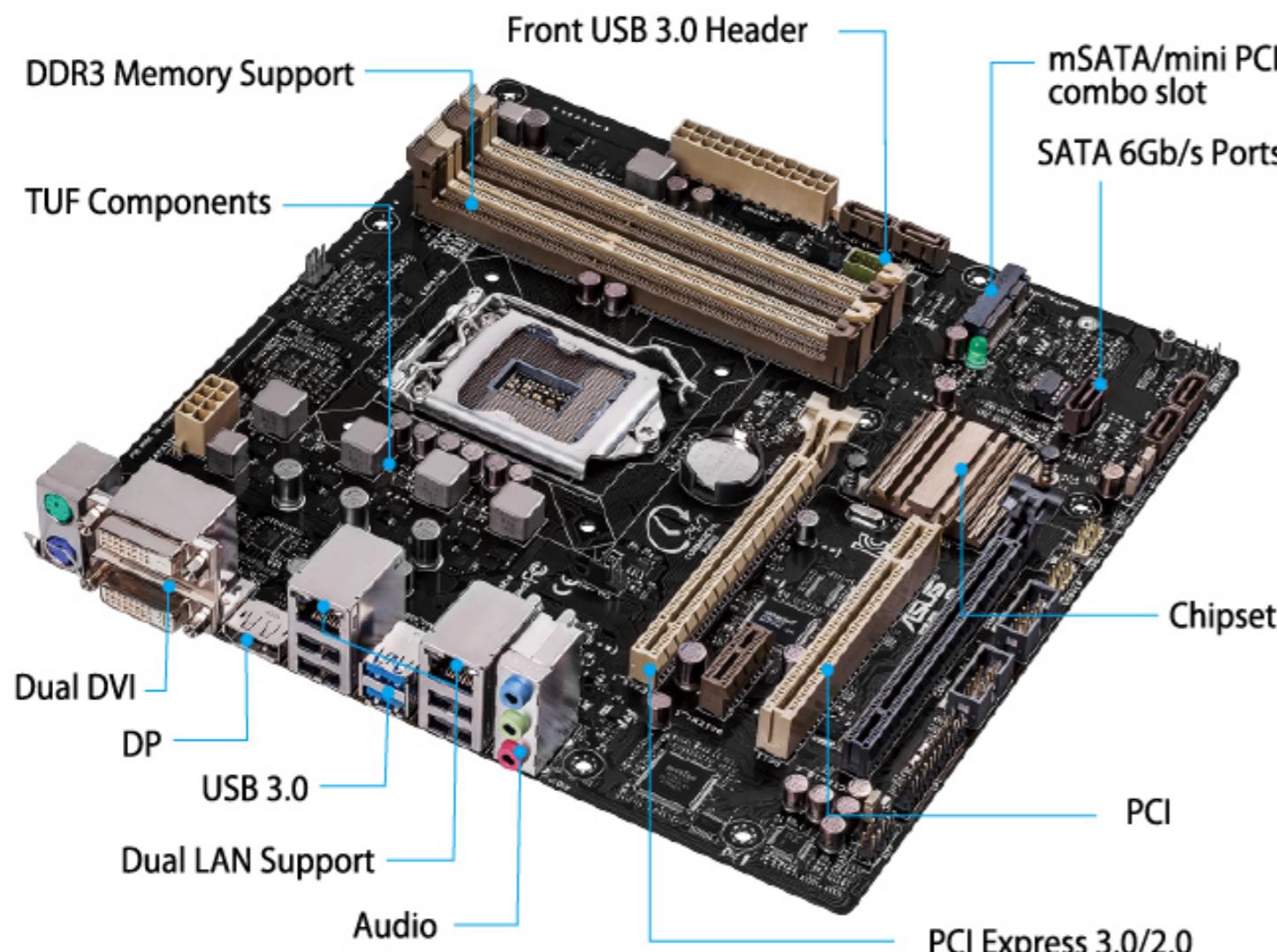


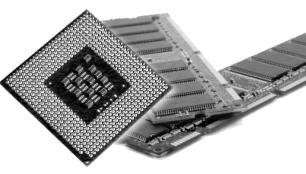
Moderne Rechnerarchitekturen





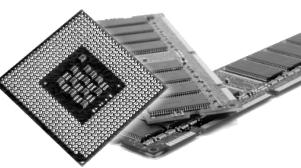
Moderne Architekturen



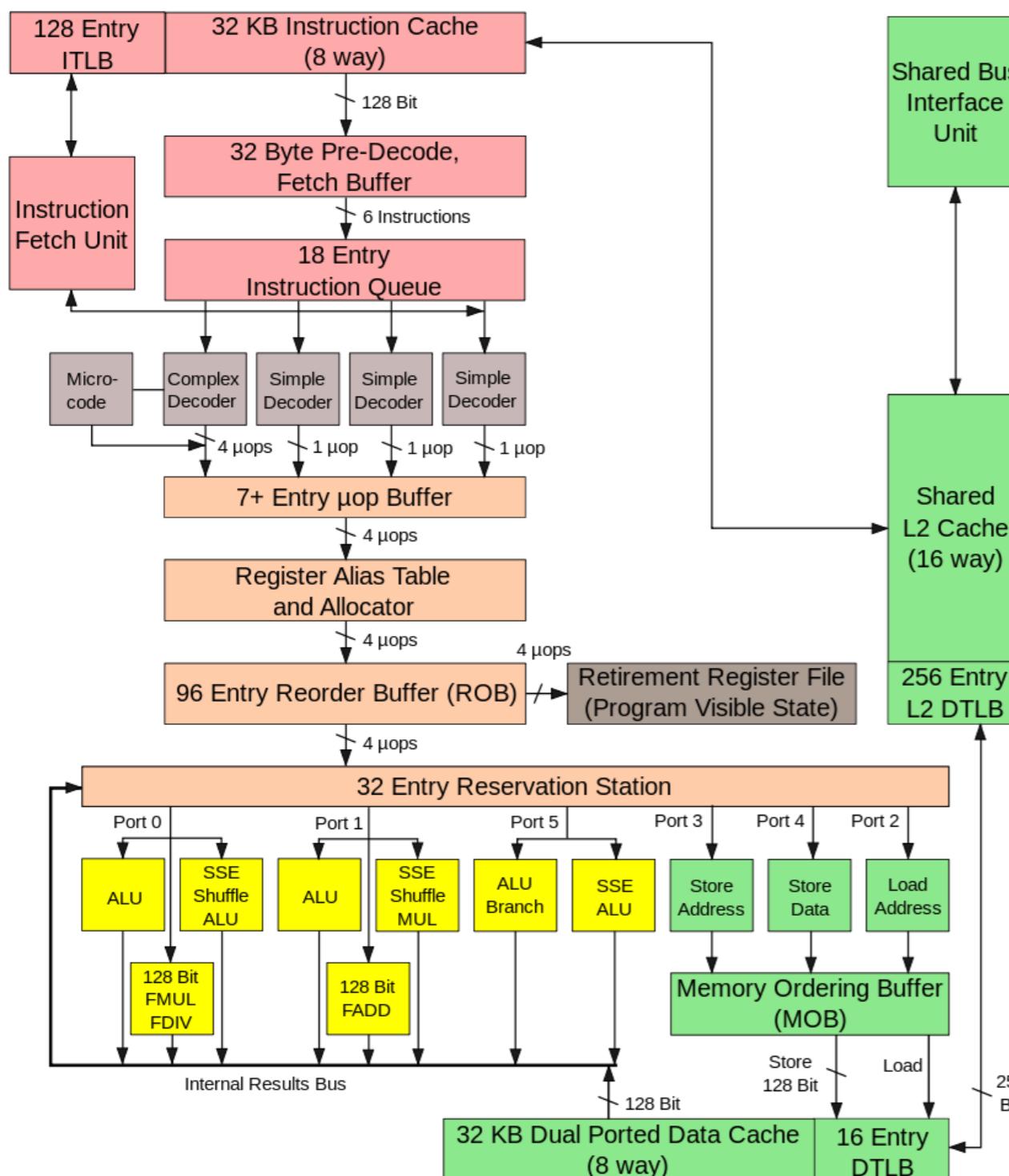


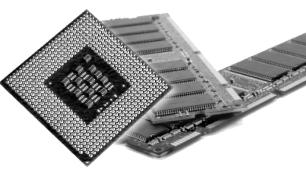
Mikroarchitektur

- eine konkrete, prozessorinterne Realisierung einer CPU
- vorgegebene Befehlssatzarchitektur
- bezieht sich nur auf internen Abläufe und die Verarbeitung der Befehle (nicht auf die fertigungstechnische Realisierung)
- Marktführer bei den x86-Mikroarchitekturen: Intel und AMD



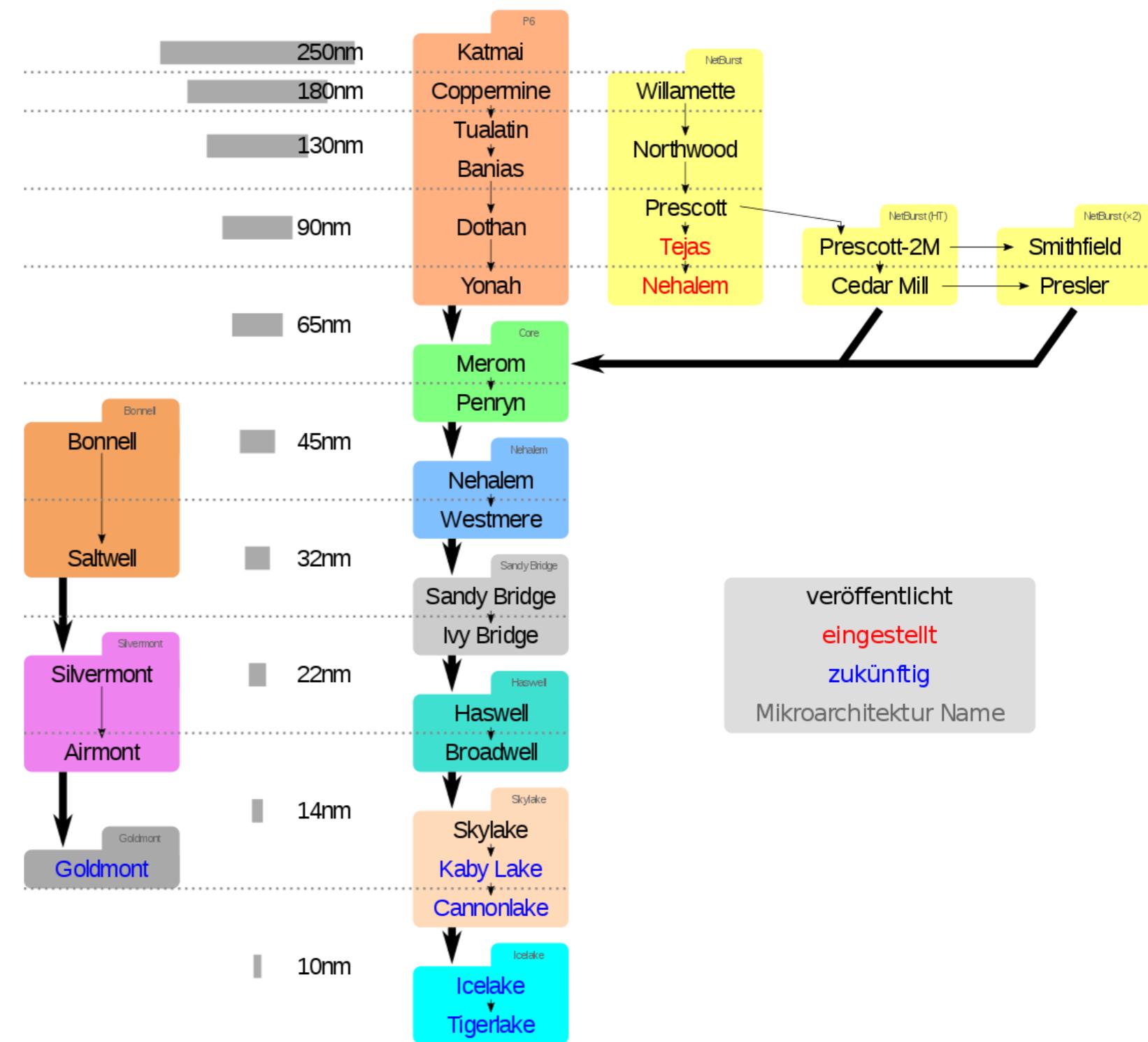
Mikroarchitektur

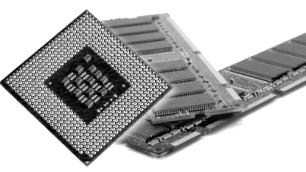




Intel-Mikroarchitekturen

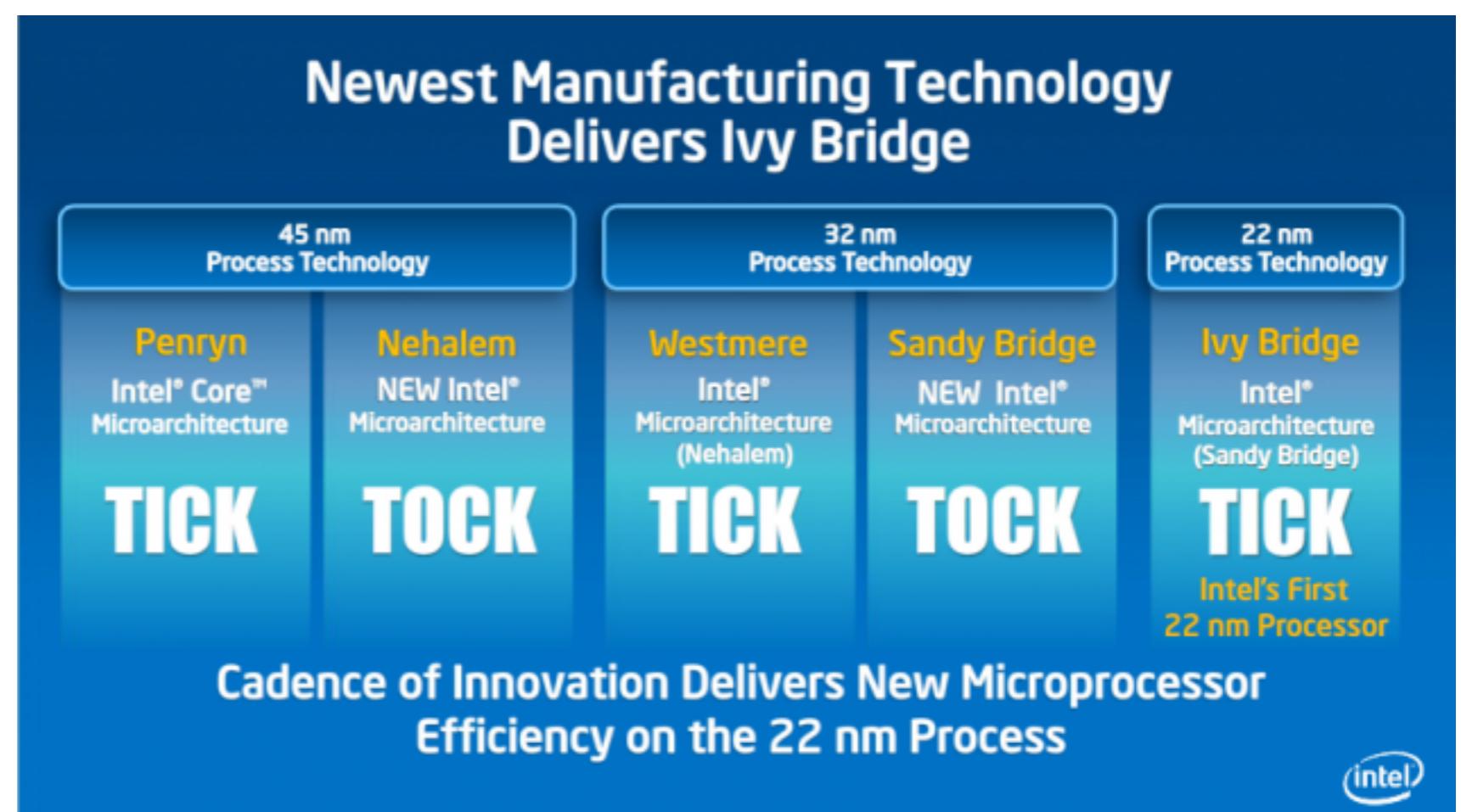
- 8086
- ...
- P5 (Pentium 1 Familie)
- P6 (Pentium Pro, Pentium II, Pentium III, Celeron, Pentium M, Core)
- Core (Penryn)
- Nehalem (Westmere)
- Sandy Bridge (Ivy Bridge)
- Haswell (Broadwell)
- Skylake
- Icelake

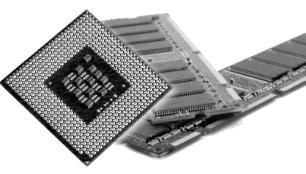




Tick-Tock-Prinzip von Intel

Tock	22 nm ^[21]	Haswell
Refresh		Haswell Refresh, Devil's Canyon ^[27]
Tick		Broadwell ^[30]
Tock		Skylake ^[30]
Optimizations (refreshes) [4][33][34][35]	14 nm ^[21]	Kaby Lake ^[36]
		Kaby Lake R ^[39]
		Coffee Lake
Process		Cannon Lake
Architecture	10 nm ^[42]	Ice Lake ^[44]

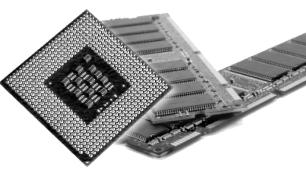




Intel Core Generationen

Codename	Core-Generation	Node	Kerne + Grafik	iGPU	Launch
Arrandale	1st Gen	32 nm	2 + GT2	Gen5.75	2010
Sandy Bridge	2nd Gen	32 nm	2 + GT2	Gen6	2011
Ivy Bridge	3rd Gen	22 nm FinFet	2 + GT2	Gen7	2012
Haswell (HSW-ULT)	4th Gen	22 nm FinFet	2 + GT2, 2 + GT3	Gen7.5	2013
Broadwell (BDW-U)	5th Gen	14 nm FinFet	2 + GT2, 2 + GT3	Gen8	2014
Skylake (SKL-U)	6th Gen	14 nm FinFet	2 + GT2, 2 + GT3e	Gen9	2015
Kaby Lake (KBL-U)	7th Gen	14+ nm FinFet	2 + GT2, 2 + GT3e	Gen9.5	2016
Kaby Lake Refresh (KBL-U R)	8th Gen	14++ nm FinFet	4 + GT2, 4 + GT3e	Gen9.5	2017
Cannon Lake (CNL-U)	8th Gen	10 nm FinFet	2 + GT2 (deaktiviert)	Gen10	2018
Whiskey Lake (WHL-U)	9th Gen	14++ nm FinFet	4 + GT2	Gen9.5	2018
Comet Lake (CML-U)	9th Gen	14++ nm FinFet	2 + GT2, 4 + GT2, 6 + GT2	Gen9.5	2019
Ice Lake (ICL-U)	10th Gen (?)	10+ nm FinFet	4 + GT2	Gen11	2019
Tiger Lake	11th Gen (?)	10++ nm FinFet	?	Xe (?)	2020 (?)

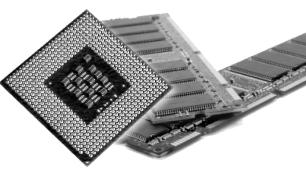
Core-Generationen (Client Mobile) von Intel im Überblick



Intel XEON für Server

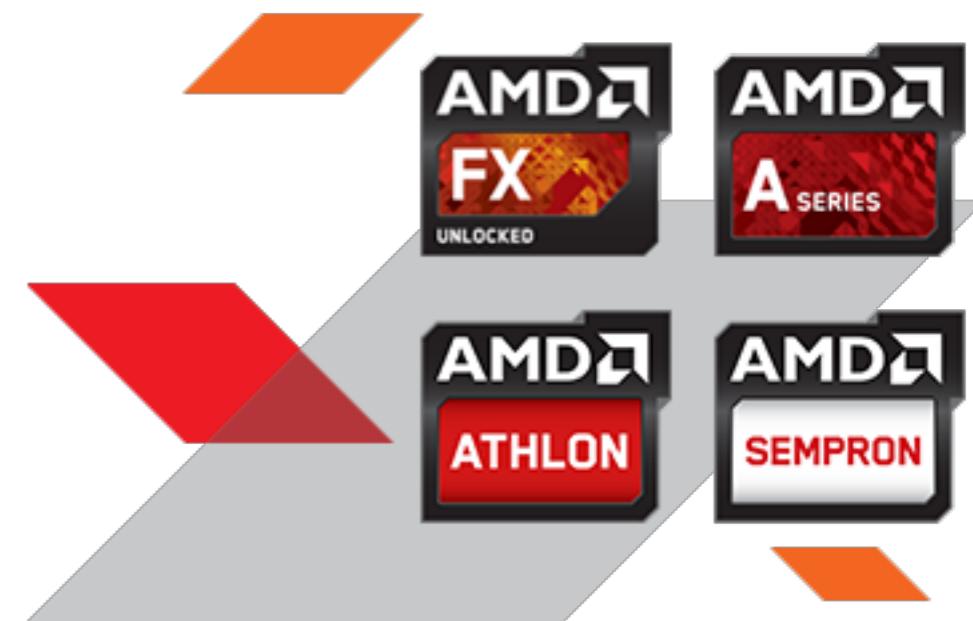
- erweiterter Befehlssatz
- auf Multicore ausgelegt
- lassen sich nicht übertakten
- für Dauerbetrieb ausgelegt
- mehrere CPUs auf einem Board möglich
- keine integrierte Grafik

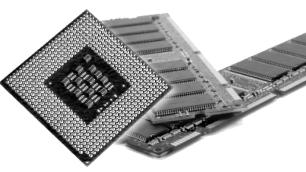




AMD

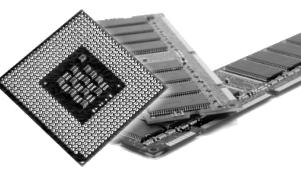
- AMD Ryzen: Threadripper, 7, 5, 3
- AMD FX: Desktop
- AMD A: Desktop Prozessor mit Grafikkarte (APU)
- AMD Athlon und Sempron: günstige Prozessoren
- AMD EPYC und Opteron: für Server





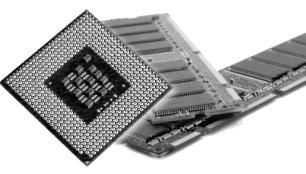
Mikroprozessoren

Prozessortyp	Anzahl Transistoren	Jahr	Hersteller
Intel 4004	2300	1971	Intel
Intel 8086	29.000	1979	Intel
Pentium	3.100.000	1993	Intel
AMD K5	4.300.000	1996	AMD
AMD K7	22.000.000	1999	AMD
Pentium 4	42.000.000	2000	Intel
Core 2 Duo	291.000.000	2006	Intel
Core 2 Quad	582.000.000	2006	Intel
Core i7	731.000.000	2008	Intel
AMD Bulldozer	1.200.000.000	2011	AMD
Intel Core i7 3930K	2.270.000.000	2011	Intel
AMD Kaveri	2.410.000.000	2014	AMD
E5-2699 v3	5.570.000.000	2014	Intel
Xbox One X	7.000.000.000	2017	IBM
AMD Epyc (32 Kerne)	19.200.000.000	2017	AMD



Mooresches Gesetz

- Die Anzahl der Transistoren verdoppelt sich alle zwei Jahre
 - Anzahl pro Flächeneinheit
 - je nach Quelle: 12 bis 24 Monate
 - nur eine Faustregel (kein Naturgesetz)

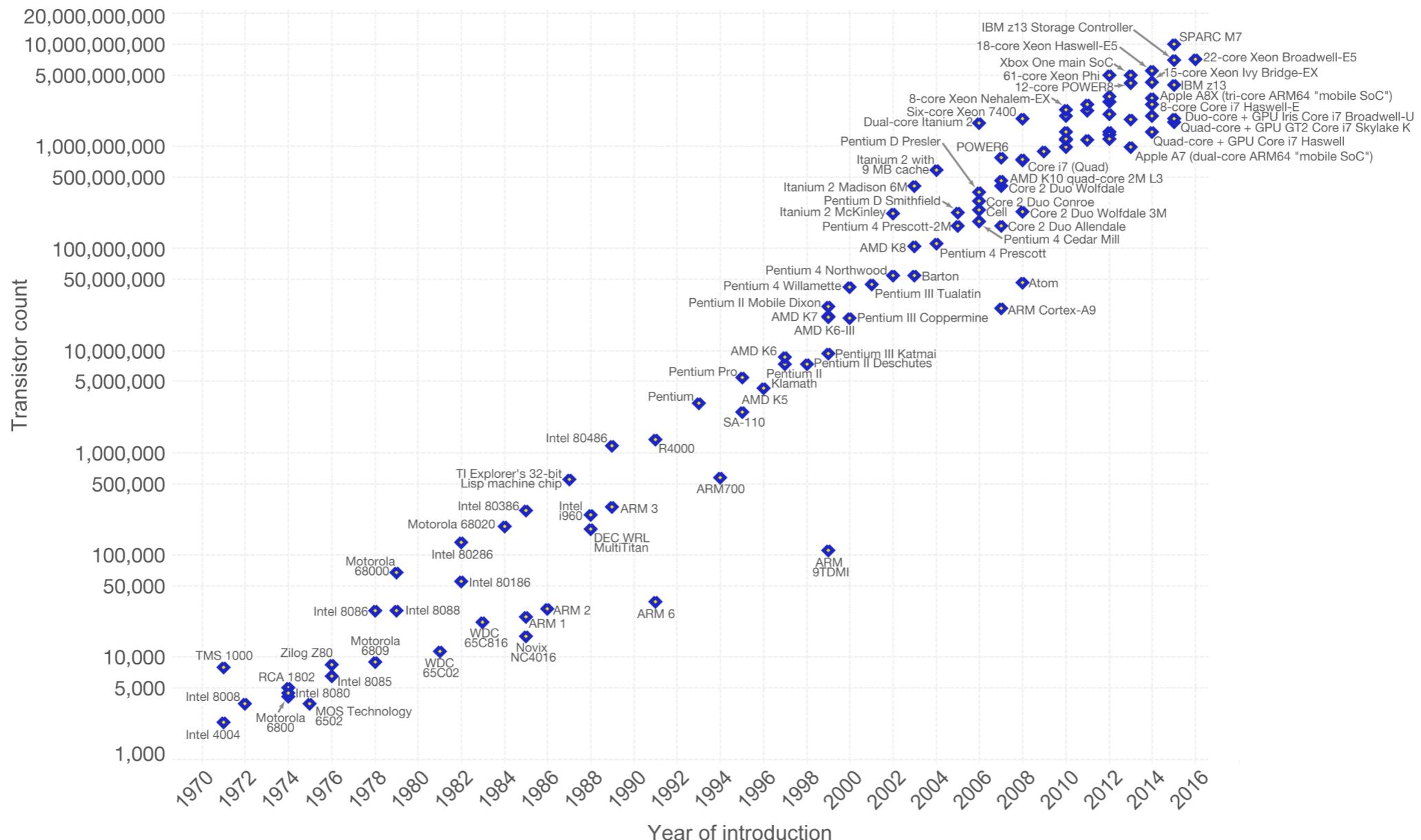


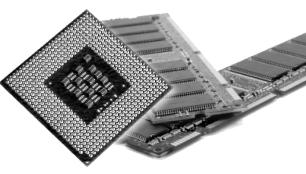
Mooresches Gesetz

Moore's Law – The number of transistors on integrated circuit chips (1971-2016)

Our World
in Data

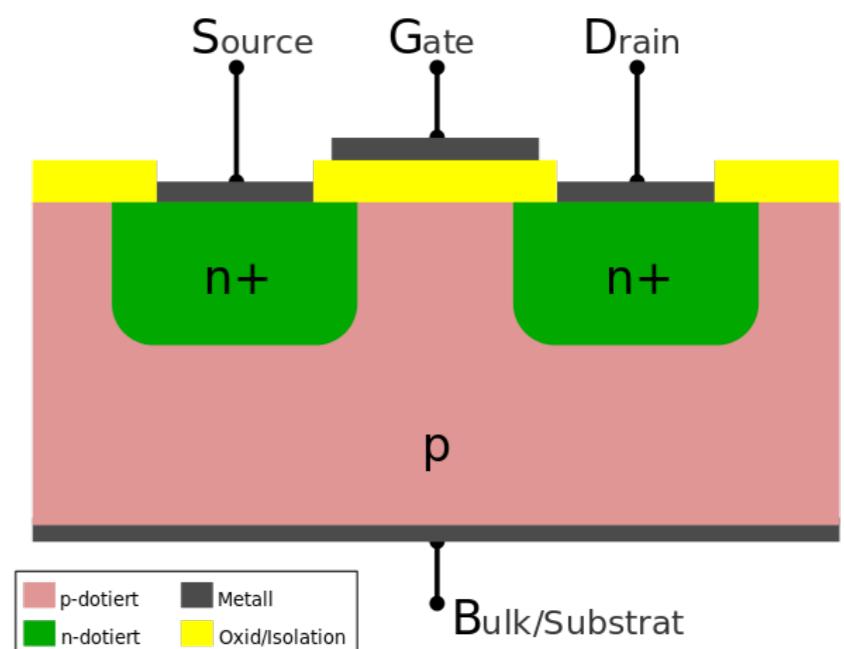
Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important as other aspects of technological progress – such as processing speed or the price of electronic products – are strongly linked to Moore's law.

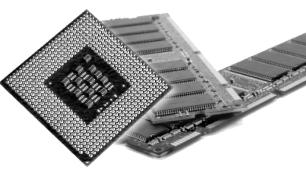




Strukturgröße / Strukturbreite

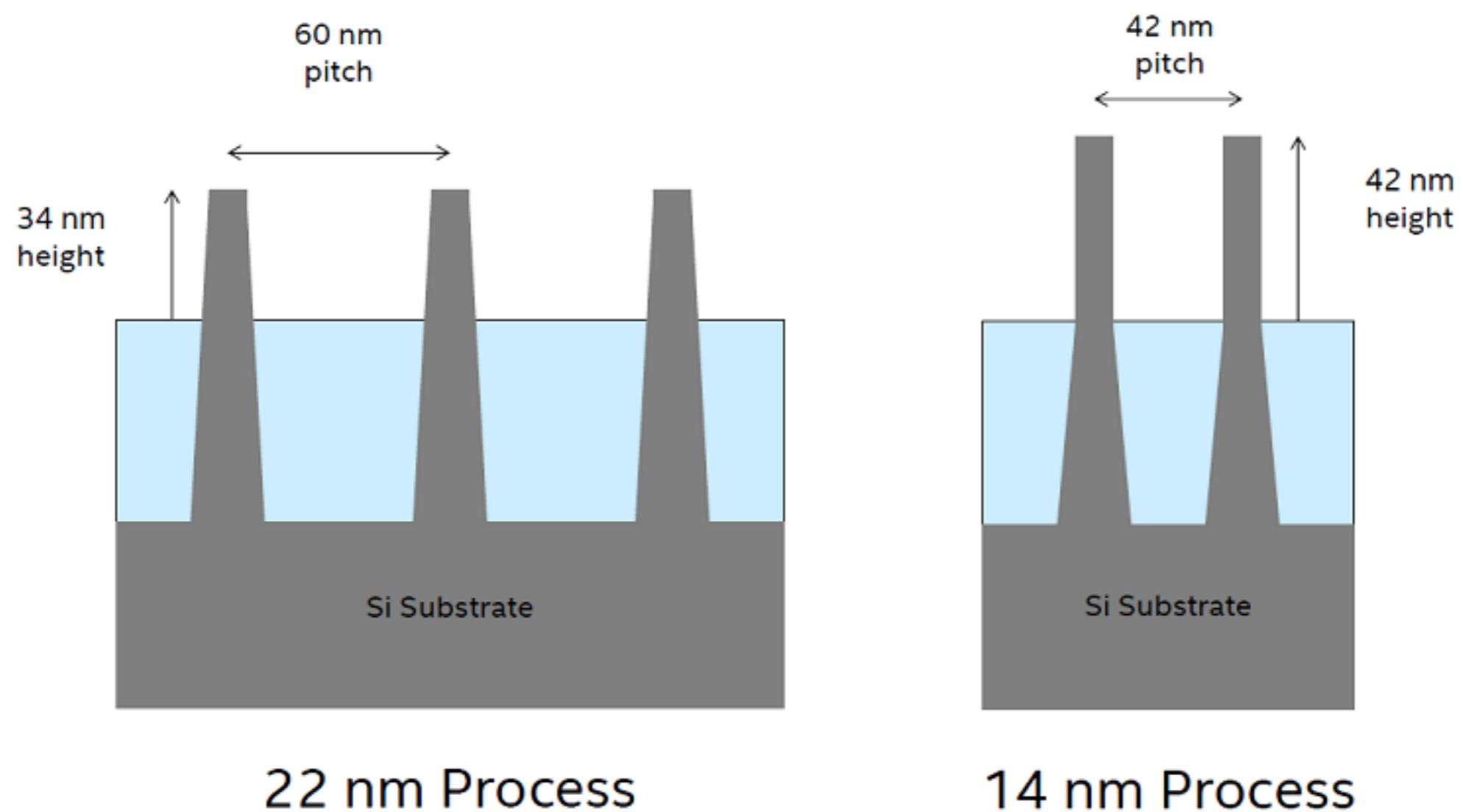
- Größenangabe in der Halbleitertechnik
- entspricht der kleinsten Abmessung der erzeugten Elemente (z.B. Breite der Leiterbahnen)
- Erst in Mikrometer angegeben, später dann in Nanometer
- Aktueller Stand (Produktion): 14nm
- Aktueller Forschungsstand: <5nm

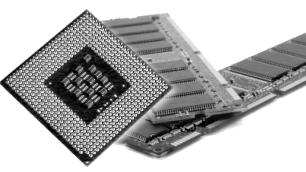




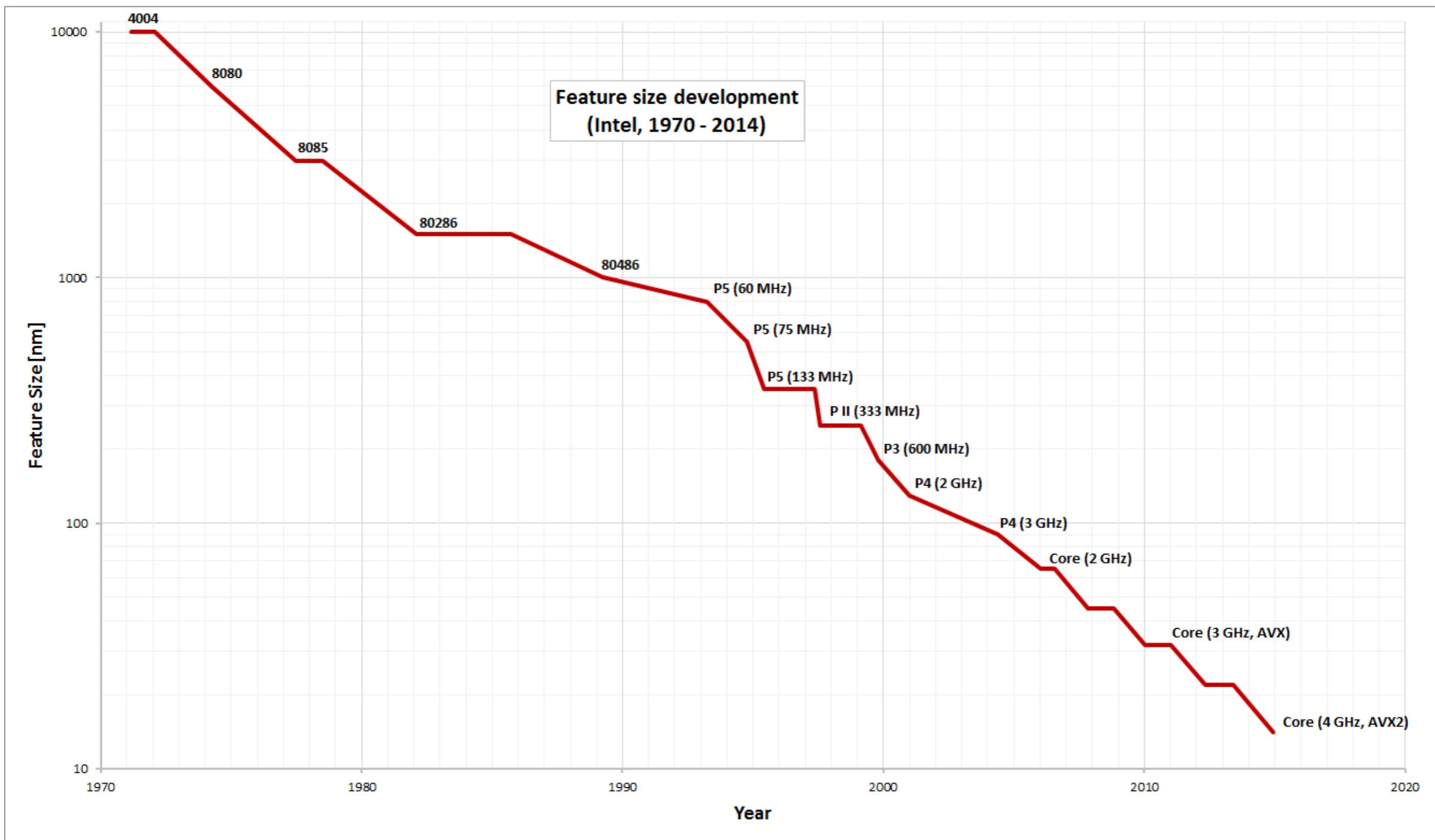
Strukturgröße / Strukturbreite

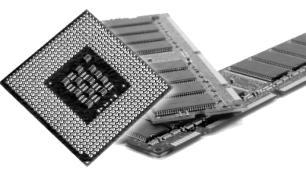
Transistor Fin Improvement





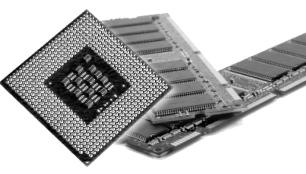
Strukturgröße / Strukturbreite





Strukturgröße / Strukturbreite

- Kleinere Strukturen ermöglichen:
 - mehr Transistoren passen auf den Chip
 - die kleineren Transistoren benötigen weniger Spannung, also auch weniger Energie
 - die Schaltungen werden schneller, weil die Entferungen kürzer werden
 - die Packungsdichte senkt die Fertigungskosten
- Aber:
 - die Produktion muss in einem Reinraum geschehen, da kleinste Verschmutzungen den Chip zerstören
 - hohe Entwicklungskosten
 - wenig funktionierende Prozessoren beim Beginn der Produktion



System-on-a-Chip

- Integration (fast) aller Funktionen auf einen Chip
- embedded Systems

