

姓名:

班内序号:

学号:

班级:

订 装 线

北京邮电大学 2012—2013 学年第 1 学期

《微处理器与接口技术》期末考试试题（A）

| | | | | | | | | | |
|----------------|---|----|----|--------------|------|----------------|------|---|----|
| 考试 注意 事项 | 一、学生参加考试须带学生证或学院证明，未带者不准进入考场。 学生必须按照监考教师指定座位就坐。 二、书本、参考资料、书包等物品一律放到考场指定位置。 三、学生不得另行携带、使用稿纸，要遵守《北京邮电大学考场规则》，有考场违纪或作弊行为者，按相应规定严肃处理。 四、学生必须将答题内容做在试题答卷上，做在草稿纸上一律无效。 五、学生的姓名、班级、学号、班内序号等信息由教材中心统一印制。 | | | | | | | | |
| 考试 课程 | 微处理器与接口 技术 | | | 考试时间 2 小时 | | 2012 年 1 月 8 日 | | | |
| 题号 | 一 | 二 | 三 | 四 | 五(1) | 五(2) | 五(3) | 六 | 总分 |
| 满分 | 18 | 20 | 24 | 18 | 6 | 6 | 8 | | |
| 得分 | | | | | | | | | |
| 阅卷 教师 | | | | | | | | | |

一、填空题（每空 1 分，共 18 分）

- 假设 AL 中存放二进制数 01011101B，若执行指令 NEG AL 后再执行 CBW，则 AX 的内容为 0FFA3H，如果认为结果是补码，则按十进制大小是 -93。
- 8086 在执行 MOV AL, [2001H] 时，需要一个总线周期，ALE 在该总线周期内要持续 1 个时钟周期有效，此时 \overline{BHE} 为 0/低电平， A_0 为 1/高电平。
- 某 8 位数据总线的微处理器系统中由 6 片 16K×4 的芯片组成 ROM 内

存，若该内存的末地址为 0FFFFFFH，则其首地址为 0F4000H（填写物理地址）。

4. 计算机内的堆栈存取采用 后进先出/先进后出 原则，有一个堆栈区，地址为 1250H:0000H~1250H:0100H，(SP)=0052H，则栈顶的物理地址是 1250H:0052H/12552H，栈底的物理地址是 1250H:0100H/12600H。
5. 已定义“VAR1 DB 01H, 10H, 00H, 02H”，且 AX=0210H，则指令“DIV VAR1+1”的源操作数是 10H，执行该指令后 不会（会/不会）发生除法溢出中断。
6. 标志寄存器中，TF 标志没有相应的指令来修改，可以通过以下命令来对其置位，请补充完整。

PUSHF

POP AX

OR AX,0100H

PUSH AX

POPF

7. D/A 转换器的分辨率是指 其所能分辨的最小电压。
8. 8086 的 INTR 中断响应时会发出两个低电平的中断响应周期，其中在第 2 个中断响应周期，8259 会通过数据总线向 CPU 提供中断类型号，该类型号的低 3 位由 8259 的中端输入引脚的编号 提供。
9. 8253 的工作方式中，方式 1 和 5（要填写所有符合条件的方式）要通过 GATE 端来触发启动计数，在计数过程中如果需要读取计数值，应该向 8253 发出一个锁存命令。

二、判断题，正确的在括号内打√，否则打×（每小题 2 分，共 20 分）

1. 8086 的指令执行部件 EU 负责指令的执行，所以读写存储器的 MOV 指令产生的读写控制信号由 EU 负责产生。（ × ）

2. 在 8086 总线周期的 T1 状态，若引脚 $\overline{\text{BHE}}/\text{S7}$ 输出低电平，表示高 8 位数据总线 AD15~AD8 上的数据有效。(☒)
3. 若 Y 是数据段中的变量，指令 ADD Y, OFFSET Y 是正确的。(☒)
4. PC 总线使用 8086 的最大模式，所以 8288 总线控制器产生的读写控制信号在 PC 总线中都可以找到。(☒)
5. 采用虚拟存储技术可以解决主存储器的空间和速度不足的问题。(☒)
6. 由于 8086 在中断服务程序执行前，自动设置 IF=TF=0，所以返回时系统要将其置位。(☒)
7. 采用存储器映像的 I/O 寻址方式的系统，存储器地址增加，则 I/O 端口地址就减少，且 I/O 端口可以有较多的寻址方式。(☒)
8. 8237DMA 数据块传送模式的特点是：一次请求传送一个数据块，但在整个 DMA 传送期间如果有中断请求，CPU 不能响应它。(☒)
9. 在多级 8259 的情况下，对于主从 8259 需要分别初始化，而且总是会使用初始化命令字 ICW4。(☒)
10. DRAM 以 MOS 晶体管的栅极电容来存储二进制信息，需要定时刷新。(☒)

三、选择题（每小题 2 分，共 24 分）

1. CPU 中程序计数器（IP）中存放的是 (☒ B)。
 - A. 指令
 - B. 指令地址
 - C. 操作数
 - D. 操作数地址
2. 当 8086/8088 访问 100H 端口时，采用 (☒ C) 寻址方式。
 - A. 直接
 - B. 立即
 - C. 寄存器间接
 - D. 相对
3. 设 BL=05H，要使结果 BL=0AH，应执行的指令是 (☒ C)。

- A. NOT BL
B. AND BL
C. XOR BL, 0FH
D. OR BL, 0FH
4. 在同一程序段中，定义有下面的伪指令，使用正确的是（ B ）。
- A. PORT1 EQU AL PORT1 EQU 2000H
B. PORT2=3500H AND 0FFH
C. POP DD 'ABCD'
D. PORT4 PROC ... RET END
5. 已知（SP）=1310H，执行 IRET 指令后（SP）为（ D ）。
- A. 1304H
B. 1314H
C. 1312H
D. 1316H
6. 某微机接口电路中，要设置 10 个只读寄存器、8 个只写寄存器和 6 个可读可写寄存器，一般应为它至少提供（ C ）个端口地址。
- A. 24 B. 14 C. 16 D. 18
7. 主存储器和 CPU 之间增加高速缓冲存储器的目的是（ A ）。
- A. 解决 CPU 和主存之间的速度匹配问题
B. 扩大主存储器的容量
C. 扩大 CPU 中通用寄存器的数量
D. 既扩大主存储器的容量又解决 CPU 和主存之间的速度匹配问题
8. 如果有多个中断同时发生，系统将根据中断优先级响应优先级最高的中断请求。若要调整中断事件的响应次序，可以利用（ B ）。
- A. 中断响应 B. 中断屏蔽 C. 中断向量 D. 中断嵌套
9. 8088 系统中，15H 号中断的中断向量存放在内存储器的（ A ）单元中。
- A. 0000:0054H-0000:0057H B. 0000:0060H-0000:0063H
C. FFF0:0054H-FFF0:0057H D. FFF0:0060H-FFF0:0063H
10. PC 系列机中，确定外部硬中断的服务程序入口的地址是（ D ）。
- A. 主程序中的调用指令 B. 主程序中条件转移指令
C. 中断控制器中的中断服务寄存器 D. 中断控制器发出的中断向量号

11. 设串行异步通信的数据格式是：1 位停止位，7 位数据位，1 位校验位，1 位起始位。若传输率为 2400 位/秒，则每秒传输的最大字符个数为 (D)。

- A. 10 个 B. 110 个 C. 120 个 D. 240 个

12. 8237A 的地址是双向的，因为 (D)。

- A. 8237A 可以传输输入/输出的地址
B. 8237A 内部的地址是双向的
C. 8237A 作为系统总线时应该是双向的
D. 8237A 既可以是系统总线的主控者，也可以是从设备

四、简答题（每题 4 分，共 24 分）

1、说明堆栈的概念，用途，给出定义堆栈段（1024 Byte）和初始化相关寄存器的代码。

堆栈是后进先出方式组织的一块存储区域。主要用来保存返回地址和临时变量。

```
stk segment stack
skeep db 1024 dup (?)
stk ends
```

```
mov ax, seg stk
mov ss, ax
mov sp size skeep
```

2、说明什么是立即寻址、直接寻址以及 CPU 是如何取得要执行的指令的。

操作数包含在指令中，是立即寻址。操作数的地址包含在指令中，是直接寻址。取指令的寻址方式是寄存器间接寻址。

3、总线周期的含义是什么？8086/8088 的基本总线周期由几个时钟周期组成？如果一个 CPU 的时钟频率为 4.77MHz，那么，它的一个时钟周期是多少？一个基本总线周期为多少？

一个总线周期是 CPU 通过总线与外部 (MEM/I/O 口) 进行一次通讯所需要的时间。4 个。

0.21us (1/4.77)。0.84us (4/4.77)。

4、说明 A/D 转换的逐次逼近法原理。逐次逼近法的转换时间与哪些因素有关？

逐次逼近法是在 AD 内部使用逐次逼近寄存器，将该寄存器的值与模拟信号比较，从高位开始逐位设置和调整寄存器内容，最终确定变换结果。转换时间是 A/D 的位数乘以一次转换和比较的时间。

5、说明 IO 端口的两种编址方式，各自对指令系统和硬件有什么要求？

与内存统一编址和独立编制。独立编址需要单独的 IO 指令，总线需要独立的 IO 访问控制或指示信号。统一编址没有这些要求。

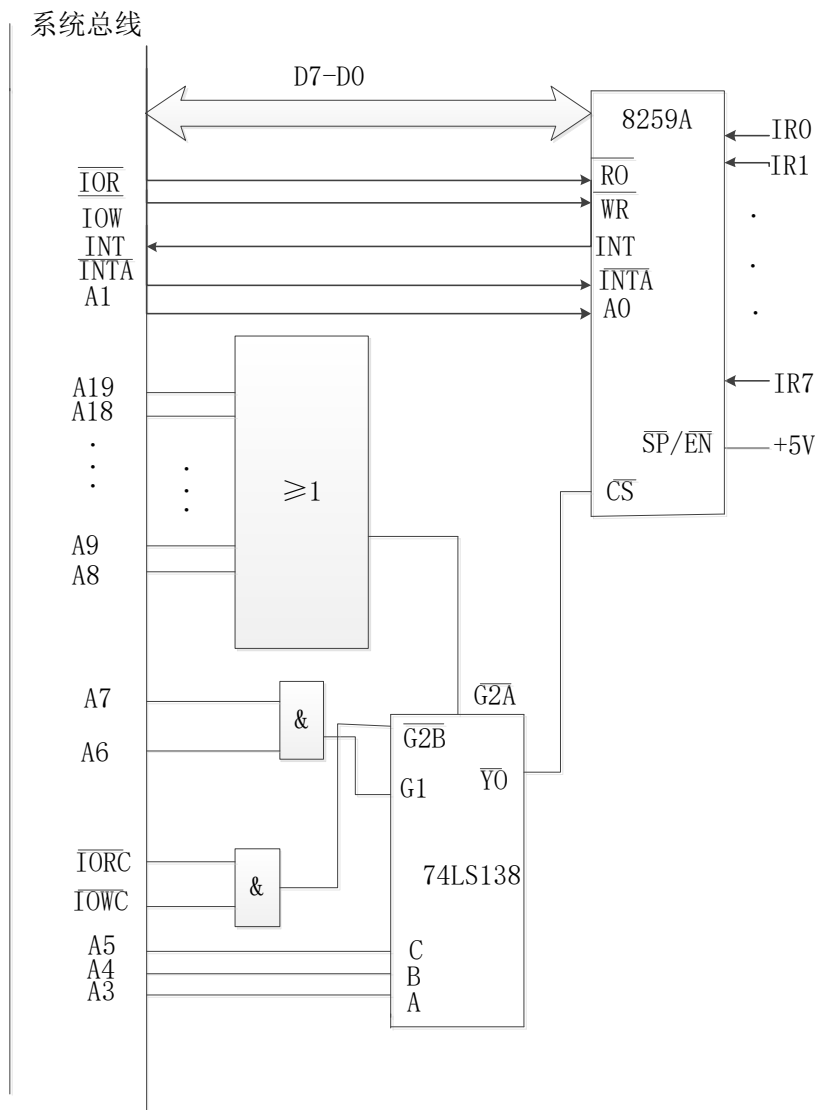
6、说明 DMA 的工作原理，简述外设、DMAC、CPU 的交互过程。

DMA 由 DMAC 控制系统，直接在内存和 IO 设备之间进行数据传递。

外设向 DMAC 发出请求（DRQ），DMAC 向 CPU 发出 HOLD，CPU 回应 HLDA，DMAC 向外设发出 DACK。

五、接口综合题（共 20 分）

1. 接口电路如图，请回答如下问题（6 分）：



(1) 题目中，8259A 的地址范围是多少？写出对应的全部地址空间。（2 分）

000C0H, 000C2H

000C1H, 000C3H

000C4H, 000C6H

000C5H, 000C7H

(2) 主程序片段如下，则 IR2 上的某外设中断源对应的中断向量号多少？（2 分）

4AH

```
STAR:      MOV    DX, ADDR1      ; ADDR1 为使 8259A 的引
           ; 脚 A0=0 的地址
           MOV    AL, 13H        ; ICW1 赋值
```

```

OUT    DX, AL
MOV    DX, ADDR2      ; ADDR2 为使 8259A 的引脚
A0=1 的地址
MOV    AL, 48H        ; ICW2 赋值
OUT    DX, AL
MOV    AL, 00000001(01H), 或 00000101(05H) (A) ;
ICW4 赋值
OUT    DX, AL

```

(3) 对应于上述主程序，IR2 上的中断源对应的中断程序如下，请补充填写其中的程序语句，完成数据输入功能。（2 分）

```

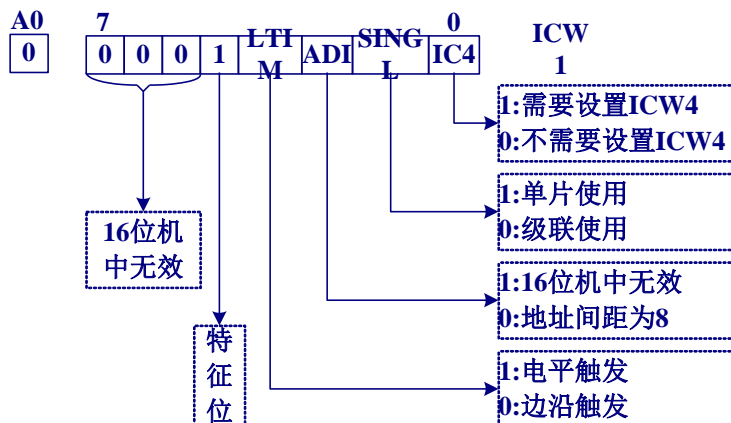
my_int    proc far
           push ax
           sti
           ...
           <中断服务程序主体>

           pop ax
           mov al, 20h
           out ADDR1, al      ; 写 OCW2

           iret
my_int    endp

```

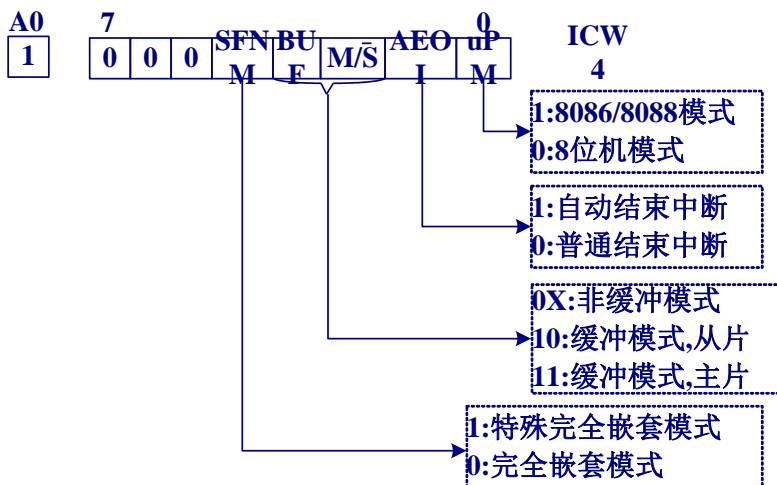
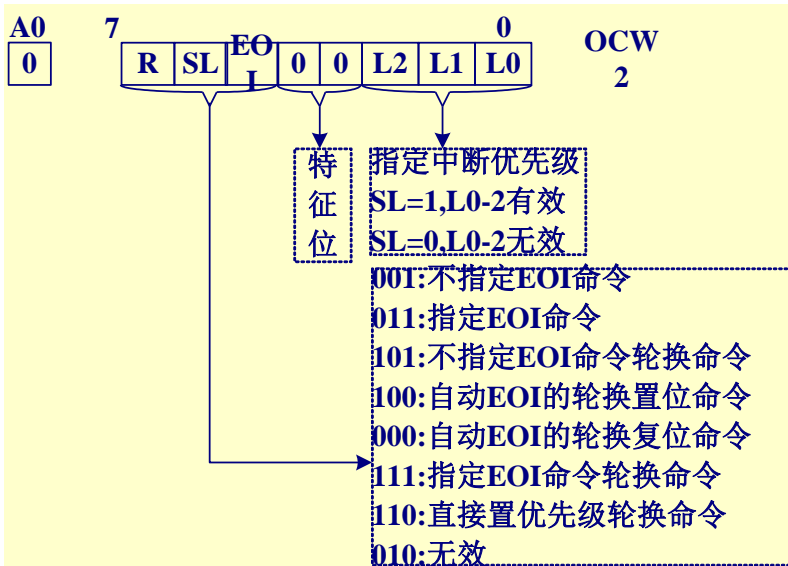
附： ICW1、 ICW2、 ICW4、 OCW2 说明





中断类型
的高5位

000 IR0
001 IR1
:
:
:
111 IR7



2. PC 总线和 A/D 转换接口电路如下图，图中信号均是 PC（8 位）总线信号。
请回答下面问题：（6 分）

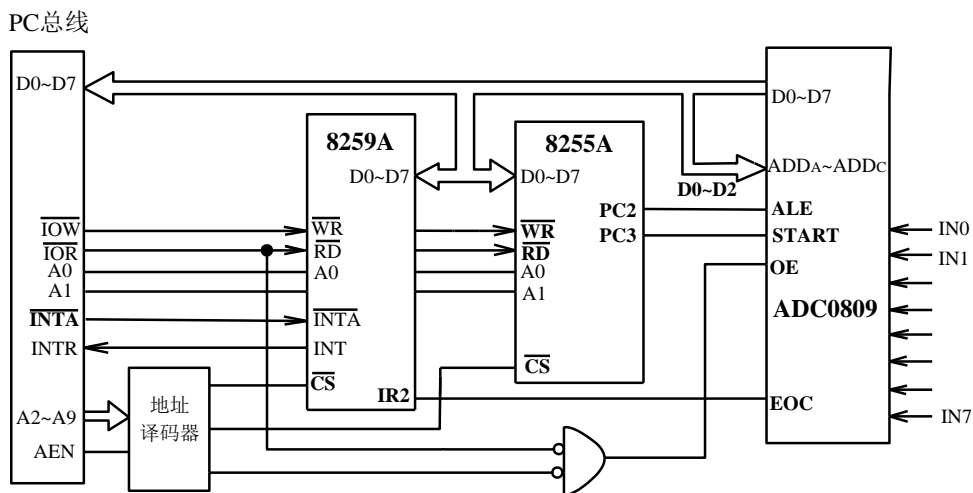


图2 PC总线与A/D转换接口电路

其中：AEN：地址允许信号，输出，高电平有效。AEN=1，表明处于 DMA 控制周期；AEN=0，表示非 DMA 周期。

（1）中断控制器 8259A 和并行接口 8255A 各有几个端口地址？各芯片内地址有无重叠？（2 分）

8259A 和 8255A 各有 4 个端口地址；8259A 内部有地址重叠，重叠两次；而 8255A 没有地址重叠。

（2）图中并行接口 8255A 的 C 口低 4 位应工作在什么方式？（1 分）
C 口低 4 位工作于方式 0 的输出方式。

（3）如何控制 A/D 转换开始？若 8255A 的口地址是 20H~23H，编写一段完成 A/D 转换开始的程序。（2 分）

CPU 先在数据线 D2~D0 上发送一个 IN0~IN7 中某个通道的地址，选择一个模拟通道，再让 8255A 的 C 口的 PC2、PC3 输出高电平即可使 A/D 开始转换。

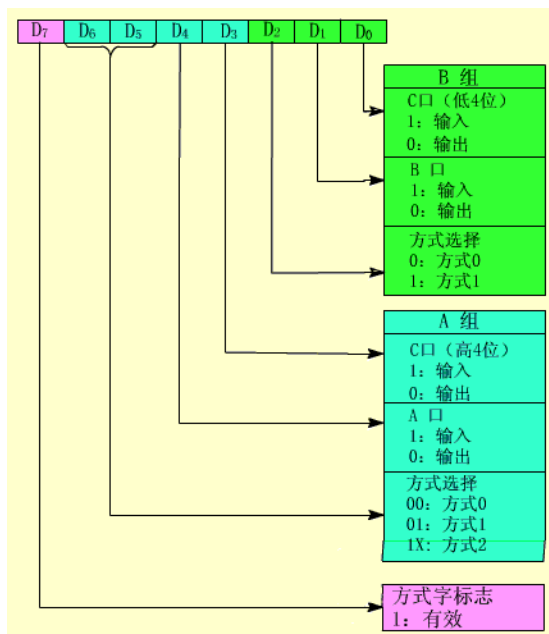
程序如下：

```
MOV AL, 1XX0X0B ; X 表示 0 和 1 都可以。
OUT 23H, AL ; 写入方式字
MOV AL, 0CH ; (00001100B) 使 PC2、PC3 为高电平
OUT 22H, AL ; 把 0CH 写入 C 口。可使 A/D 转换开始
```

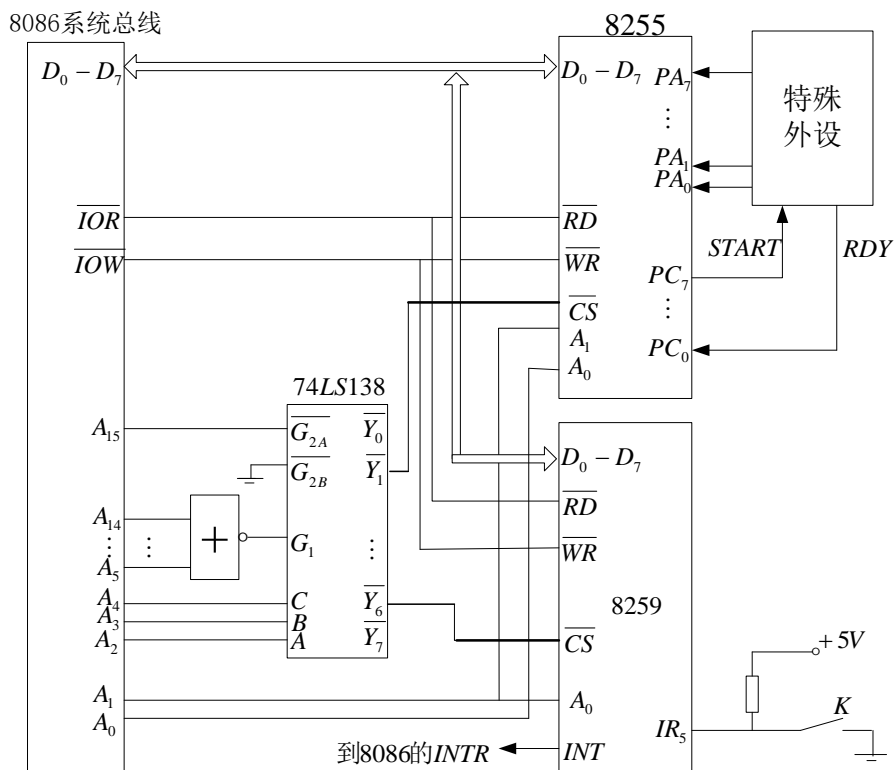
（4）CPU 如何知道 A/D 转换结束？CPU 何时以及如何读取转换好的数据？（1 分）

从图中可知 A/D 转换结束信号为 EOC，该信号接到 8259A 的 IR2，所以 CPU 发现中断请求后就可知 A/D 转换结束。CPU 在中断响应后，转入 IR2 的中断服务程序既可读取 A/D 转换好的数据。

附：8255A 方式选择控制字



3. 根据以下连接示意图回答问题。（8 分）



注：图中

- (a) 8086 系统总线的地址信号 $A_5 \dots A_{14}$ 经过或非门后的输出接至 74LS138 的 G_1 端；
- (b) 图中有一特殊外设，其发送的数据送到 8255 的 PA 引脚端，但其发送数据有如下要求：需由人手动控制，即只有在开关 K 每次从合上到断开后才允许其发送一个 8 位的数据给 8255；另外当 START 端有下降沿出现时，启动该设备发送数据，当 RDY 端为高电平时，表明 8255 的 PA 端含有该外设新发的数据。

若需将该特殊外设发来的数据填满所指定的 BUF 缓冲区，某人编写了如下程序：

```
DATA    SEGMENT
BUF     DB 10 DUP(?)
DATA    ENDS
```

```
CODE    SEGMENT
        ASSUME CS: CODE, DS: DATA
        PORT8259EV EQU (1) 18H
```

； 8259 端口地址

之一

；（当其引脚 $A_0=0$ 时）

```
        PORT8259OD EQU (2) 1AH
```

； 8259 端口地址

之一

; (当其引脚 A0=1 时)

址

PORT8255PA EQU (3) 04H ; 8255 端口 A 地

址

PORT8255PC EQU (4) 06H ; 8255 端口 C 地

地址

PORT8255CTRL EQU (5) 07H ; 8255 控制端口

```
INITINT PROC NEAR
        CLI
        ... ; 初始化 8259 (IR 端上升沿触发等), 不屏蔽 IR5
        ; 填写中断向量(INTSRV)等等 (具体代码此处略去)
        RET
INITINT ENDP
```

8255

```
START:  MOV AX, DATA
        MOV DS, AX
        MOV AL, 91H ; 8255 端口 A 及 C 方式 0, A 口输入
        ; C 口高 4 位输出, 低 4 位输入
        OUT (6) PORT8255CTRL, AL ; 初 始 化

        CALL INITINT

        MOV AL, 0FH
        OUT PORT8255CTRL, AL
        MOV SI, OFFSET BUF
        MOV CX, 10
        STI
LCONT:  CMP CX, 0
        JNZ LCONT
        IN AL, PORT8259OD
        OR AL, 20H
        OUT PORT8259OD, AL ; 屏蔽 IR5 中断
        MOV AH, 4CH
        INT 21H ; 返回 DOS

INTSRV  PROC FAR
        CALL RECVDATA ; (7)
```

```

MOV AL, 20H
OUT PORT8259EV, AL      ; 发送 EOI（中断结束）命令
IRET
INTSRV    ENDP

CODE      ENDS
END START

```

（1）上述程序(1)(2)(3)(4)(5)(6)处缺写的内容分别是什么？（3分）

见题目中

（2）完整编写出在上述程序(7)处所调用的子程序（RECVDATA）。（5分）

子程序：

```

RECVDATA    PROC NEAR      ; 属性也可为 FAR
CMP CX, 0
JNZ CHECK
RET          ; 前三条语句不写也算对

CHECK:      MOV AL, 0EH
OUT PORT8255CTRL, AL
MOV AL, 0FH
OUT PORT8255CTRL, AL      ; 产生启动信号给外设
IN AL, PORT8255PC
TEST AL, 01H      ; 检测 PC0 是否为 1（是否准备好）
JZ CHECK        ; 未准备好则等待
IN AL, PORT8255PA      ; 数据从 A 口读入
MOV [SI], AL
INC SI          ; 修改指针，指向下一个字符
DEC CX          ; 字符数减一
RET

RECVDATA    ENDP

```