Факультет программной инженерии и компьютерной техники

Функциональная схемотехника

Лабораторная работа № 2

Вариант № 4

Выполнил: Зиновичев Е. С.

Группа: P33112

Санкт-Петербург

2022 г

**Цель работы**

Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

**Задание**

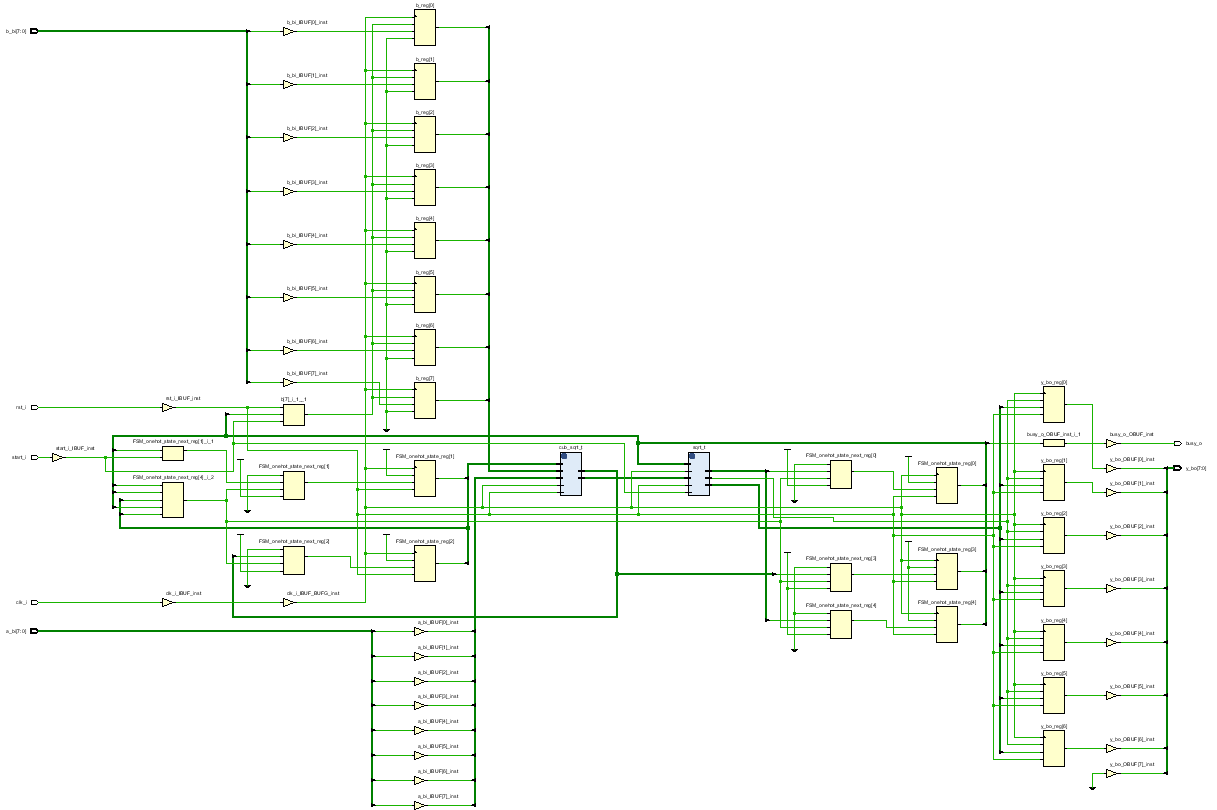
Вариант 4.



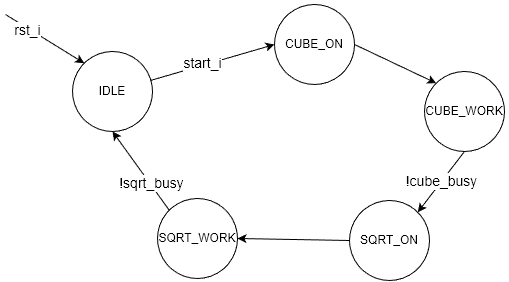
2 сумматора и 1 умножитель

**Описание работы разработанного блока.**

Разработанный блок содержит 2 модуля: квадратный и кубический корни. При подаче на вход rst\_i 1 схема переходит в состояние IDLE, при подаче start\_i - начинает свою работу, переходя в состояние CUBE\_ON для включения схемы кубического корня. Далее осуществляется переход в CUBE\_WORK, где происходит непосредственная отработка схемы кубического корня, а после аналогичные действия выполняются с вычислением квадратного корня. Схема возвращается в состояние IDLE после полной ее отработки.



**Cхема конечного автомата для разработанной функции.**

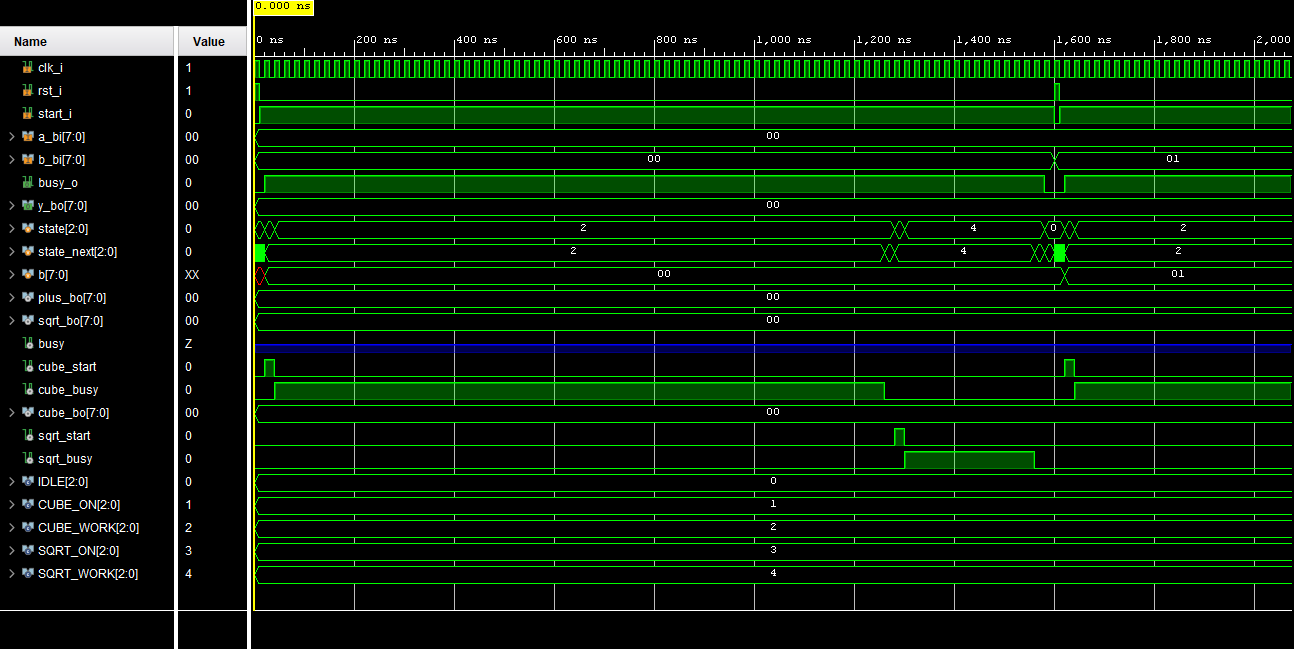


**Область допустимых значений.**

a ∈ [0; 256), b ∈ [0, 256)

y ∈ [0; 256)

**Результат тестирования.**



**Выводы.**

При выполнении данной лабораторной работы я научился проектировать схемы с использованием Verilog и конечных автоматов. Выяснил для себя, что отладка таких схем достаточно трудоемкий и сложный процесс.