

Úvod do paralelních systémů a moderních procesorů

INP 2019



Proč paralelní přístup?

- Paralelní přístup je nutný pro řešení **složitých úloh**, které vyžadují vysoký výpočetní výkon.
 - paralelní počítání (na vhodně propojených počítačích běží paralelní algoritmus)
- Stávající **technologická omezení** nutí pro zajištění co nejvyšší výkonnosti používat paralelní přístup na všech úrovních (instrukcí, dat, vláken atd.)
 - Jednoprocesorové systémy potřebují k navýšení výkonnosti neúměrně vysoký příkon.
 - Vícejádrové procesory poskytují pro daný povolený příkon vyšší výkonnost.

Obsah

- Paralelní přístup z pohledu praxe
- Moderní procesory – přehled vývoje architektur
 - Skalární
 - Superskalární
 - Vícevláknové
 - Vektorové
- Technologické důvody pro zavedení paralelismu na vyšších úrovních
 - Proč nestačí jedno jádro?
 - Vícejádrové procesory
- Distribuované systémy
 - Základní koncepty architektury
 - Propojovací sítě a jejich topologie
 - Vliv architektury na výkonnost paralelního systému

Podrobně je problematika paralelních systémů a moderních počítačových architektur probírána v navazujícím magisterském studiu.

Klasifikace procesorů

- Architekturu procesoru charakterizují parametry:
 - m - počet instrukcí, které se v jednom okamžiku **vydávají** ke zpracování
 - r - počet současně prováděných (rozpracovaných) instrukcí
- **Subskalární procesory** (von neumannovské) $r = 1, m = 1$
 - doba provádění programu je součtem dob trvání jednotlivých instrukcí.
 - nová instrukce může být vydána až po dokončení předchozí.
- **Skalární procesory** $r > 1, m = 1$
 - využívají **řetězené zpracování instrukcí**, kdy je v každém taktu vydávána maximálně jedna instrukce, ale současně jich může být rozpracováno několik.
- **Superskalární (vícecestné) procesory** $r > 1, m > 1$
 - vydávají k zpracování více než jednu instrukci v jednom taktu
 - obvykle kombinováno s řetězeným zpracováním

Techniky paralelismu

Funkční paralelismus

- na úrovni instrukcí (ILP – Instruction level Parallelism)
 - Pipelining, vícecestné zpracování
- na úrovni vláken (TLP – Thread Level Parallelism)
 - Vícevláknové procesory
- na úrovni procesorů (jader)
 - Vícejádrové procesory

Datový paralelismus

- provádění stejných operací nad různými daty → **vektorové zpracování** (SIMD – Single Instruction, Multiple Data)
- V současných procesorech implementován jako specializované **sady instrukcí**: SSE, AVX, dříve např. MMX (Intel), 3DNow (AMD) apod.

SIMD v současných procesorech

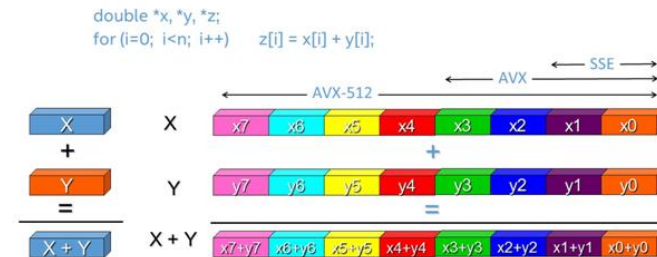


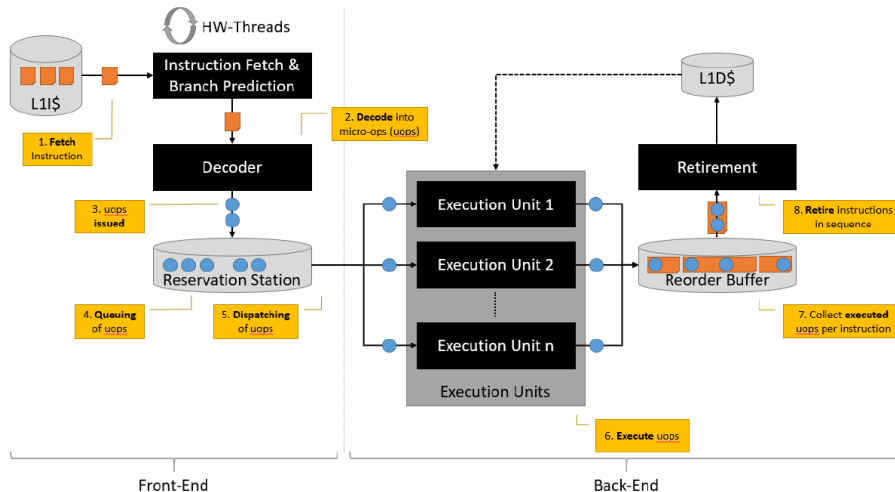
Figure 1 Scalar and vectorized loop versions with Intel® SSE, AVX and AVX-512.

Namísto jednoho součtu získáme až 8 součtů v jednom kroku.

5

6

Generický superskalární procesor



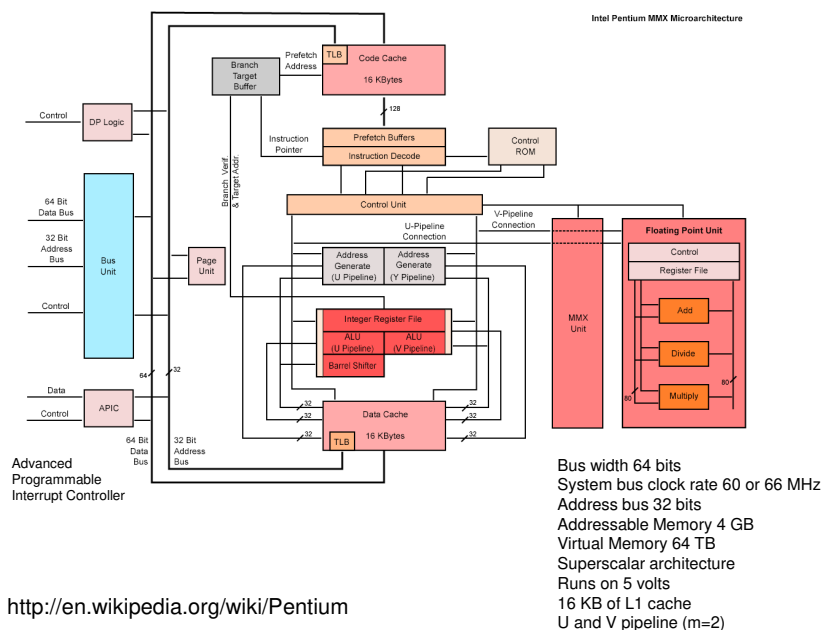
Moderní procesory mají hluboké řetězené jednotky (vč. fetch/retire):

- 486 (3), P5 (5), Pentium III (15), Pentium 4 (31), Pentium M (14)
- Haswell (16), Skylake (16), Broadwell (16)

Superskalární procesory

- m-cestný** (řetězený) procesor
 - Dovoluje vydávat v jednom taktu až m instrukcí.
 - Podporuje řetězené zpracování instrukcí, kdy se využívá několik paralelně pracujících linek (paralelní načítání, paralelní dekódování instrukcí atd.)
 - Mezi stupni řetězené linky jsou vícemístné **buffery** namísto registrů.
- Data-flow** zpracování - rozpracované instrukce, které čekají na operandy, je možné odložit do bufferu a probudit je, až budou operandy připraveny.
- Provádění instrukcí má tři části
 - Načtení/dekódování/rozesílání (pořadí instrukcí dodrženo)
 - Provedení instrukcí v paralelně pracujících linkách
 - Dokončení vykonávání (podle pořadí instrukcí)
- Charakteristika
 - Dynamické plánování instrukcí
 - Provádění instrukcí mimo pořadí
 - Spekulativní provádění skoků (Branch Target Buffer)
 - Pokročilé řešení konfliktů ILP – přejmenování registrů (HW podpora), přeskládání instrukcí, pokročilý přístup do cache atd.

Př. Intel Pentium (1993)



<http://en.wikipedia.org/wiki/Pentium>

9

Superskalární procesory - omezení

- Superskalární přístup dosáhl svých mezí
 - Výkonnost = $IPC \times f$
 - IPC (Instructions Per Clock) a f [MHz] jdou proti sobě!
 - Vysoký IPC (až 6) => složitý HW => nízká f
 - Vysoká f => jednodušší HW => nízké IPC
 - Pro $m > 4$ až 8 již většinou nemá smysl (zrychlení je $< 3\times$)
 - Zvyšování f je nevýhodné z hlediska příkonu - plánované projekty superskalárních procesorů s vysokými kmitočty (9,2 GHz a 10,2 GHz firmy Intel) byly opuštěny pro vysoký příkon
- Pro srovnání: výkonnost skalární koncepce
 - Výkonnost = f / CPI
 - CPI – Clocks Per Instruction
- Další vývoj: vícevláknové a vícejádrové procesory

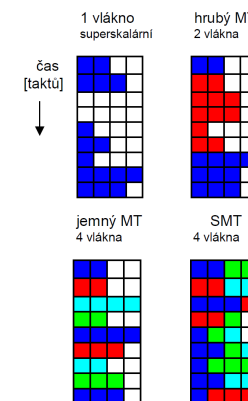
10

Multivláknové procesory

- Vlákno (thread) je posloupnost instrukcí vyžadující určitý adresový prostor a čas CPU. Vlákna jsou (oproti procesům) lehká, přepnutí kontextu je rychlejší, kopíruje se méně dat.
- Vlákna tvořená v rámci procesu sdílí jeho adresový prostor a další prostředky – kód, hromadu aj. K vláknu patří jen ukazatele IP a SP (instruction pointer, stack pointer), PSW (program status word) včetně myid a priority, sada registrů a zásobník.
- Nejčastěji je to programátor, kdo explicitně vlákna vytvoří při paralelizaci programu.
- Multivláknový provoz (MT - MultiThreading)
 - Časový – vlákna se střídají na jednom CPU (TMT)
 - Prostorový – vlákna běží paralelně v multiprocesorovém systému se sdílenou pamětí (P procesorů / P vláken)
 - Časoprostorový (na P procesorech běží R vláken a $R > P$)

Multivláknové procesory

- Z pohledu HW
 - Prostředky sdílené vlákny:
 - Procesor, cache, prediktory skoků
 - Prostředky replikované pro každé vlákno
 - Sada registrů, PC, SP, PSW, řadič přerušení
 - Je třeba dodat nový HW – např. pro výběr vlákna
- Techniky TMT
 - Hrubý MT
 - Jedno vlákno běží řadu taktů, k přepnutí kontextu dochází pouze při výskytu události s dlouhou latencí, která by vedla k zastavení linky.
 - Jemný MT
 - každém taktu se přepíná na jiné vlákno (prokládání vláken).
 - SMT, souběžný (současný) MT (Simultaneous Multithreading).
 - V každém taktu přepíná kontext několika vláken současně, protože v jednom taktu se zpracovávají instrukce z několika vláken.



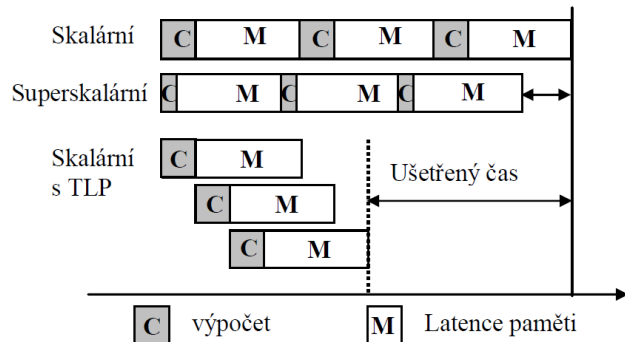
4-cestný superskalární CPU (cesta = sloupec)
vlákna jsou odlišena barevně
bílá = nic se neděje

11

12

Multivláknové procesory

- Podpora více vláken v HW je asi nejzajímavější technika pro překlenutí vysoké latence přístupu do paměti.
 - Musí však existovat dostatek vláken.
 - Doba přepnutí vlákna (přepnutí kontextu) musí být krátká.
 - Na obrázku je porovnání typického výpočtu pro různé architektury:



13

Př. Počet vláken pro TMT

- Jestliže chceme tolerovat latenci přístupů do paměti (např. $L = 70$ taktů) multivláknovými CPU, kolik vláken (N) bude třeba pro získání maximální účinnosti, když jedno vlákno běží průměrně $R=10$ taktů a přepnutí kontextu trvá $S = 3$ takty?

$$(N - 1)R + NS \geq L$$

$$(N - 1)10 + 3N \geq 70$$

$$13N \geq 80$$

$$N \geq 6,15$$

$$N \geq 7$$

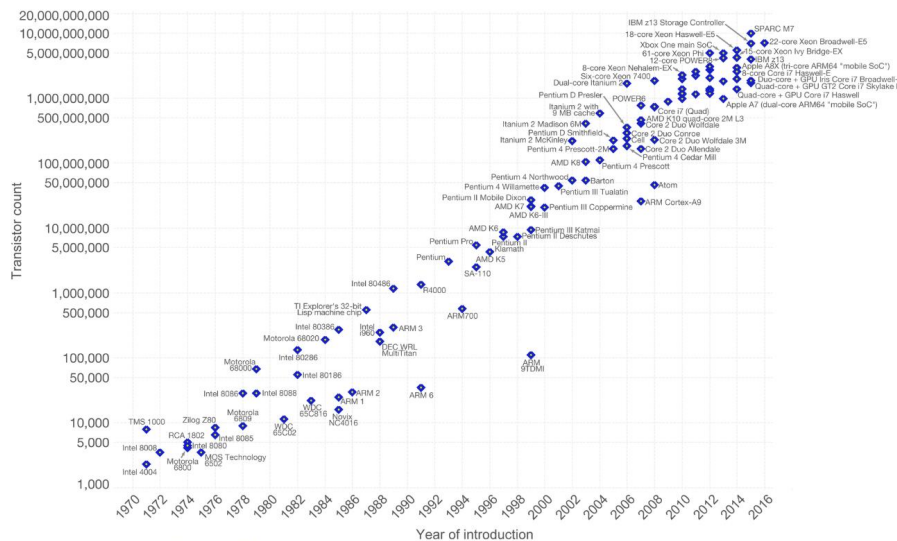
14

Moorův zákon

Moore's Law – The number of transistors on integrated circuit chips (1971-2016)



Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important as other aspects of technological progress – such as processing speed or the price of electronic products – are strongly linked to Moore's law.



Data source: Wikipedia (https://en.wikipedia.org/wiki/Transistor_count)
The data visualization is available at OurWorldinData.org. There you find more visualizations and research on this topic.

Licensed under CC-BY-SA by the author Max Roser.

15

Trendy v oblasti vývoje výpočetních systémů

International Technology Roadmap for Semiconductors, www.itrs.net

- ITRS - předpovídá vývoj různých parametrů v oblasti polovodičů a jejich aplikací
- Zde je ukázka (mylné) předpovědi pracovní frekvence procesorů z r. 2008 a 2011.

Předpověď 2008

Předpověď 2011

Year of Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018
Chip Frequency (MHz)	5.454	5.875	6.329	6.817	7.344	7.911	8.522	9.180	9.889	10.652
On-chip local clock -- WAS										
Chip Frequency (MHz)	3.462	3.600	3.744	3.894	4.050	4.211	4.380	4.555	4.737	4.927
On-chip local clock -- 2011 IS*										

Předpověď 2008

Předpověď 2011

Year of Production	2019	2020	2021	2022	2023	2024	2025	2026
Chip Frequency (MHz)	11.475	12.361	13.315	14.343	15.451	16.640	-	-
On-chip local clock -- WAS								
Chip Frequency (MHz)	5.124	5.329	5.542	5.764	5.994	6.234	6.483	6.743
On-chip local clock -- 2011 IS*								

Zdroj: ITRS 2011 Executive Summary, www.itrs.net

16

Vývoj technologie

- Dennard scaling:** Po desetiletí bylo možné zvyšovat hustotu integrace (zmenšovat tranzistory) a zvyšovat frekvenci. Snížením napájecího napětí byl zajištěn akceptovatelný příkon.

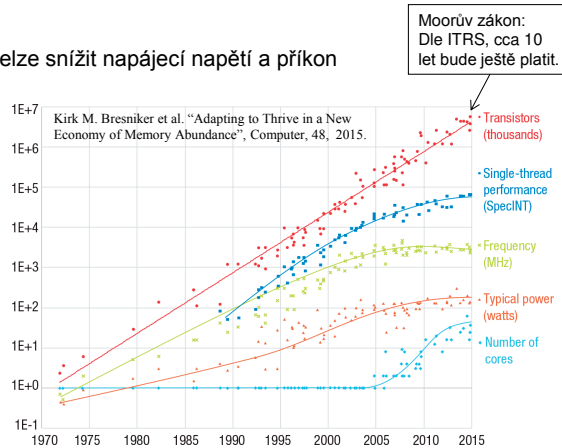
- Od roku cca 2005:

- frekvenci nelze zvyšovat, nelze snížit napájecí napětí a příkon
- vícejádrové procesory běžící na nižším kmitočtu
- inteligentní řízení příkonu

- Fenomén: **Dark silicon**

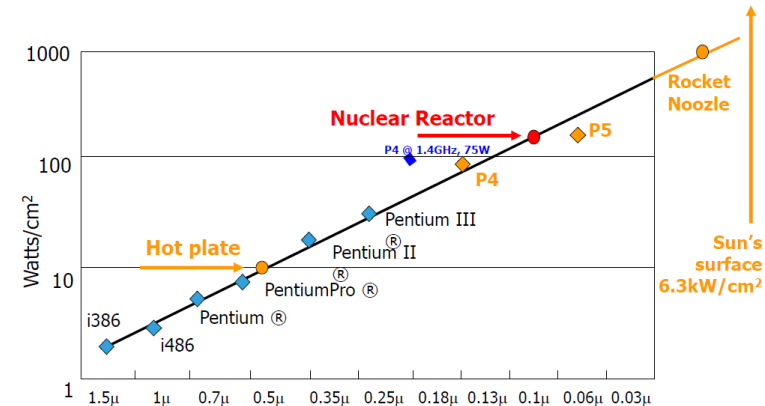
- na čipu je mnoho tranzistorů, ale jen část může být současně využita, jinak čip shoří

- Vyšší výkonost lze dosáhnout zvýšením stupně paralelismu v počítačové architektuře



17

Vyzařovaný výkon



Důležitý parametr procesoru:

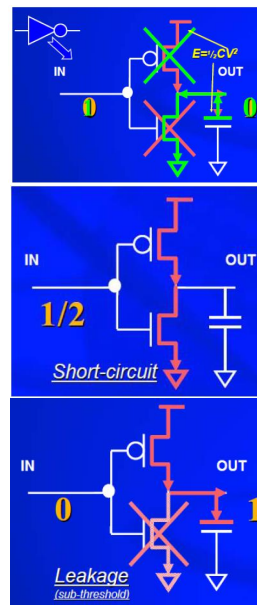
Thermal Design Power (TDP) nejvyšší možný tepelný výkon, který musí chlazení počítače umět odvést. U elektroniky bez mechanicky se pohybujících částí se ztrátové teplo prakticky rovná spotřebované energii.

18

Příkon na úrovni mikroarchitektury

Celkové ztráty v technologii CMOS způsobují:

- přepínací ztráty
- ztráty zkratovým proudem
- ztráty svodovým proudem



J. Jaroš, AVS 2019

19

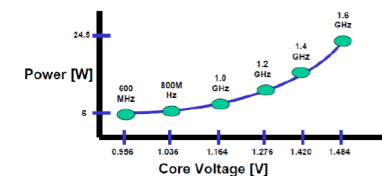
Celkový ztrátový výkon

$$P_{device} = \underbrace{\frac{1}{2} C \cdot V_{DD} V_{swing} a \cdot f}_{\text{Přepínací ztráty}} + \underbrace{I_{leakage} V_{DD}}_{\text{Ztráty klidovým proudem}} + \underbrace{I_{SC} V_{DD}}_{\text{Ztráty zkratovým proudem}}$$

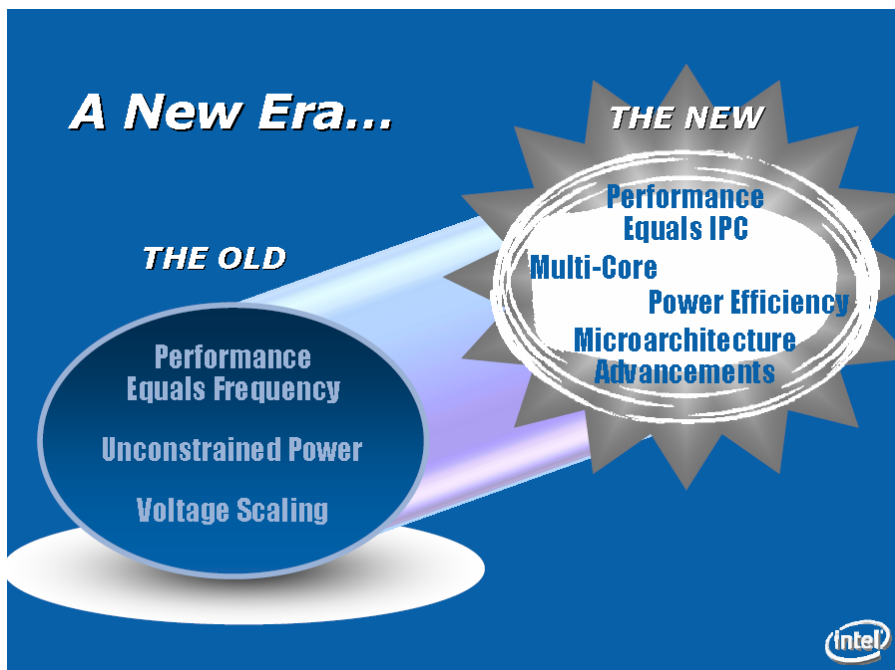
- C je kapacita na výstupu tranzistoru
- V_{DD} je napájecí napětí
- f je hodinový kmitočet čipu
- a je faktor aktivity ($0 < a < 1$)
- V_{swing} je napěťový rozkmit na výstupní kapacitě
- $I_{leakage}$ je klidový proud
- I_{SC} je zkratový proud

Nejdůležitější metodou redukce příkonu je tedy

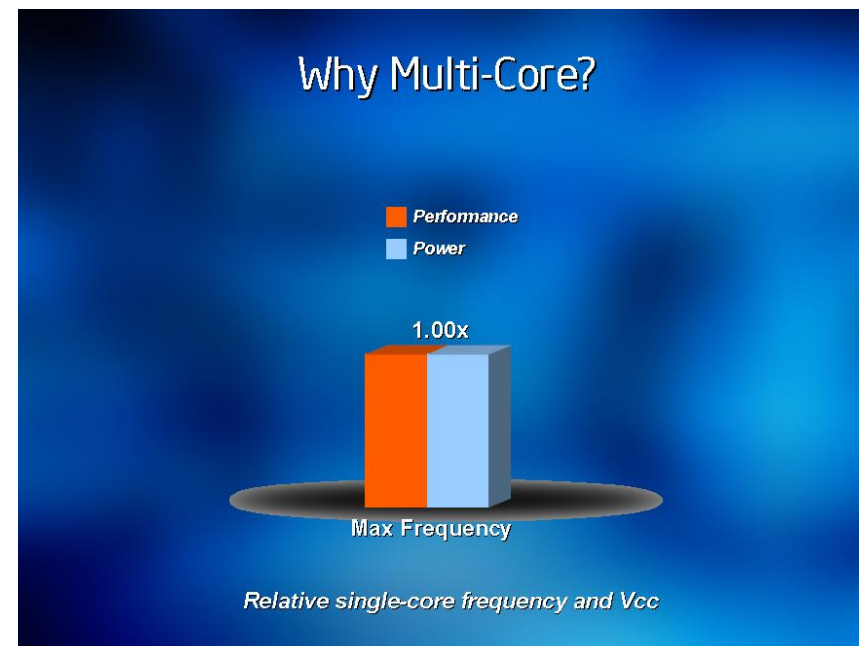
- Snížování napájecího napětí
- Snížování frekvence



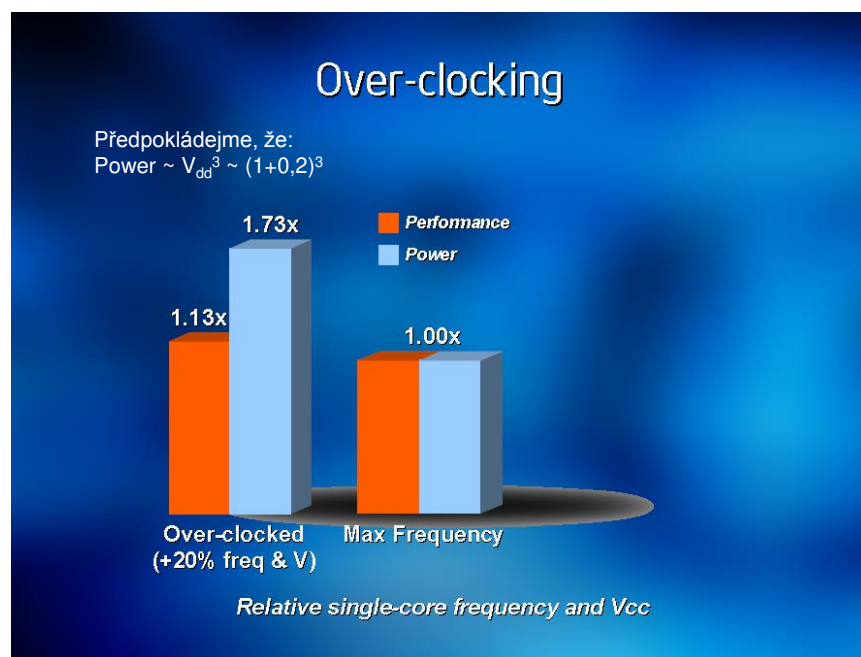
J. Jaroš, AVS 2019 20



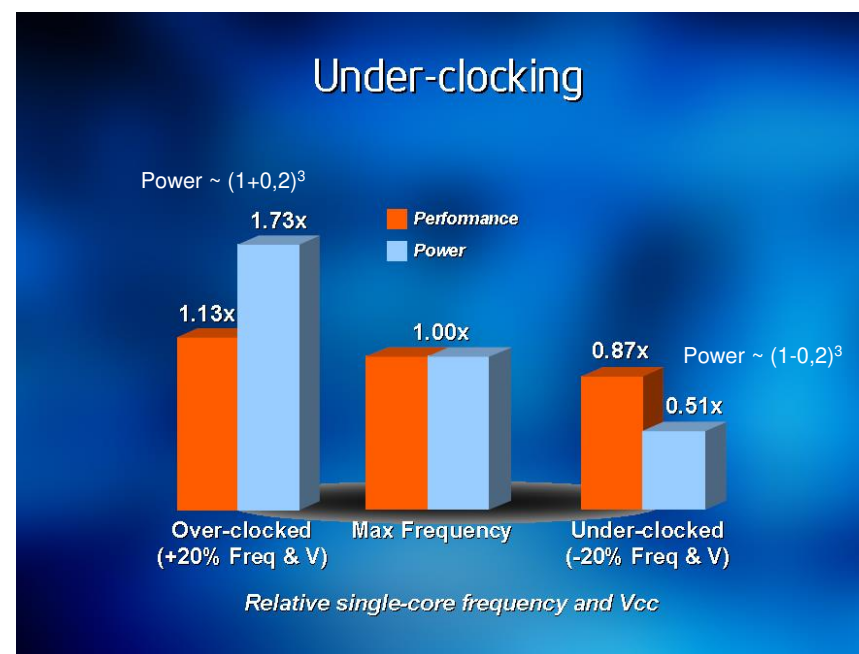
21



22



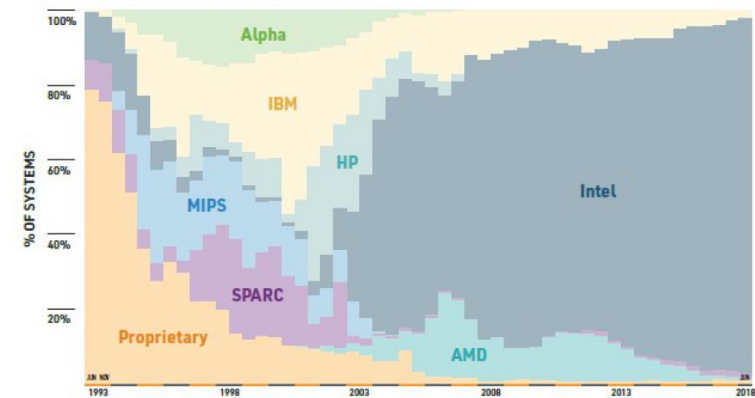
23



24

Nejvýkonnější počítače: Top 500

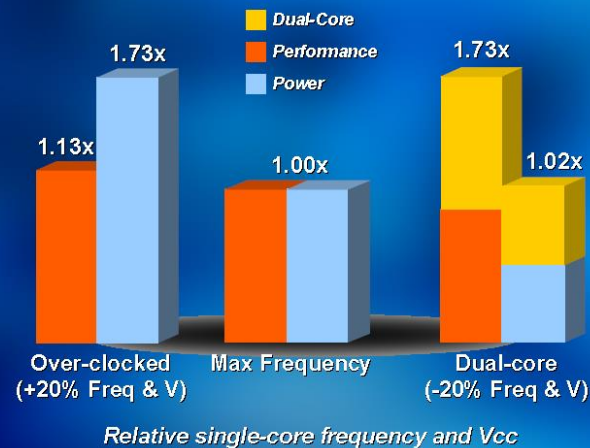
CHIP TECHNOLOGY



(Image: thenextplatform.com)

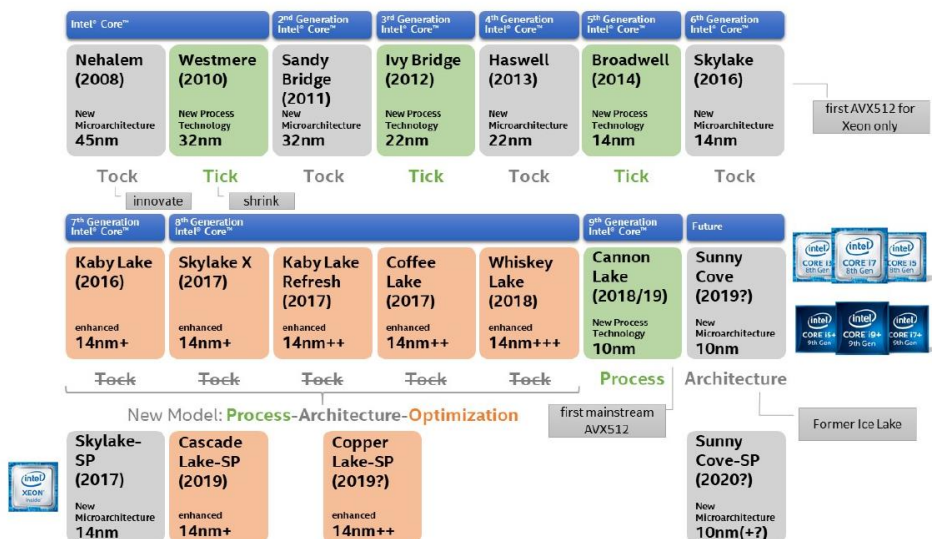
Více než 90% systémů je založeno na architektuře Intel.

Multi-Core Energy-Efficient Performance



25

Intel Architecture Roadmap



27

Superskalární mikroarchitektury Intel

- P5 (1993)
 - první superskalární IA-32 mikroarchitektura
 - In Order, dvojitá integer pipeline (U a V), 5 stupňů
 - Dokončují až 2 instrukce/takt. Kompilátor plánoval dvojice staticky.
- P6 (1995)
 - Out Of Order (OOO), zavedeno super-řetězení (14 stupňů)
 - Procesory: Pentium Pro, Pentium II, III; MMX a SSE
 - Modernizovaná P6: Pentium M, Core Solo, Core Duo
- NetBurst (2000)
 - Trace cache, 31 stupňů, SSE2, SSE3, hyper-threading HT, EM64T
 - Procesory: Pentium 4, Pentium D, Xeon
- Core (2006)
 - Nižší příkon, 14 stupňů pipeline, 65 nm, multi-core, SSE3, Intel 64
 - Procesory: Pentium dual core, Celeron, Xeon, Core 2
- Nehalem (2008): řady: i3, i5, i7
 - 45 nm, HT, L3C, Quick Path, integrované MemCtrl, bufer μ ops
 - 32 nm Nehalem = Westmere: IGP (Integrated GPU)

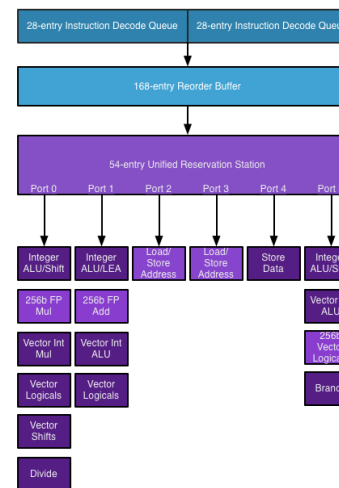
J. Jaroš, AVS 2019 28

Superskalární mikroarchitektury Intel (pokr.)

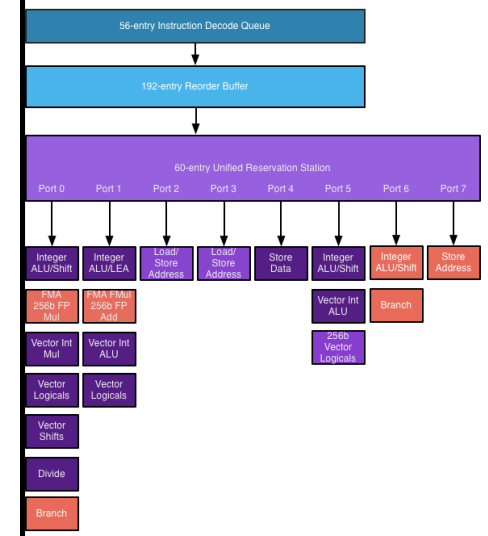
- Sandy Bridge 2010
 - 32 nm, AVX 256 bitů, μ op-cache, HT.
 - 22 nm Sandy Bridge = Ivy Bridge: 3D-tranzistor.
- Haswell 2013
 - 22 nm, 4 ALU, 3 AGU, 2 jednotky predikce skoků, AVX2, FIVR (Fully Integrated Voltage Regulator)
 - 35 - 40 MB LLC. Server procesory až 20 jader, možnost rozdělit jádra do 2 uzlů NUMA (COD, cluster on die)
 - 4 verze integrované GPU (až 40 EU), TDP 35-140 W.
 - 14 nm Sandy Bridge = Broadwell
- Skylake 2015:
 - 14 nm, 4 typy Y, U, H a S (TDP 4 - 95W) integrovaná L4 eDRAM cache (64/128 MB), podpora DDR3/4,
 - Kabylake 14 nm, optimalizované Skylake, podpora kódování a dekódování 4K videa odlehčí CPU.
- SunnyCove (2019)

Vybrané mikroarchitektury Intel

Intel Sandy Bridge Execution Engine



Intel Haswell Execution Engine



<http://www.anandtech.com/show/6355/intels-haswell-architecture/8>

J. Jaroš, AVS 2019 29

30

Multithread, multicore - shrnutí

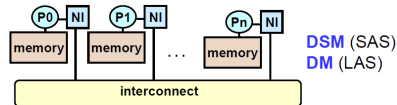
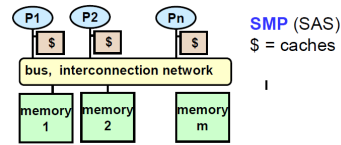
- Podpora vícevláknového zpracování (multitasking, multithreading) může mít různou podobu
 - Přepínání úloh pouze z **úrovně OS** – dnes se již samostatně téměř nepoužívá
 - Přepínání s **podporou HW CPU** – nejedná se o paralelní zpracování, úlohy běží v časovém multiplexu (hrubý/jemný MT)
 - Vícecestné procesory** – souběžný MT, výhradně s HW podporou CPU, paralelní vykonávání instrukcí různých úloh (pokud je to možné – sdílení určitých komponent CPU)
 - Vícejádrové procesory** – každé jádro může autonomně spouštět různé úlohy (vlákna nebo i procesy).
Běžně se používá v kombinaci s dříve uvedenými přístupy.
- Komunikace mezi vlákny se provádí přes sdílenou paměť.**
- Programování nejčastěji pomocí OpenMP (C/C++)

Koncepty paralelního zpracování

- Procesory **nekomunikují** (nejedná se úplně o paralelizaci)
 - Mohu spustit současně více různých úloh, každou na jednom procesoru
 - Mohu spustit stejnou úlohu na n procesorech, ale s jinými parametry (např. program pro předpověď počasí s různým nastavením počátečních podmínek – zrychlení n -krát oproti sekvencnímu počítači)
- procesory **komunikují** (spolupracují) za účelem vyřešení složité úlohy v rozumném čase, jedná se o skutečně **paralelní systém**
 - Paralelní programování** – SW řešení určité úlohy na paralelním systému
 - Procesory společně řeší jednu úlohu, musí být vhodně propojeny
 - Někdy je možné dosáhnout větší zrychlení než v předchozím případě!
 - Příklad: paralelní řazení Enumeration sort (pro k prvků)
 - Pokud je k dispozici k^2 procesorů, je časová složitost $O(\log k)$
 - Příklad: paralelní řazení Bucket sort (pro k prvků)
 - Pokud je k dispozici $\log(k)$ procesorů, je časová složitost $O(k)$

Základní varianty paralelních systémů

- **Se sdílenou pamětí** (shared memory, SM)
 - Obvykle řešeno jako tzv. UMA – uniform memory access, kdy latence přístupu do sdílené paměti je stejná u všech procesorů (SMP – symetrický multiprocessor).
 - Programování pomocí **OpenMP**
 - **Výhoda:** efektivní komunikace
 - **Nevýhoda:** max. pouze ~ 32 procesorů (v závislosti na použité propojovací síti)
- **S distribuovanou pamětí** (distributed memory, DM)
 - Každý procesor má svoji (privátní) paměť
 - Programování (komunikace) pomocí knihovny zasílání zpráv (MPI – Message Passing Interface), případně přes síťové sokety
 - **Výhoda:** škálovatelnost
 - **Nevýhoda:** vyšší komunikační režie
- **Se distribuovanou sdílenou pamětí** (distributed shared memory, DSM)
 - Obvykle řešeno jako tzv. CC-NUMA (cache coherent non-uniform memory access)



Propojení víceprocesorových systémů

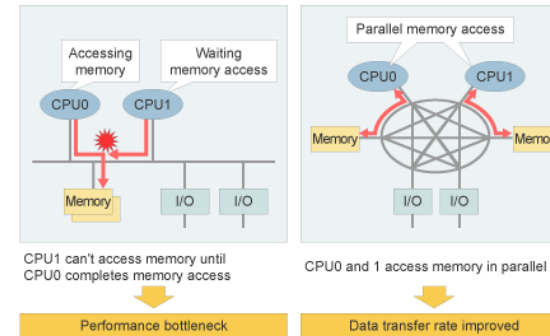
- Komunikace mezi procesory a přístup ke sdíleným prostředkům jsou realizovány přes **propojovací síť**

např. sběrnice,

úplné propojení,

Xbar apod.

(viz dále)



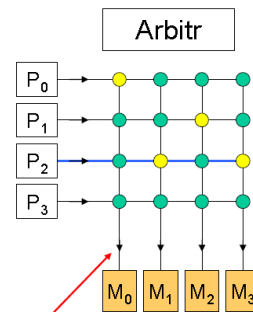
<http://www.fujitsu.com/global/services/computing/server/sparcenterprise/technology/performance/crossbar.html>

33

34

Křížový přepínač (X-bar)

- Propojení 1:1 mezi vstupy a výstupy.
- Je možné propojit 1 vstup k několika výstupům.
- Více vstupů k jednomu výstupu se připojit nesmí.
- Je nutné použít arbitr.
- Cena: p^2 přepínačů (řešení založeno na multiplexorech) – drahé řešení
- Použití: propojení procesorů s procesory nebo paměťovými moduly



Zahlit sběrnici není obtížné

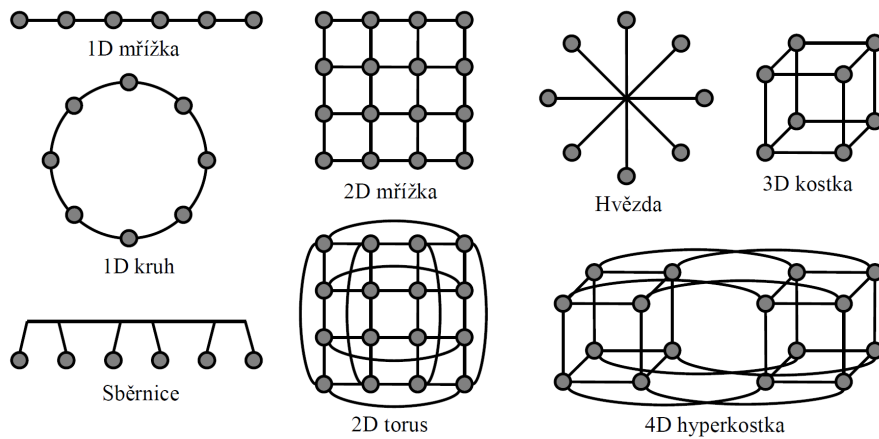
- Uvažme procesory (každý s I-cache a D-cache) propojené navzájem sběrnici a připojené k paměti
 - Hit rate $h_i = 98\%$ v I-cache
 - Hit rate $h_d = 95\%$ v D-cache
 - Procesor má výkonnost 250 MIPS
 - Přístup do D-cache potřebuje 1/3 instrukcí (~ 75 MIPS)
- Počet výpadků v I-cache $2\% \times 250 \text{ MIPS} = 5 \text{ M výpadků /s}$
- Počet výpadků v D-cache $5\% \times 75 \text{ MIPS} = 3,75 \text{ M výpadků /s}$
- Celkem 8,75 M výpadků/s
- Při každém výpadku se po sběrnici přenáší blok o velikosti 16B.
- Potřebná šířka pásma je pro každý procesor $8,75 \text{ M výpadků/s} \times 16 \text{ B} = 140 \text{ MB/s}$
- Kolik procesorů zahltí sběrnici, která má propustnost 1GB/s?
- $N = 1000 / 140 \Rightarrow 7 \text{ procesorů}$
- Závěr: Větší počet procesorů nemá smysl propojovat sběrnici!

Způsob propojení procesorů a typ linek má zásadní vliv na výkonnost!

35

36

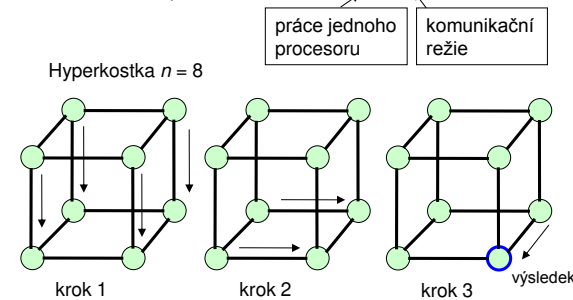
Přímé propojovací sítě – příklady topologií



37

Př. Sečtení k čísel na n procesorech

- Sekvenční řešení: $t_s = k - 1$ kroků
- Paralelní řešení (každý procesor má k/n čísel):
 - Hyperkostka: $t_p = k/n + 2 \log_2 n$ kroků
 - Kruh: $t_p = k/n + 2n/2 = k/n + n$ kroků

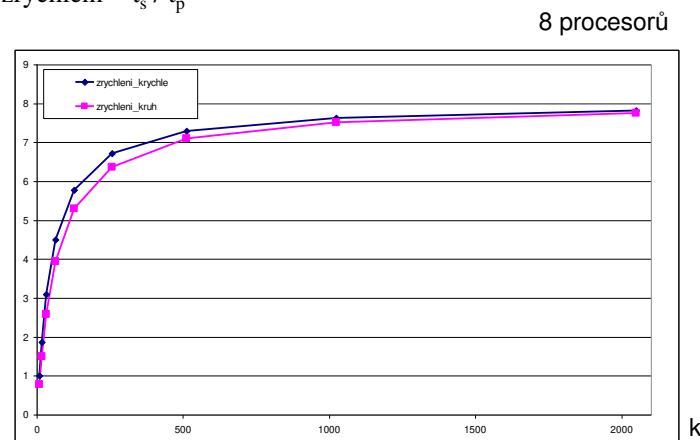


Pozn.: Operace "pošli mezivýsledek a sečti" je počítána jako 2 kroky.

38

Př. Sečtení k čísel na n procesorech

- zrychlení = t_s / t_p

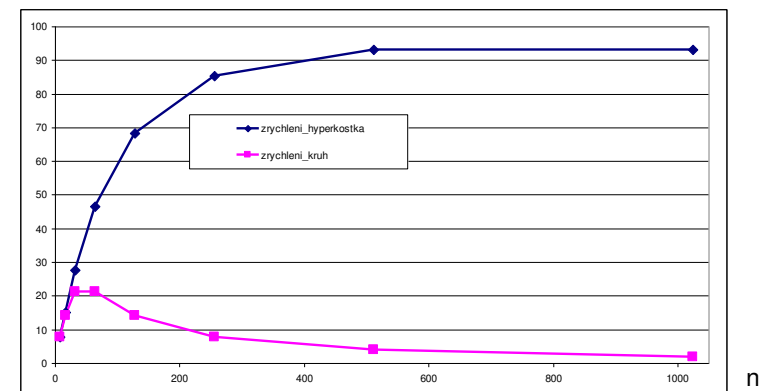


Je patrný velký vliv komunikační režie na zrychlení pro nízké hodnoty k .

39

Př. Sečtení k čísel na n procesorech

$k = 2048$



U kruhu je patrný velký vliv komunikační režie na zrychlení pro větší počet procesorů.

40

Vybrané paralelní výpočetní systémy v ČR

- Výpočetní cluster na FIT VUT v Brně (řízeno systémem SGE)
 - Až 2400 procesů (dle stavu jednotlivých serverů/modulů)
 - V současnosti 102 uzlů, každý vybaven 2x CPU 4-16 jader, 4-256 GB RAM
- **Anselm**, VŠB-TU Ostrava (spuštěn 2013), součást projektu IT4Innovations (VUT je účastníkem projektu)

Přes 200 uzlů, každý vybaven
2x CPU Intel Sandy Bridge
8-core, 96 GB RAM, některé
navíc disponují GPU akcelera-
torem Nvidia Tesla Kepler K20



41

Anselm ~ do 06/2015



<http://prace.it4i.cz/en/infrastruktura/anselm>

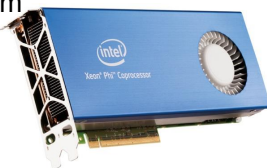
42

Vybrané paralelní výpočetní systémy v ČR

Salomon VŠB-TU Ostrava ~ od 08/2015, 40. místo
v top500 v době spuštění, současně nejvýkonnějším
clusterem s koprocesory Intel Xeon Phi v Evropě

Parametry:

- 2 000 TFLOPS teoretický výpočetní výkon
- 1 008 výpočetních uzlů s 24 192 výpočetními jádry Intel Xeon (Haswell EP) s celkem 129 TB paměti
- 432 akcelerovaných výpočetních uzlů, každý akcelerovaný dvěma Intel® Xeon Phi™, celkově 52 704 jader a 13,8 TB paměti
- Sdílená disková úložiště s kapacitou 500 TB HOME, 1 730 TB



<http://prace.it4i.cz/en/infrastruktura/salomon>

43

Vybrané paralelní výpočetní systémy v ČR

Barbora VŠB-TU Ostrava (od září 2019)

- Celkový teoretický výkon 849 TFlop/s.
- Souhrnná kapacita paměti výpočetních uzlů 43 TB.
- Rychlost výpočetního úložiště 28 GB/s.
- Rychlost linek výpočetní sítě mezi jednotlivými výpočetními uzly 100 Gb/s.
- Výpočetní uzly
 - 192 standardních výpočetních uzlů; každý uzel je vybaven dvěma 18jádrovými procesory Intel a operační pamětí o velikosti 192 GB,
 - **8 výpočetních uzlů s GPU akcelerátory**; každý uzel je vybaven dvěma 12jádrovými procesory Intel, čtyřmi GPU akcelerátory NVIDIA V100 s grafickou pamětí o velikosti 16 GB a operační pamětí o velikosti 192 GB RAM
 - tlustý uzel je vybaven osmi šestnáctijádrovými procesory Intel a operační pamětí o velikosti 6 TB RAM
- HPC architektura Bull Sequana XH2000, Infiniband HDR.
- Datové úložiště pro výpočty SCRATCH o kapacitě 310 TB a propustnosti 28 GB/s a pro výpočty NVMe over Fabric o celkové kapacitě 22,4 TB dynamicky alokované výpočetním uzlům.

44

Nejvýkonnější superpočítače (11/2019)

Rank	Site	System	Cores	Rmax (TFlop/s)	Rpeak (TFlop/s)	Power (kW)
1	DOE/SC/Oak Ridge National Laboratory United States	Summit - IBM Power System AC922, IBM POWER9 22C 3.07GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband IBM	2,414,592	148,600.0	200,794.9	10,096
2	DOE/NNSA/LLNL United States	Sierra - IBM Power System AC922, IBM POWER9 22C 3.10GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband IBM / NVIDIA / Mellanox	1,572,480	94,640.0	125,712.0	7,438
3	National Supercomputing Center in Wuxi China	Sunway TaihuLight - Sunway MPP, Sunway SW26010 260C 1.45GHz, Sunway NRCCPC	10,649,600	93,014.6	125,435.9	15,371
4	National Super Computer Center in Guangzhou China	Tianhe-2A - TH-IVB-FEP Cluster, Intel Xeon E5-2692v2 12C 2.2GHz, TH Express-2, Matrix-2000 NUDT	4,981,760	61,444.5	100,678.7	18,482
5	Texas Advanced Computing Center/Univ. of Texas United States	Frontera - Dell C6420, Xeon Platinum 8280 28C 2.7GHz, Mellanox InfiniBand HDR Dell EMC	448,448	23,516.4	38,745.9	

<http://www.top500.org/>

Literatura

- Dvořák, V., Drábek, V.: Architektura procesorů. Studijní opora. FIT VUT v Brně 2006
- Dvořák, V.: Architektura a programování paralelních systémů. Skriptum VUT v Brně 2004
- Hanáček, P.: Paralelní a distribuované algoritmy. Přednášky FIT VUT v Brně, 2008
- Bhandarkar D.: The Dawn of a New Era: Multi-Core Computing. Intel 2006
- Jaroš, J.: Architecture of Intel Processors and Difficulties in Their Programming, FIT VUT, 2019
- Jaroš, J.: Architektura výpočetních systémů, FIT VUT, 2019

- Pozn. Většina obrázků převzata z internetu a uvedených publikací

→ ČR, 48. v 2015, 67. v 2016, 87. v 2017, 214. v 2018 ☺

375	IT4Innovations National Supercomputing Center, VSB-Technical University of Ostrava Czech Republic	Salomon - SGI ICE X, Xeon E5-2680v3 12C 2.5GHz, Infiniband FDR, Intel Xeon Phi 7120P HPE	76,896	1,457.7	2,011.6	4,806
-----	--	---	--------	---------	---------	-------