

数字电路与逻辑设计 (1)

班级_____学号_____姓名_____成绩_____

一. 单项选择题 (每题 1 分, 共 10 分)

- 表示任意两位无符号十进制数需要 () 二进制数。
A. 6 B. 7 C. 8 D. 9
- 余 3 码 10001000 对应的 2421 码为 ()。
A. 01010101 B. 10000101 C. 10111011 D. 11101011
- 补码 1.1000 的真值是 ()。
A. +1.0111 B. -1.0111 C. -0.1001 D. -0.1000
- 标准或-与式是由 () 构成的逻辑表达式。
A. 与项相或 B. 最小项相或 C. 最大项相与 D. 或项相与
- 根据反演规则, $F = (\overline{A} + C)(C + DE) + \overline{E}$ 的反函数为 ()。
A. $\overline{F} = [A\overline{C} + \overline{C}(\overline{D} + \overline{E})] \cdot E$ B. $\overline{F} = A\overline{C} + \overline{C}(\overline{D} + \overline{E}) \cdot E$
C. $\overline{F} = (A\overline{C} + \overline{C}\overline{D} + \overline{E}) \cdot E$ D. $\overline{F} = A\overline{C} + C(D + E) \cdot \overline{E}$
- 下列四种类型的逻辑门中, 可以用 () 实现三种基本运算。
A. 与门 B. 或门
C. 非门 D. 与非门
- 将 D 触发器改造成 T 触发器, 图 1 所示电路中的虚线框内应是 ()。

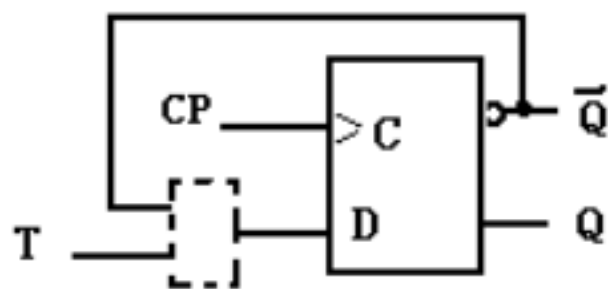


图 1

- A. 或非门 B. 与非门 C. 异或门 D. 同或门
- 实现两个四位二进制数相乘的组合电路, 应有 () 个输出函数。
A. 8 B. 9 C. 10 D. 11
 - 要使 JK 触发器在时钟作用下的次态与现态相反, JK 端取值应为 ()。
A. JK=00 B. JK=01 C. JK=10 D. JK=11
 - 设计一个四位二进制码的奇偶位发生器 (假定采用偶检验码), 需要 () 个异或门。
A. 2 B. 3 C. 4 D. 5

二. 判断题 (判断各题正误, 正确的在括号内记 “ ”, 错误的在括号内记 “ × ”, 并在划线处改正。每题 2 分, 共 10 分)

- 原码和补码均可实现将减法运算转化为加法运算。 ()

2. 逻辑函数 $F(A, B, C) = \prod M(1, 3, 4, 6, 7)$, 则 $\bar{F}(A, B, C) = \sum m(0, 2, 5)$ 。 ()
3. 化简完全确定状态表时, 最大等效类的数目即最简状态表中的状态数目。 ()
4. 并行加法器采用先行进位 (并行进位) 的目的是简化电路结构。 ()
5. 图 2 所示是一个具有两条反馈回路的电平异步时序逻辑电路。 ()

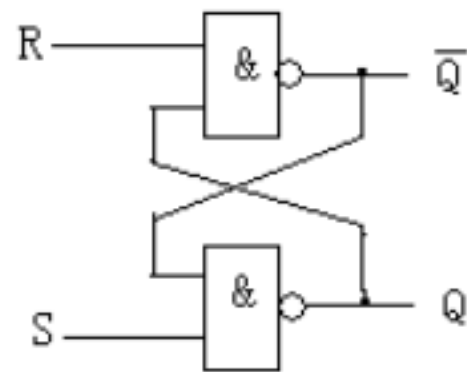


图 2

三. 多项选择题 (从各题的四个备选答案中选出两个或两个以上正确答案, 并将其代号填写在题后的括号内, 每题 2 分, 共 10 分)

1. 小数 “ 0 ” 的反码形式有 ()。
- A. 0. 0..... 0 ; B. . 1. 0..... 0 ;
- C. 0. 1..... 1 ; D. . 1. 1..... 1
2. 逻辑函数 $F = A \bar{B}$ 和 $G = A B$ 满足关系 ()。
- A. $F = \bar{G}$ B. $F' = G$ C. $F' = \bar{G}$ D. $F = G \oplus 1$
3. 若逻辑函数 $F(A, B, C) = \sum m(1, 2, 3, 6)$, $G(A, B, C) = \sum m(0, 2, 3, 4, 5, 7)$, 则 F 和 G 相 “ 与 ” 的结果是 ()。
- A. $m_2 + m_3$ B. . 1 C. . $\bar{A}B$ D. . AB
4. 设两输入或非门的输入为 x 和 y, 输出为 z, 当 z 为低电平时, 有 ()。
- A. x 和 y 同为高电平 ; B. . x 为高电平, y 为低电平 ;
- C. x 为低电平, y 为高电平 ; D. . x 和 y 同为低电平 .
5. 组合逻辑电路的输出与输入的关系可用 () 描述。
- A. 真值表 B. . 流程表
- C. 逻辑表达式 D. . 状态图

四. 函数化简题 (10 分)

1. 用代数法求函数 $F(A, B, C) = AB + AC + \bar{B} \bar{C} + \bar{A} \bar{B}$ 的最简 “ 与 - 或 ” 表达式。 (4 分)

2. 用卡诺图化简逻辑函数

$$F(A, B, C, D) = \sum m(2, 3, 9, 11, 12) + \sum d(5, 6, 7, 8, 10, 13)$$

求出最简 “ 与 - 或 ” 表达式和最简 “ 或 - 与 ” 表达式。 (6 分)

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | | | | |
| 01 | | | | |
| 11 | | | | |
| 10 | | | | |

五．设计一个将一位十进制数的余 3 码转换成二进制数的组合电路， 电路框图如图 3 所示。（ 15 分）

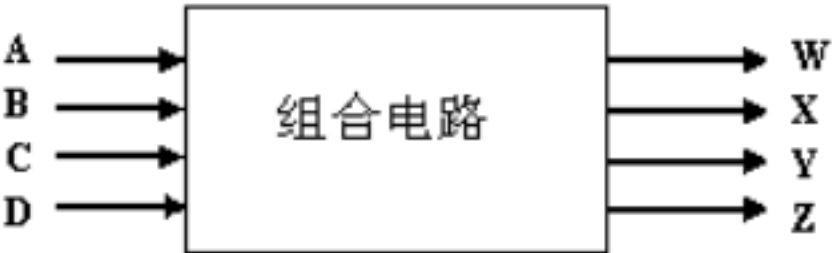


图 3

要求：

1．填写表 1 所示真值表；

表 1

| ABCD | WXYZ | ABCD | WXYZ |
|------|------|------|------|
| 0000 | | 1000 | |
| 0001 | | 1001 | |
| 0010 | | 1010 | |
| 0011 | | 1011 | |
| 0100 | | 1100 | |
| 0101 | | 1101 | |
| 0110 | | 1110 | |
| 0111 | | 1111 | |

2．利用图 4 所示卡诺图，求出输出函数最简与 - 或表达式；

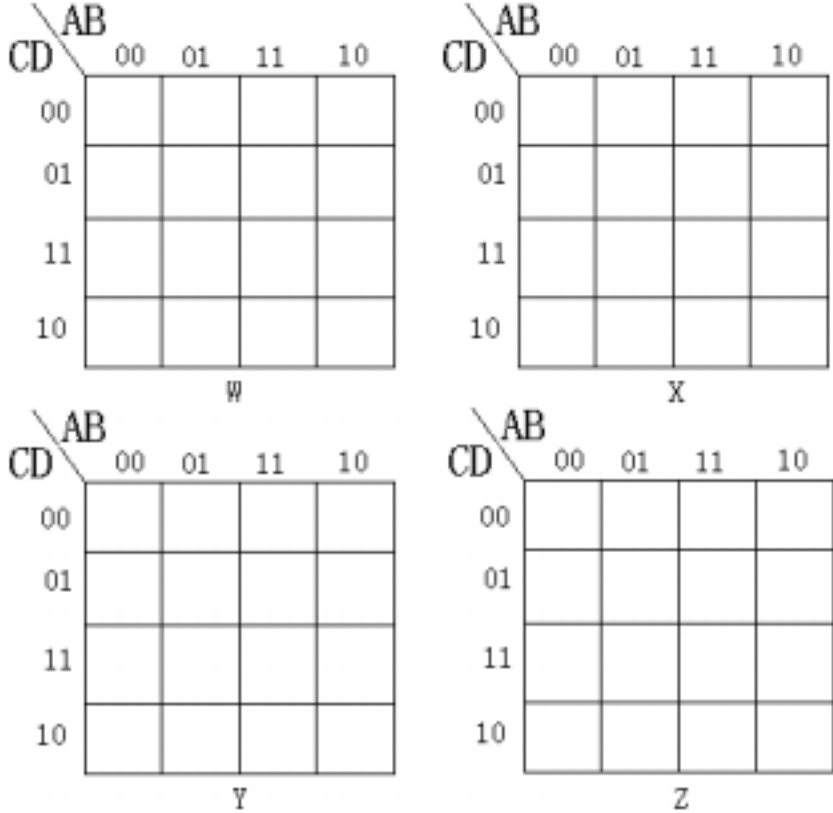


图 4

3．画出用 PLA实现给定功能的阵列逻辑图。

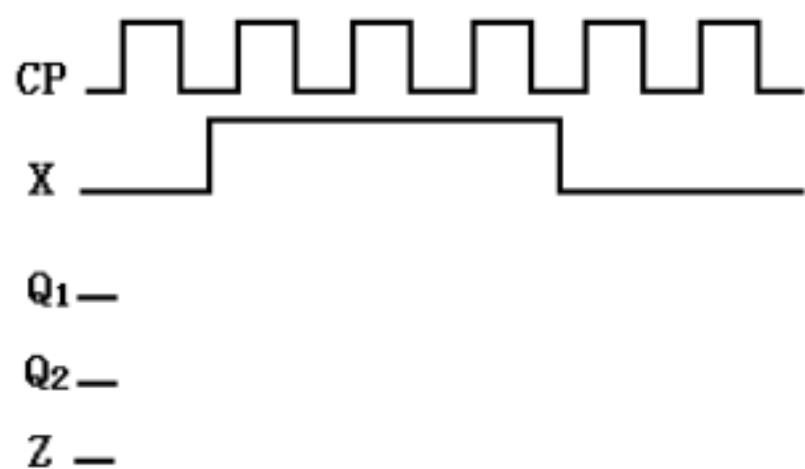


图 6

(5) 改用 T 触发器作为存储元件，填写图 7 中激励函数 T_2 、 T_1 卡诺图，求出最简表达式。

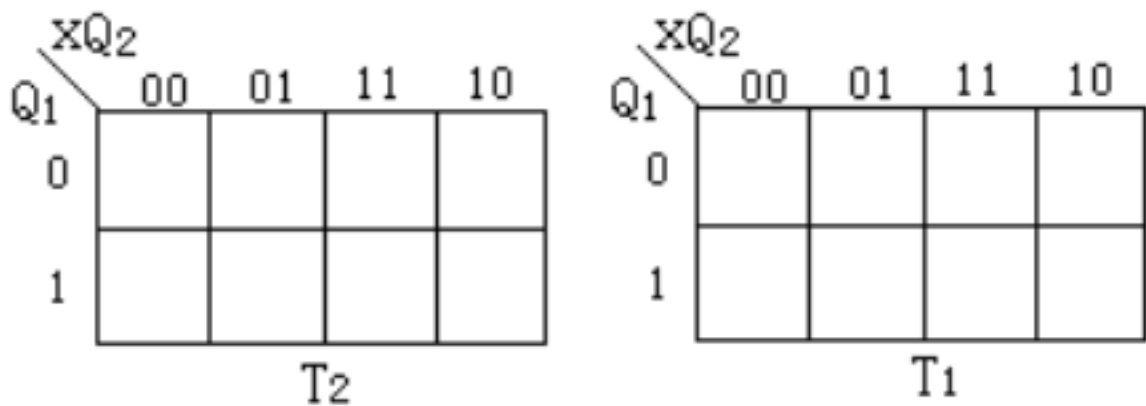


图 7

七．分析与设计（15 分）

某电平异步时序逻辑电路的结构框图如图 8 所示。图中：

$$Y_2 = \overline{x_1}y_2 + x_2y_2 + x_2\overline{x_1}y_1$$

$$Y_1 = x_1y_2\overline{y_1} + x_2x_1 + \overline{x_2}\overline{x_1}y_2$$

$$Z = x_2x_1y_2$$

要求：

1．根据给出的激励函数和输出函数表达式，填写表 4 所示流程表；

图 8

表 4

| 二次状态 $y_2\ y_1$ | 激励状态 y_2y_1 / 输出 Z | | | |
|--------------------|------------------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| 0 0 | | | | |
| 0 1 | | | | |
| 1 1 | | | | |
| 1 0 | | | | |

2. 判断以下结论是否正确，并说明理由。

该电路中存在非临界竞争；

该电路中存在临界竞争；

3．将所得流程表 4 中的 00 和 01 互换，填写出新的流程表 5，试问新流程表对应的电路是否存在非临界竞争或临界竞争？

表 5

| 二次状态 $y_2\ y_1$ | 激励状态 Y_2Y_1 / 输出 Z | | | |
|--------------------|------------------------|-------------|-------------|-------------|
| | $x_2x_1=00$ | $x_2x_1=01$ | $x_2x_1=11$ | $x_2x_1=10$ |
| 0 0 | | | | |
| 0 1 | | | | |
| 1 1 | | | | |
| 1 0 | | | | |

八．分析与设计 （15 分）

某组合逻辑电路的芯片引脚图如图 9 所示。

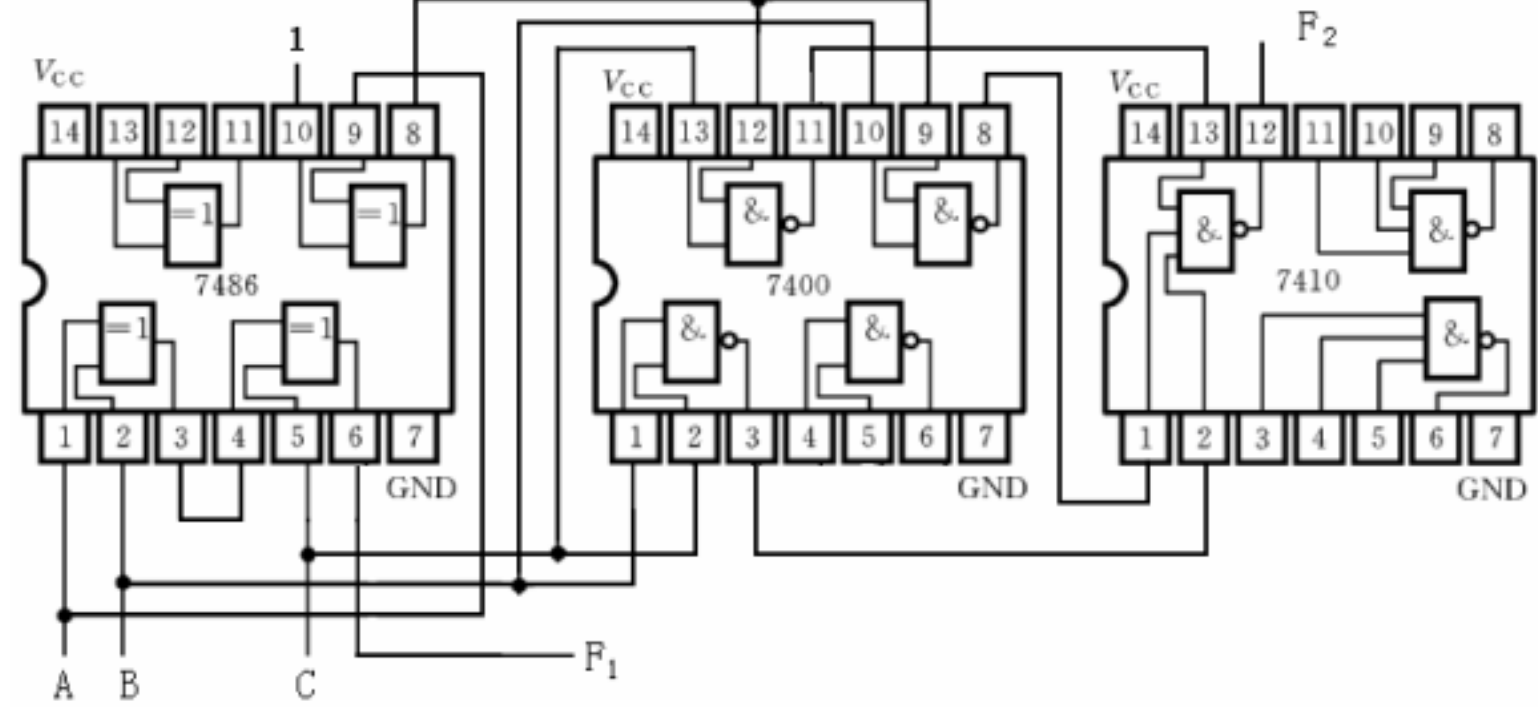


图 9

1．分析图 9 所示电路，写出输出函数 F_1 、 F_2 的逻辑表达式，并说明该电路功能。

2 . 假定用四路数据选择器实现图 9 所示电路的逻辑功能 , 请确定图 10 所示逻辑电路中各数据输入端的值 , 完善逻辑电路。

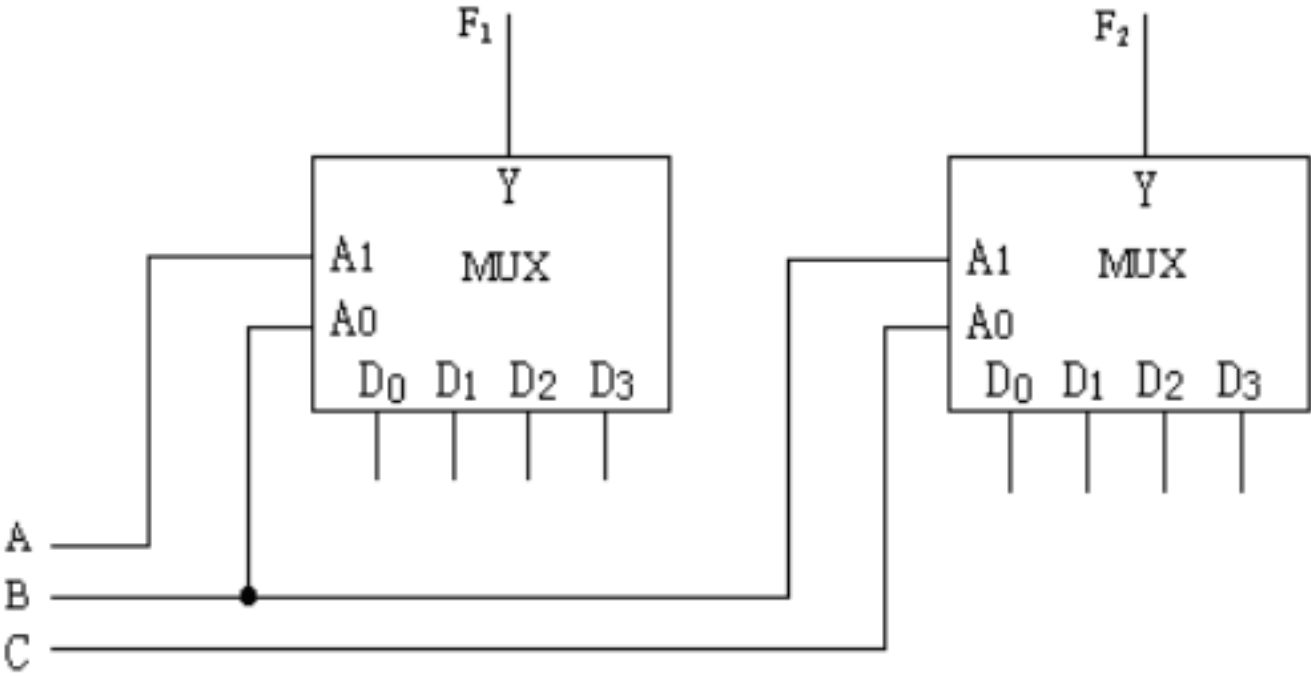


图 10

3 . 假定用 EPROM 实现图 9 所示电路的逻辑功能 , 请画出阵列逻辑图。

《数字电路与逻辑设计》试卷 A 参考答案

一．单项选择题（每题 1 分，共 10 分）

1. B ; 2. C ; 3. D ; 4. B ; 5. A ;
6. D ; 7. D ; 8. A ; 9. D ; 10. B 。

二．判断题（判断各题正误，正确的在括号内记“ ”，错误的在括号内记“ × ”，并在划线处改正。

每题 2 分，共 10 分）

1. 反码和补码均可实现将减法运算转化为加法运算。 (×)
2. 逻辑函数 $F(A, B, C) = \prod M(1,3,4,6, 7)$, 则 $\bar{F}(A, B, C) = \sum m(1,3,4,6,7)$ 。 (×)
3. 化简完全确定状态表时，最大等效类的数目即最简状态表中的状态数目。 ()
4. 并行加法器采用先行进位（并行进位）的目的是 提高运算速度。 (×)
5. 图 2 所示是一个具有 一条反馈回路的电平异步时序逻辑电路。 (×)

三．多项选择题（从各题的四个备选答案中选出两个或两个以上正确答案，并将其代号填写在题后的括号内，每题 2 分，共 10 分）

1. AD ; 2. ABD ; 3. AC ; 4. ABC ; 5. AC 。

四．函数化简题（10 分）

1．代数化简（4 分）

$$\begin{aligned}
 F(A, B, C) &= AB + AC + \bar{B} \cdot \bar{C} + \bar{A} \cdot \bar{B} \\
 &= AB + AC + \bar{B}(\bar{C} + \bar{A}) \\
 &= AB + AC + \overline{BAC} \\
 &= AB + AC + \bar{B} \\
 &= A + AC + \bar{B} \\
 &= A + \bar{B}
 \end{aligned}$$

2．卡诺图化简（共 6 分）

| | | | | | |
|----|----|----|----|----|----|
| | | AB | | | |
| | | 00 | 01 | 11 | 10 |
| CD | 00 | | | 1 | d |
| | 01 | | d | d | 1 |
| | 11 | 1 | d | | 1 |
| | 10 | 1 | d | | d |

最简“与-或”表达式为： $F = \bar{A}\bar{C} + \bar{B}C$ (3 分)

最简“或-与”表达式为： $F = (A + C) \cdot (\bar{B} + \bar{C})$ (3 分)

五．设计（共 15 分）

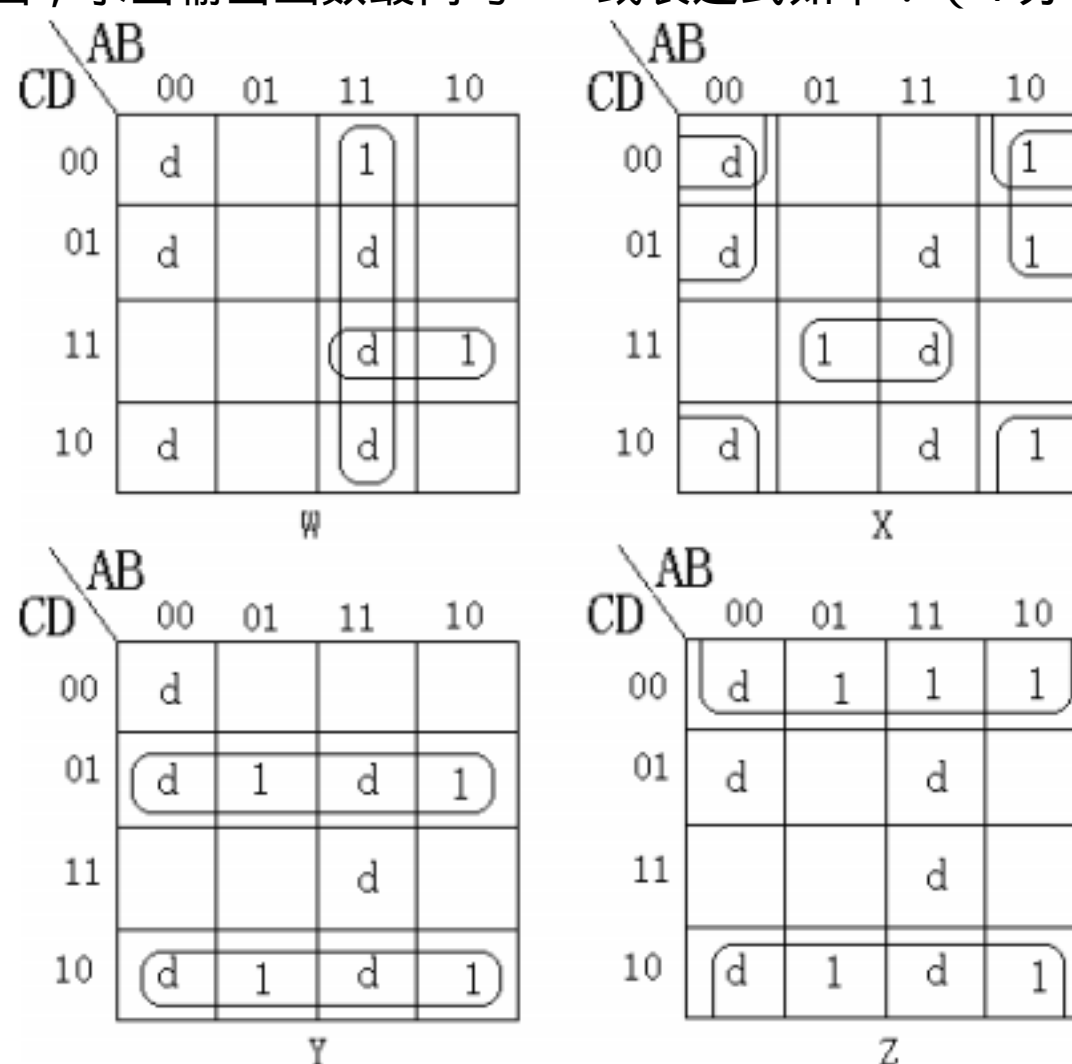
1．填写表 1 所示真值表；（4 分）

表 1 真值表

| | | | |
|------|------|------|------|
| ABCD | WXYZ | ABCD | WXYZ |
|------|------|------|------|

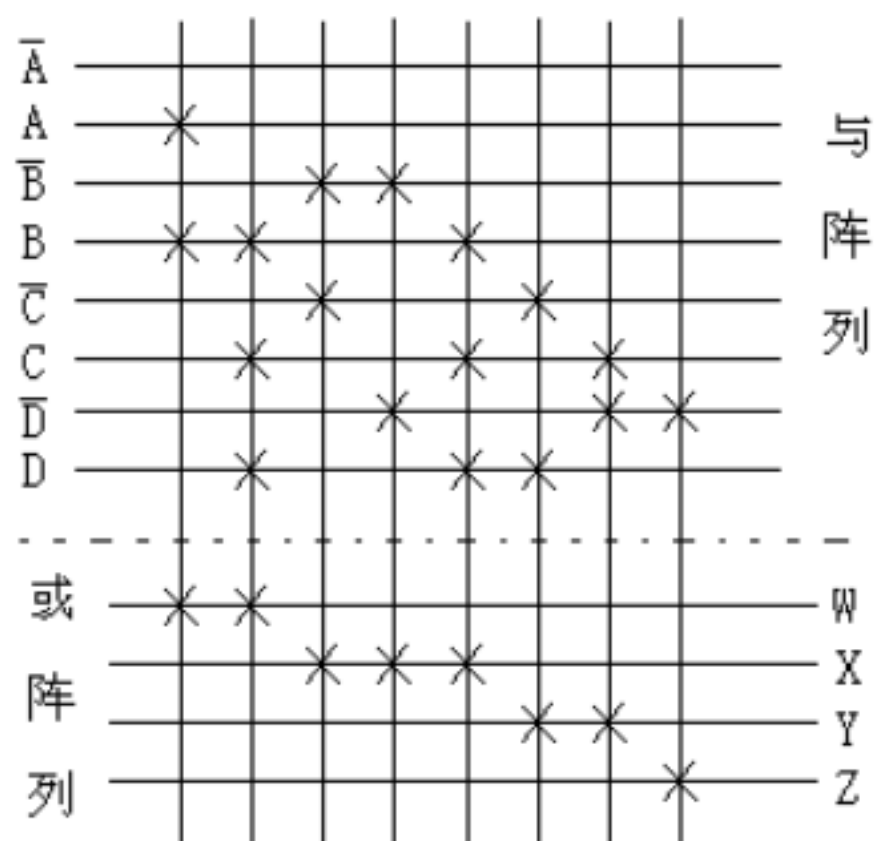
| | | | |
|------|------|------|------|
| 0000 | dddd | 1000 | 0101 |
| 0001 | dddd | 1001 | 0110 |
| 0010 | dddd | 1010 | 0111 |
| 0011 | 0000 | 1011 | 1000 |
| 0100 | 0001 | 1100 | 1001 |
| 0101 | 0010 | 1101 | dddd |
| 0110 | 0011 | 1110 | dddd |
| 0111 | 0100 | 1111 | dddd |

2. 利用卡诺图，求出输出函数最简与-或表达式如下：（4分）



$$\begin{aligned}
 W &= AB + BCD \\
 X &= \overline{B}\overline{C} + \overline{B}\overline{D} + BCD \\
 Y &= \overline{C}\overline{D} + C\overline{D} \\
 Z &= \overline{D}
 \end{aligned}$$

3. 画出用 PLA实现给定功能的阵列逻辑图如下：（5分）



4. 若采用 PROM 实现给定功能，要求 PROM 的容量为：（2 分）

$$2^4 \times 4(\text{bit})$$

六、分析与设计（15 分）

（1）写出该电路激励函数和输出函数；（3 分）

$$J_1 = X, \quad K_1 = \bar{X}, \quad J_2 = Q_1, \quad K_2 = \bar{Q}_1, \quad Z = \bar{Q}_2 Q_1$$

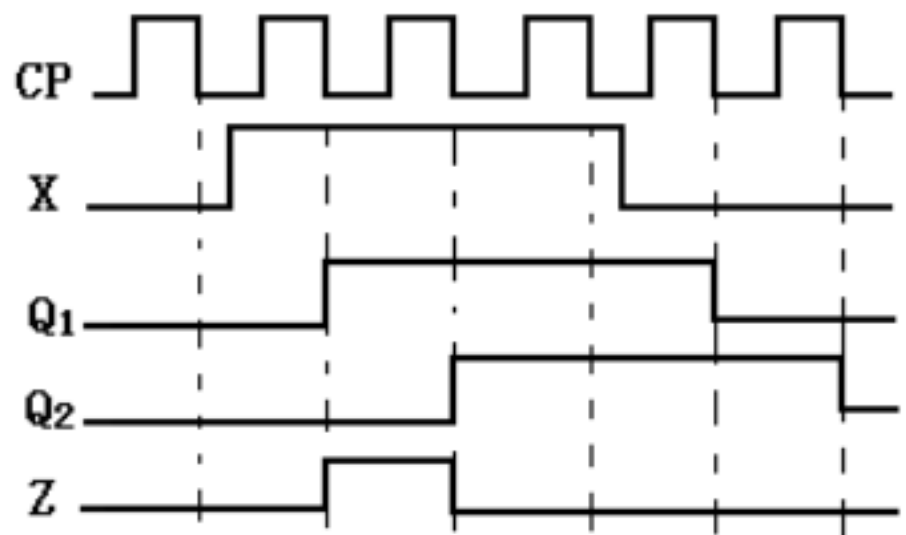
（2）填写次态真值表；（3 分）

| 输入 X | 现态 $Q_2 Q_1$ | 激励函数 $J_2 K_2 J_1 K_1$ | 次态 $Q_2^{(n+1)} Q_1^{(n+1)}$ | 输出 Z |
|---------|-----------------|---------------------------|---------------------------------|---------|
| 0 | 00 | 0 1 0 1 | 0 0 | 0 |
| 0 | 01 | 1 0 0 1 | 1 0 | 1 |
| 0 | 10 | 0 1 0 1 | 0 0 | 0 |
| 0 | 11 | 1 0 0 1 | 1 0 | 0 |
| 1 | 00 | 0 1 1 0 | 0 1 | 0 |
| 1 | 01 | 1 0 1 0 | 1 1 | 1 |
| 1 | 10 | 0 1 1 0 | 0 1 | 0 |
| 1 | 11 | 1 0 1 0 | 1 1 | 0 |

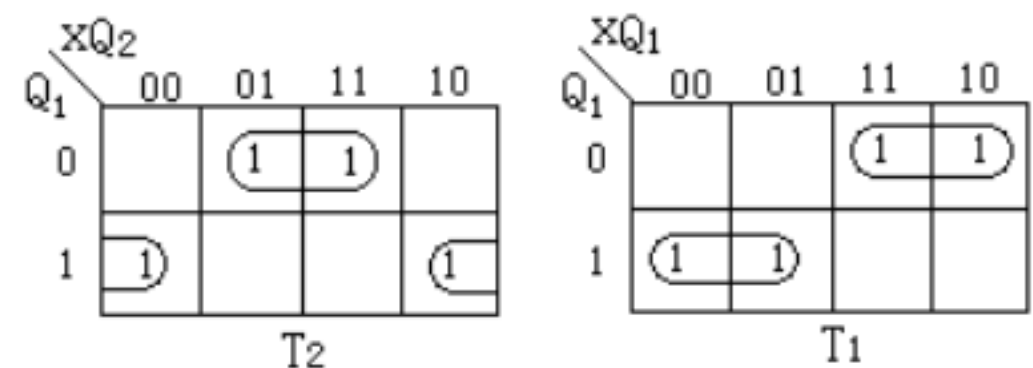
（3）填写如下所示电路状态表；（3 分）

| 现态 | 次态 $Q_2^{(n+1)} Q_1^{(n+1)}$ | | 输出 |
|-----------|------------------------------|-----|----|
| $Q_2 Q_1$ | X=0 | X=1 | Z |
| 00 | 00 | 01 | 0 |
| 01 | 10 | 11 | 1 |
| 10 | 00 | 01 | 0 |
| 11 | 10 | 11 | 0 |

(4) 设各触发器的初态均为 0，根据给定波形画出 Q_1 、 Q_2 和 Z 的输出波形。
(3 分)



(5) 改用 T 触发器作为存储元件，填写激励函数 T_2 、 T_1 卡诺图，求出最简表达式。(3 分)



最简表达式为：

$$T_2 = Q_2 \bar{Q}_1 + \bar{Q}_2 Q_1 = Q_2 \oplus Q_1$$

$$T_1 = X \bar{Q}_1 + \bar{X} Q_1 = X \oplus Q_1$$

七．分析与设计（15 分）

1．根据给出的激励函数和输出函数表达式，填流程表；（5 分）

| 二次状态 $y_2 \ y_1$ | 激励状态 $Y_2 Y_1$ / 输出 Z | | | |
|---------------------|-------------------------|--------------|--------------|--------------|
| | $x_2 x_1=00$ | $x_2 x_1=01$ | $x_2 x_1=11$ | $x_2 x_1=10$ |
| 0 0 | 00/0 | 00/0 | 01/0 | 00/0 |
| 0 1 | 00/0 | 00/0 | 01/0 | 10/0 |
| 1 1 | 11/0 | 00/0 | 11/1 | 10/0 |
| 1 0 | 11/0 | 01/0 | 11/1 | 10/0 |

2. 判断以下结论是否正确，并说明理由。（6 分）

该电路中存在非临界竞争；

正确。因为处在稳定总态（00，11），输入由 00 变为 01 或者处在稳定总态（11，11），输入由 11 变为 01 时，均引起两个状态变量同时改变，会发生反馈回路间的竞争，但由于所到达的列只有一个稳定总态，所以属于非临界竞争。

该电路中存在临界竞争；

正确。因为处在稳定总态（11，01），输入由 11 变为 10 时，引起两个状态

变量同时改变，会发生反馈回路间的竞争，且由于所到达的列有两个稳定总态，所以属于非临界竞争。

3．将所得流程表 3 中的 00 和 01 互换，填写出新的流程表，试问新流程表对应的电路是否存在非临界竞争或临界竞争？（ 4 分）
新的流程表如下：

| 二次状态 $y_2 y_1$ | 激励状态 $Y_2 Y_1$ / 输出 Z | | | |
|-------------------|-------------------------|--------------|--------------|--------------|
| | $x_2 x_1=00$ | $x_2 x_1=01$ | $x_2 x_1=11$ | $x_2 x_1=10$ |
| 0 0 | 01/0 | 01/0 | 00/0 | 10/0 |
| 0 1 | 01/0 | 01/0 | 00/0 | 01/0 |
| 1 1 | 11/0 | 01/0 | 11/1 | 10/0 |
| 1 0 | 11/0 | 00/0 | 11/1 | 10/0 |

新流程表对应的电路不存在非临界竞争或临界竞争。

八．分析与设计（15分）

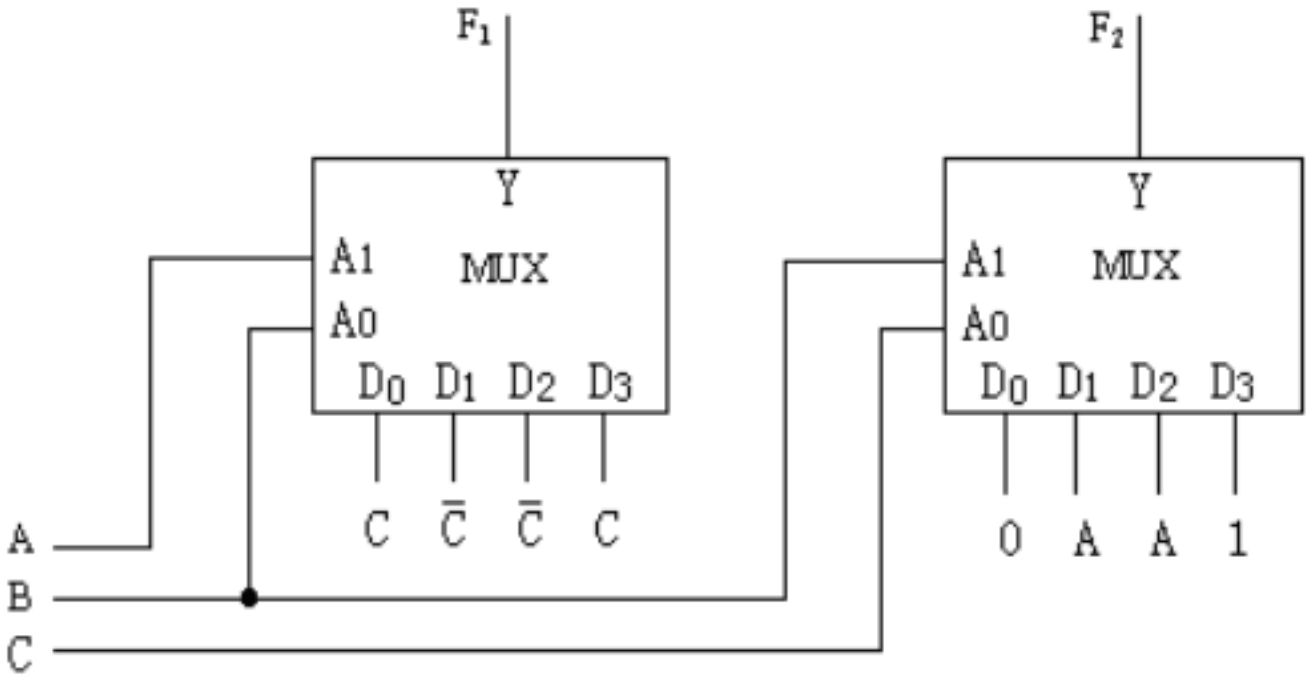
1．写出电路输出函数 F_1 、 F_2 的逻辑表达式，并说明该电路功能。（4分）

$$F_1 = A \oplus B \oplus C = \overline{A}BC + \overline{A}B\overline{C} + A\overline{B}C + A\overline{B}\overline{C}$$
$$F_2 = AC + AB + BC = \overline{A}C + \overline{A}B + BC$$

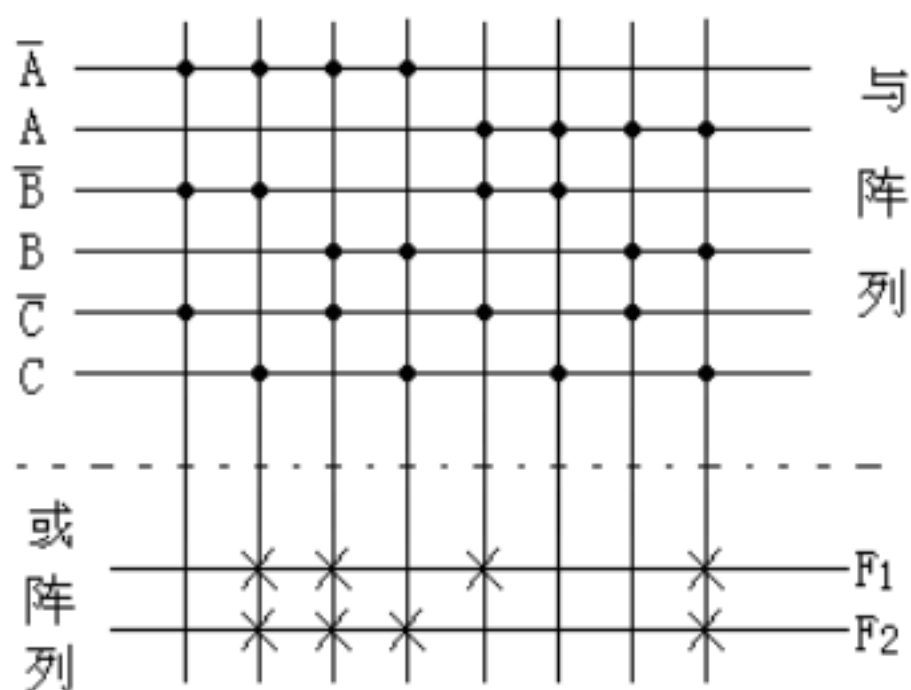
该电路实现全减器的功能功能。（1分）

2．假定用四路数据选择器实现该电路的逻辑功能，请确定给定逻辑电路中各数据输入端的值，完善逻辑电路。（5分）

$$F_1 : D_0 = C, D_1 = \overline{C}, D_2 = \overline{C}, D_3 = C$$
$$F_2 : D_0 = 0, D_1 = \overline{A}, D_2 = \overline{A}, D_3 = 1$$



3．假定用 EPROM实现原电路的逻辑功能，可画出阵列逻辑图如下：（5分）



数字电路与逻辑设计 (2)

一、【单项选择题】 (本大题共 20 小题，每小题 2 分，共 40 分) 在每小题列出的四个选项中只有一个选项是符合题目要求的，请将正确选项前的字母填在 答题卷相应题号处 。

- 和二进制数 (1100110111.001) 等值的十六进制数是 (A)。
[A] 337.2 [B] 637.2 [C] 1467.1 [D] c37.4
- 是 8421BCD码的是 (B)。
[A] 1010 [B] 0101 [C] 1100 [D] 1111
- 和二进制码 1100 对应的格雷码是 (C)。
[A] 0011 [B] 1100 [C] 1010 [D] 0101
- TTL 电路中，高电平 V_H 的标称值是 (C)。
[A] 0.3V [B] 2.4V [C] 3.6V [D] 5V
- 和逻辑式 $\bar{A} + ABC$ 相等的式子是 (D)。
[A] ABC [B] $1 + BC$ [C] A [D] $\bar{A} + BC$
- 若干个具有三态输出的电路输出端接到一点工作时，必须保证 (B)。
[A] 任何时候最多只能有一个电路处于三态，其余应处于工作状态
[B] 任何时候最多只能有一个电路处于工作状态，其余应处于三态
[C] 任何时候至少要有两个或三个以上电路处于工作状态
[D] 以上说法都不正确
- $A + B + C + \bar{A} + \bar{A}\bar{B} =$ (C)。
[A] A [B] \bar{A} [C] 1 [D] $A + B + C$
- 下列等式不成立的是 (C)。
[A] $A + \bar{A}\bar{B} = A + \bar{B}$ [B] $(A + B)(A + C) = A + BC$
[C] $AB + AC + BC = AB + BC$ [D] $\bar{A}\bar{B} + \bar{A}\bar{B} + \bar{A}\bar{B} + \bar{A}\bar{B} = 1$
- 欲对全班 53 个同学以二进制代码编码表示，最少需要二进制的位数是 (B)。
[A] 5 [B] 6 [C] 10 [D] 53
- 一块数据选择器有三个地址输入端，则它的数据输入端应有 (C)。
[A] 3 [B] 6 [C] 8 [D] 1
- 以下代码中为无权码的为 (C)。

- [A] 8421BCD 码 [B] 5421BCD 码
[C] 余三码 [D] 2421BCD 码
- 12、将幅值、时间上离散的阶梯电平统一归并到最邻近的指定电平的过程称为 (B)。
- [A] 采样 [B] 量化 [C] 保持 [D] 编码
- 13、以下四种转换器， (A) 是 A/D 转换器且转换速度最高。
- [A] 并联比较型 [B] 逐次逼近型
[C] 双积分型 [D] 施密特触发器
- 14、多谐振荡器可产生 (B)。
- [A] 正弦波 [B] 矩形脉冲 [C] 三角波 [D] 锯齿波
- 15、N 个触发器可以构成能寄存 (B) 位二进制数码的寄存器。
- [A] N-1 [B] N [C] N+1 [D] 2N
- 16、同步时序电路和异步时序电路比较，其差异在于后者 (B)。
- [A] 没有触发器 [B] 没有统一的时钟脉冲控制
[C] 没有稳定状态 [D] 输出只与内部状态有关
- 17、555 定时器不可以组成 (D)。
- [A] 多谐振荡器 [B] 单稳态触发器
[C] 施密特触发器 [D] JK 触发器
- 18、若 RAM 的地址码有 8 位，行、列地址译码器的输入端都为 4 个，则它们的输出线（即字线加位线）共有 (C) 条。
- [A] 8 [B] 16 [C] 32 [D] 256
- 19、随机存取存储器具有 (A) 功能。
- [A] 读/写 [B] 无读/写 [C] 只读 [D] 只写
- 20、只读存储器 ROM 中的内容，当电源断掉后又接通，存储器中的内容 (D)。
- [A] 全部改变 [B] 全部为 0 [C] 不可预料 [D] 保持不变

二、【填空题】（本大题共 10 小题，每小题 2 分，共 20 分；请将答案填写在 答题卷相应题号处）

21、钟控 RS 触发器的特性方程为

$$(Q^{n+1} = S + \overline{R}Q^n \quad RS = 0(\text{约束条件}))。$$

22、如果时序逻辑电路的输出 Z 仅取决于存储电路状态 Q，而与外部输入 X 无关，或该时序电路没有外部输入，这种电路称为 (摩尔型电路)。

23、将 8k × 4 位的 RAM 扩展为 64k × 8 位的 RAM，需用 (16) 片 8k × 4 位的 RAM，同时还需用一片 (3 线-8 线) 译码器。

24、A/D 转换器的转换过程包括 (取样)、(保持)、(量化) 和 (编码)。

25、欲将一个正弦波电压信号转变为同频率的矩形波，应当采用 (施密特触发器) 电路。

26、十进制整数转换成二进制整数的方法是 (将十进制整数除以 2 取余数倒读)。

27、BCD 码的中文含义是 (二—十进制码)。

28、最基本的逻辑门电路有与门， (或门) 和 (非门)。其中与门的特点是输入 (全为高电平)，输出 (高电平)。

29、逻辑门电路中，低电平通常用 (0) 表示，高电平通常用 (1) 表示。

30、七段数码显示器有两种接法，称 (共阴极接法) 接法和 (共阳极接法) 接法。

三、【简答题】（本大题共 4 小题，每小题 5 分，共 20 分；请将答案填写在 答题卷相应题号

处)

31、利用公式和定理证明。

$$AB+BCD+AC+BC=AB+C$$

证明： $AB+BCD+AC+BC$

$$=AB+AC+BC$$

$$=AB+C$$

32、格雷码的特点是什么？为什么说它是可靠性代码？

答：格雷码的任意两组相邻代码之间只有一位不同，其余各位都相同，它是一种循环码。这个特性使它在形成和传输过程中可能引起的错误较少，因此称之为可靠性代码。

33、逻辑函数的三种表示方法如何相互转换？

答：从真值表写出逻辑函数式的一般方法：

1) 找出真值表中使函数 $Y=1$ 的那些输入变量取值组合。

2) 每组输入变量取值的组合对应一个乘积项：1-->原变量，0-->反变量。

3) 将乘积项相加。

从逻辑式列出真值表：将输入变量的所有组合状态逐一代入逻辑式求出函数值，列成表。

从逻辑式画出逻辑图：用图形符号代替逻辑式中的运算符号，就可以画出逻辑图。

从逻辑图写出逻辑式：从输入端到输出端逐级写出每个图形符号对应的逻辑式。

从逻辑式画出卡诺图：将逻辑函数化成最小项和的标准形式，在对应的位置上添1,其余为0。

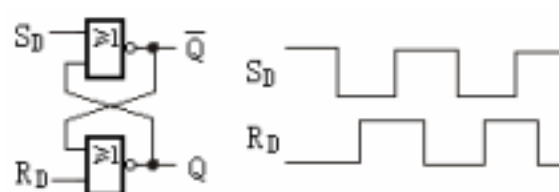
34、已知四变量函数 F 的反函数表达式为 $\bar{F} = \overline{ABCD} + ABCD$ ，试用卡诺图求 F 的最简与或式。

$$\text{解： } F = AB + CD + BC + AD$$

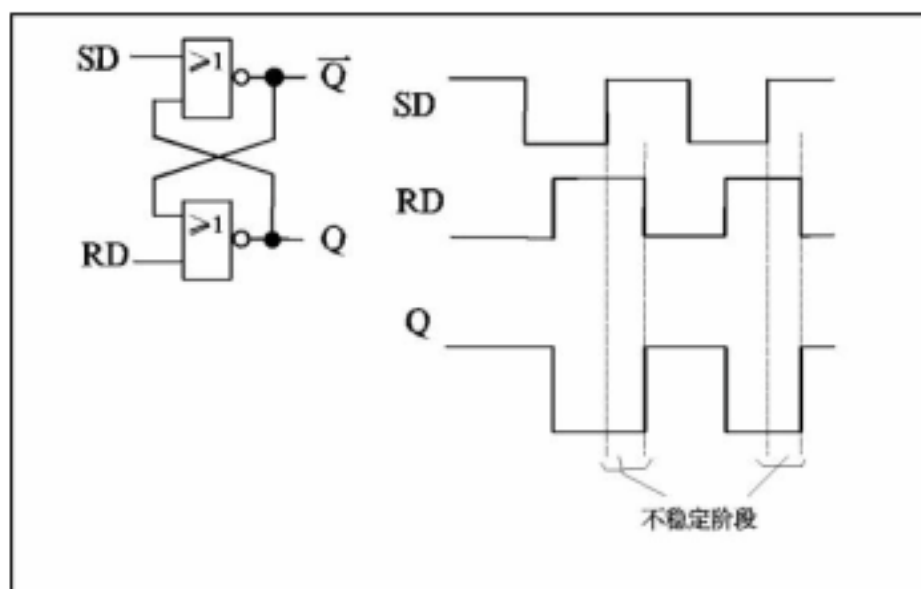
| CD AB | | 00 01 11 10 | | | |
|----------|---|-------------|----|----|----|
| | | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 1 | |
| 01 | 1 | 1 | 1 | 1 | |
| 11 | 1 | 1 | 0 | 1 | |
| 10 | 1 | 1 | 1 | 1 | |

四、【应用题】(本大题共 2 小题，每题 10 分，共 20 分；请将答案填写在 答题卷相应题号处)

35、画出下图由或非门组成的基本 R-S 触发器输出端 Q 、 \bar{Q} 的电压波形，输入端 S_D 、 R_D 的电压波形如图中所示。



答案如下：



36、用 3 线 - 8 线译码器 74LS138 和与非门实现逻辑函数。

$$Y_1 = \overline{A}\overline{B} + AC$$

$$Y_2 = \overline{A}\overline{B}C + BC + \overline{A}B$$

$$Y_3 = \overline{A}BC + AC$$

解：将函数化为最小项之和式，再变为与非 - 与非式：（以 $A_2A_1A_0=ABC$ ）

$$Y_1 = \overline{A}\overline{B} + AC = \overline{A}\overline{B}C + \overline{A}\overline{B}C + ABC = m_4 + m_5 + m_7 = \overline{\overline{m_4} \overline{m_5} \overline{m_7}}$$

$$Y_2 = \overline{A}\overline{B}C + BC + \overline{A}B = \overline{A}\overline{B}C + \overline{A}\overline{B}C + ABC + \overline{A}\overline{B}C = m_2 + m_3 + m_5 + m_7 = \overline{\overline{m_2} \overline{m_3} \overline{m_5} \overline{m_7}}$$

$$Y_3 = \overline{A}BC + AC = \overline{A}BC + \overline{A}\overline{B}C + ABC = m_3 + m_4 + m_6 = \overline{\overline{m_3} \overline{m_4} \overline{m_6}}$$

