

Pontifícia Universidade Católica de Minas Gerais
Instituto de Ciências Exatas e Informática – ICEI
Arquitetura de Computadores I

ARQ1 _ Aula_10

Tema: Introdução aos autômatos

Preparação

Como preparação para o início das atividades, recomendam-se

- a.) leitura prévia do resumo teórico, do detalhamento na apostila e referências recomendadas
- b.) estudo e testes dos exemplos
- c.) assistir aos seguintes vídeos:

<https://www.youtube.com/watch?v=YebQtg-tTfI>
<https://www.youtube.com/watch?v=xKoldX6XBps>
<https://www.youtube.com/watch?v=SA2o7UnYqbw>

Orientação geral:

Atividades previstas como parte da avaliação

Apresentar todas as soluções em apenas um arquivo com formato texto (.txt).

Apresentar uma forma de solução em formato gerado pelo JFLAP (.jff), devidamente identificados, acompanhados (ou não) de figuras equivalentes exportadas pela ferramenta no formato (.png).

As implementações e testes dos exemplos em Verilog (.v) fornecidos como pontos de partida, também fazem parte da atividade e deverão ter os códigos fontes entregues separadamente. As saídas de resultados, opcionalmente, poderão ser copiadas ao final do código, como comentários.

Atividades extras e opcionais

Outras formas de solução serão opcionais; não servirão para substituir as atividades a serem avaliadas. Se entregues, contarão apenas como atividades extras.

As execuções deverão, preferencialmente, serão testadas mediante uso de entradas e saídas padrões, cujos dados/resultados deverão ser armazenados em arquivos textos. Os resultados poderão ser anexados ao código, ao final, como comentários.

Os *layouts* de circuitos deverão ser entregues no formato (.circ), identificados internamente. Figuras exportadas pela ferramenta serão aceitas como arquivos para visualização, e não terão validade para fins de avaliação. Separar versões completas (a) e simplificadas (b).

Arquivos em formato (.pdf), fotos, cópias de tela ou soluções manuscritas também serão aceitos como recursos suplementares para visualização, e não terão validade para fins de avaliação.

Atividade: Circuitos sequenciais

Todos os circuitos deverão ser simulados no JFLAP e testados com as respectivas indicações.

- 01.) Projetar e descrever em JFLAP uma máquina de Mealy, para implementar um comportamento semelhante ao descrito na tabela abaixo.

estado atual	entrada (x) / (próximo estado, saída)	
	x=0	x=1
> 0	(0, 0)	(2, 0)
1	(0, 0)	(1, 0)
2	(0, 0)	(3, 1)
3	(1, 0)	(0, 0)

Testar:

- a.) 001101110
b.) 0000101101

- 02.) Projetar e descrever em JFLAP uma máquina de Moore para implementar um comportamento semelhante ao descrito na tabela abaixo.
DICA: Ver modelo de Moore.

estado atual	entrada (x) / próximo estado		saída
	x=0	x=1	
> 0	0	2	0
1	0	3	0
2	2	1	0
3	0	1	1

Testar:

- a.) 0011100110
b.) 000110011101

- 03.) Projetar e descrever em JFLAP uma máquina de Turing, para complementar todos os bits de uma sequência, exceto o último bit à direita.
DICA: Escrever o complemento de 1 de todo o que for lido, menos o último.

Testar:

- a.) 1101
b.) 0100

- 04.) Projetar e descrever em JFLAP uma máquina de estados finitos (FSM), para identificar sequências de triplas com valores iguais 000111 ou 111000.
DICA: Usar os estados para contar.

- 05.) Projetar e descrever em JFLAP um autômato de pilha (PDA), para implementar um reconhecedor de uma sequência igual a 1010.
DICA: Estado final deverá ter apenas o valor 1 no topo da pilha.

Testar:

- a.) 10111
b.) 1010

Extras

- 06.) Projetar e descrever em JFLAP uma máquina de Mealy, para implementar um reconhecedor de sequência igual a 10001, sem interseção.
Caso seja simulado por módulo no Logisim, apresentar *layout* do circuito e subcircuitos.
- 07.) Projetar e descrever em JFLAP uma máquina de Mealy, para implementar um reconhecedor de sequência igual a 10001, com interseção.
Caso seja simulado por módulo no Logisim, apresentar *layout* do circuito e subcircuitos.