Descriere hardware 8284 [2] [3] [4][6]

AE1,AEN2 : Address Enable : semnale folosite pentru a modifica BUS READY signal(RDY1 or RDY2). AEN1 valideaza pe RDY1 iar AEN2 valideaza pe RDY2

/RES : Semnal folosit pentru a genera semnalul de iesire

RDY1,RDY2 : BUS READY : aceste semnale sunt indicatii de la un dispozitiv de pe magistrala sistemului si ne spune daca e disponibil sau daca datele au fost receptare

/ASYNC : READY SYNNCHONOUS SELECT : acest semnal defineste modul de sincroizare al logicii semnalului READY.

PCLK : PEIRIPHERAL CLOCK : acest semnal este un semnal de clock periferic de nivel TTL care are frecventa de iesire ½ din clock si 50% duty cycle ( duty cycle =Timpul in care se afla pe high / perioada semnalului) [6]

OSC : OSCILLATOR OUTPUT : acest semnal este nivelul TTL de iesire al circuitului intern oscillator

Generatorul de tact 8284 generează semnalul CLK pentru microprocesor şi PCLK pentru circuitele specializate cu diferite funcŃii în sistem. De asemenea generează semnalele RESET şi READY către microprocesor sincronizate cu semnalul de tact. Pentru generarea semnalului CLK, se divizează semnalul generat de un oscilator cu cuarŃ sau un semnal exterior; semnalul PCLK are o frecvenŃă de două ori mai mică şi un factor de umplere 1/2. [2]