

IP RAM
Contexto
Diseño de un microprocesador
Problemática: Describir un circuito en VHDL usando IP
Objetivo 1: Programar una memoria RAM en VHDL.
<p>A partir de la ayuda del módulo IP Distributed Memory Generator:</p> <ol style="list-style-type: none"><li>1. Describir una memoria RAM de lectura asíncrona de 32x8 bits con los buses de entrada y salida de datos separados y usando el reloj de la tarjeta de desarrollo. Debe cumplir con las siguientes característica:<ol style="list-style-type: none"><li>a. Tipo: single port RAM.</li><li>b. Write enable.</li></ol></li><li>2. Simular la memoria RAM.</li><li>3. Descargar y probar el circuito en una FPGA</li></ol>
<p>Resultados esperados</p> <ol style="list-style-type: none"><li>1. Descripción en VHDL.</li><li>2. Resultados de la simulación.</li><li>3. FPGA funcionando.</li></ol>