

Microprocesador
Contexto
Diseño de un microprocesador
Problemática: Describir un contador de programa en VHDL con máquinas de estado
Objetivo 1: Diseñar la máquina de estados.
<div>1. Diseñar una máquina de estados para un contador ascendente de eventos de reloj con:<div>a. Entrada de Reset. b. Entrada de Preset/conteo. c. Debe contar entre 0 y 3.</div></div>
Resultados esperados <div>1. Diagrama de estados del contador</div>
Objetivo 2: Describir un circuito con FSM en VHDL.
Con base en los resultados del objetivo 1 <div>1. Describir en VHDL el contador usando la estructura del ejemplo de FSM que se encuentra en moodle. 2. Simular el comportamiento del contador. 3. Descargar y probar el circuito en una FPGA.</div>
Resultados esperados <div>1. Descripción en VHDL. 2. Resultados de la simulación. 3. FPGA funcionando.</div>