

Le système d'exploitation: Mécanismes de base

Etat du processeur

Le SE regroupe des informations-clés sur le fonctionnement du processeur : c'est le mot d'état du processeur (**Processor Status Word, PSW**).

Il comporte généralement :

- Informations sur l'état du processeur
 - État d'exécution : Actif/Attente
 - Mode d'exécution : Maître/Esclave
 - Masque (informations) sur les interruptions
- Informations sur les données accessibles et les droits
 - Table des segments
 - Protection mémoire
- Informations sur le déroulement de l'activité en cours
 - Compteur ordinal
 - Code condition

Le système d'exploitation: Mécanismes de base

Commutation du contexte

- Rangement du mot d'état du processeur
- Chargement d'un nouveau mot d'état

3 causes

- Interruption
- Déroutement
- Appel au superviseur

Le système d'exploitation: Mécanismes de base

Interruption

- Évènement extérieur à l'activité en cours
- Signal envoyé au processeur
- Force le processeur à réagir à un évènement asynchrone.

Exemple :

- Réalisation d'Entrées/Sorties
- Multi programmation

Déroutement

- Provoqué par l'instruction en cours
- Signale une anomalie dans le déroulement d'une instruction

Exemple :

- Division par zéro
- Débordement de la mémoire

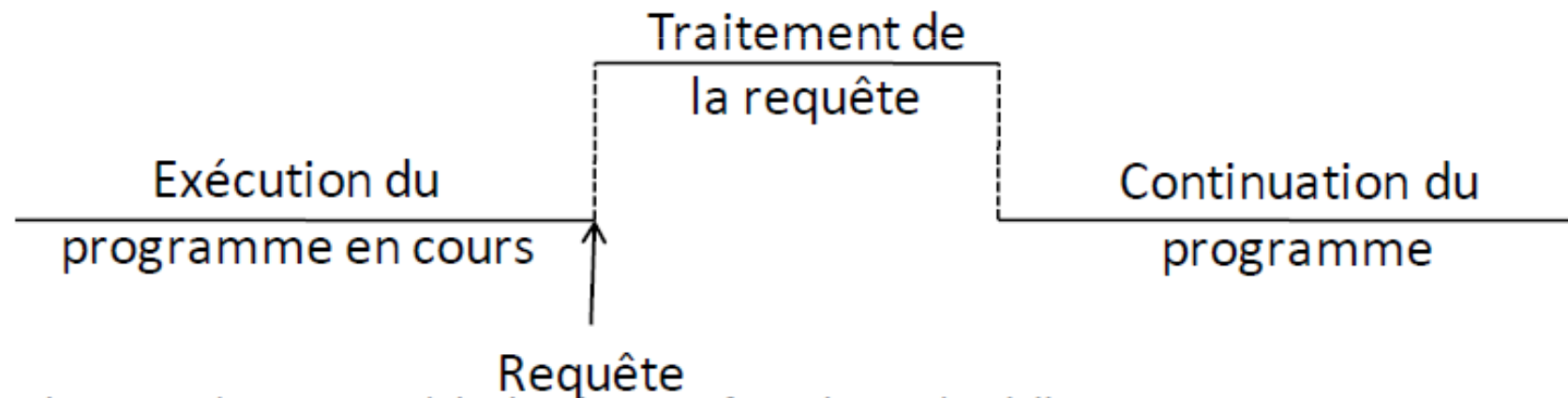
Appel au superviseur

- Instruction qui provoque une commutation de contexte
- Appeler une fonction système : Changer le mot d'état du processeur :
Esclave -> Maître

Le système d'exploitation: Mécanismes de base

Le microprocesseur est en permanence susceptible d'exécuter un programme.

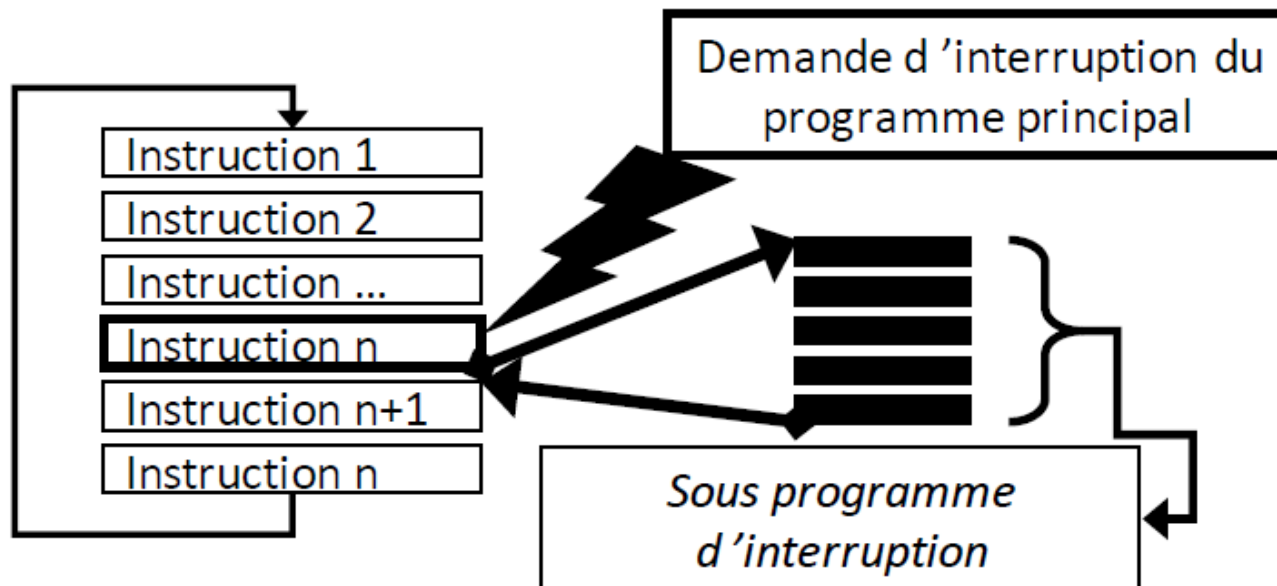
Problème: Comment signaler au microprocesseur un **événement asynchrone** (Ex: Requête d'un périphérique) ?



Le système d'exploitation: Mécanismes de base

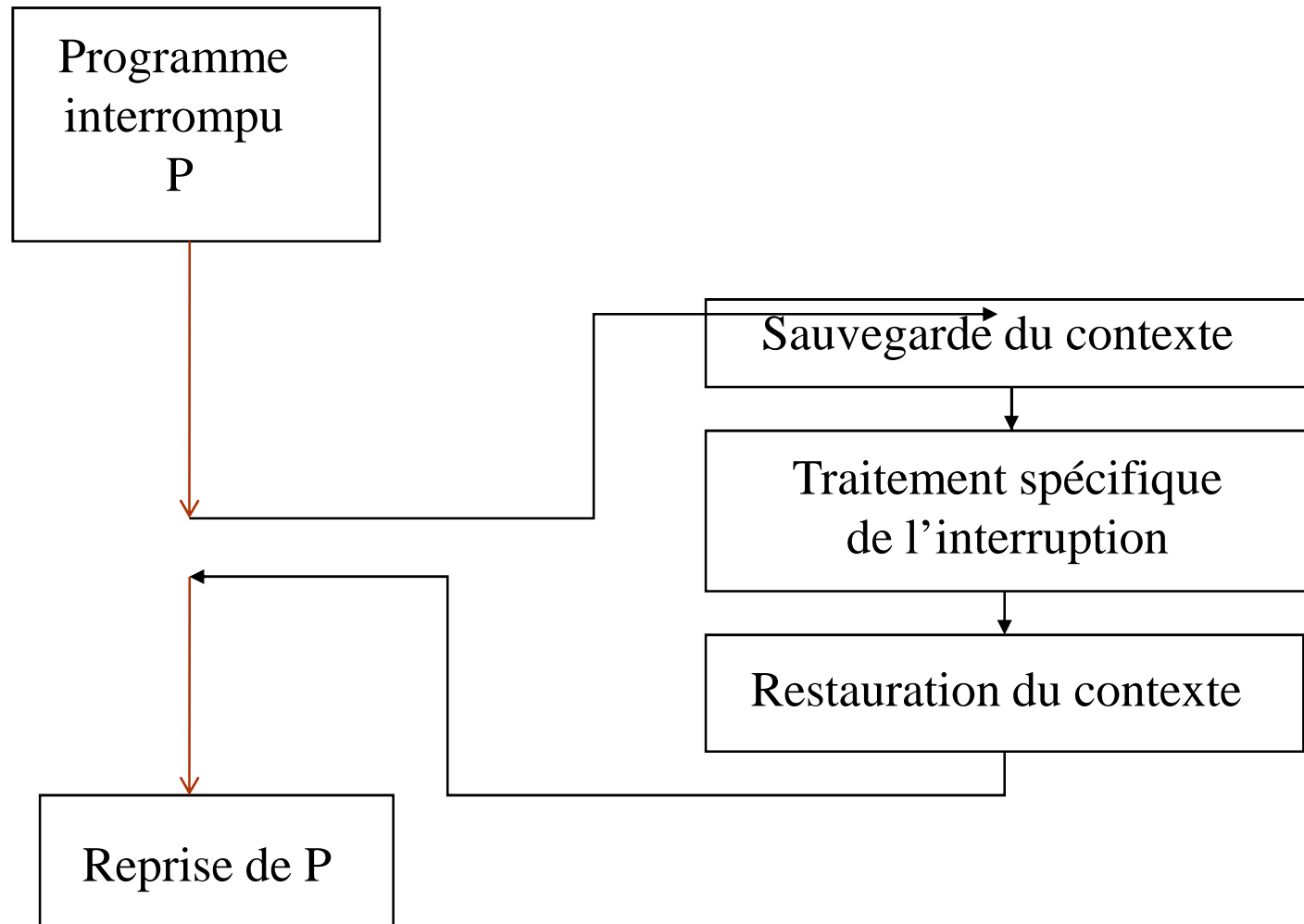
Solution : Système d'interruptions

- Interrompre «brutalement» l'exécution d'un programme en cours à la fin de l'instruction courante
- **Sauvegarder** l'état présent (**contexte**) du microprocesseur
- **Exécution d'un sous programme** dépendant de la nature de l'interruption
- **Restitution** de l'état (**contexte**) du microprocesseur



Le système d'exploitation: Mécanismes de base

Traitement d'interruption



Le système d'exploitation: Mécanismes de base

Les interruptions

- **Interruptions internes** : protection du système et des processus, appelées par une instruction à l'intérieur d'un programme (overflow, erreur d'adressage, code opération inexistant, problème de parité...) (hardware internes)
- **Interruptions logicielles**: permettent à un processus utilisateur de faire un appel au système
- **Interruptions matérielles**: déclenchées par un périphérique (lecteur, clavier, ...)

Le système d'exploitation: Mécanismes de base

Un bon système doit réaliser les fonctions suivantes:

- Activer / désactiver le système d'interruption dans son ensemble
- Armer / désarmer une des interruptions individuellement: une interruption désarmé est ignoré
- Masquer / démasquer individuellement une interruption. Une interruption masquée n'est pas ignorée, **elle est mémorisée** , elle n'est pris en compte que lorsqu'elle est démasquée
- Etablir une hiérarchie entre les sources d'interruption avec plusieurs niveaux de priorité, si possible de façon dynamique
- Associer un programme spécifique à chaque interruption

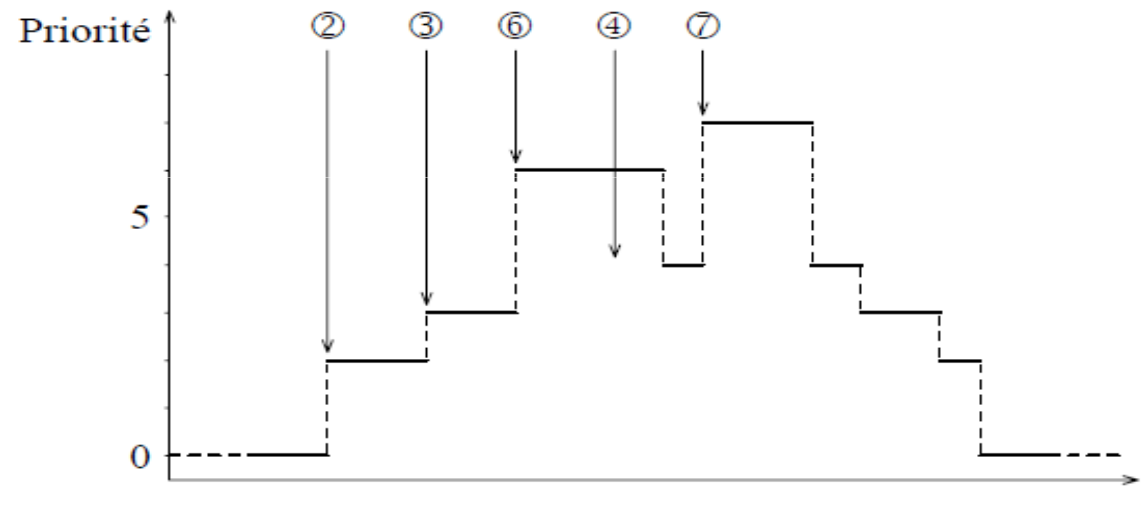
Le système d'exploitation: Mécanismes de base

Les priorités

A chaque interruption, est associée une priorité (système d'interruptions hiérarchisées) qui permet de regrouper les interruptions en classes. Chaque classe est caractérisée par un degré d'urgence d'exécution de son programme d'interruption.

Règle : Une interruption de priorité j est plus prioritaire qu'une interruption de niveau i si $j > i$.

**Système
d'interruptions
hiérarchisées**



L'intérêt de ce système est la solution de problèmes tels que :

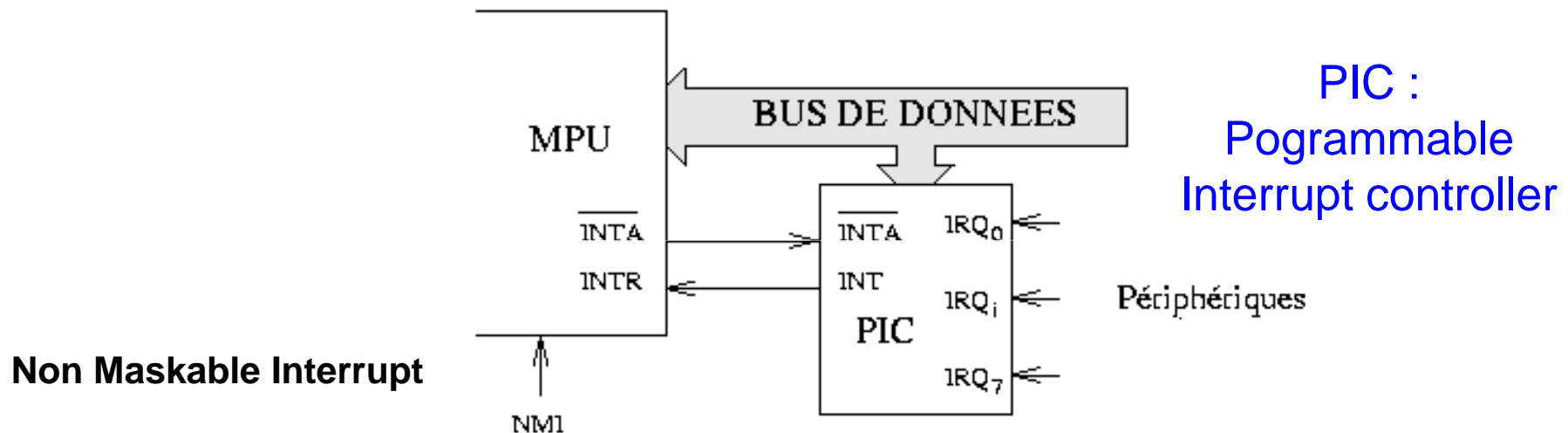
- arrivée de plusieurs signaux d'interruption pendant l'exécution d'une instruction,
- arrivée d'un signal d'interruption pendant l'exécution du signal de traitement d'une interruption précédente.

On peut utiliser un contrôleur d'interruptions pour regrouper les fils d'interruptions, gérer les priorités entre les interruptions et donner les éléments de calcul d'adresse au processeur.

Le système d'exploitation: Mécanismes de base

Le contrôleur d'interruption

Le *contrôleur d'interruptions* est un circuit spécial, extérieur au processeur, dont le rôle est de distribuer et de mettre en attente les demandes d'interruptions provenant des différents périphériques.



- Le contrôleur est relié aux interfaces gérant les périphériques par les **bornes IRQ** (*InterRupt reQuest*).
- Il gère les demandes d'interruption envoyées par les périphériques, de façon à les envoyer une par une au processeur (via **INTR**).
- Il est possible de programmer le contrôleur pour affecter des priorités différentes à chaque périphérique,
- Avant d'envoyer l'interruption suivante, le contrôleur attend d'avoir reçu le signal **INTA** (*Interrupt acknowledge*), indiquant que le processeur a bien traité l'interruption en cours.