HW2 實驗報告 B023040050 顏義洋

程式碼檔案：pipealu.v Testbench：pipealu\_test.v

程式碼分兩個always，分別代表pipeline的兩個階段：

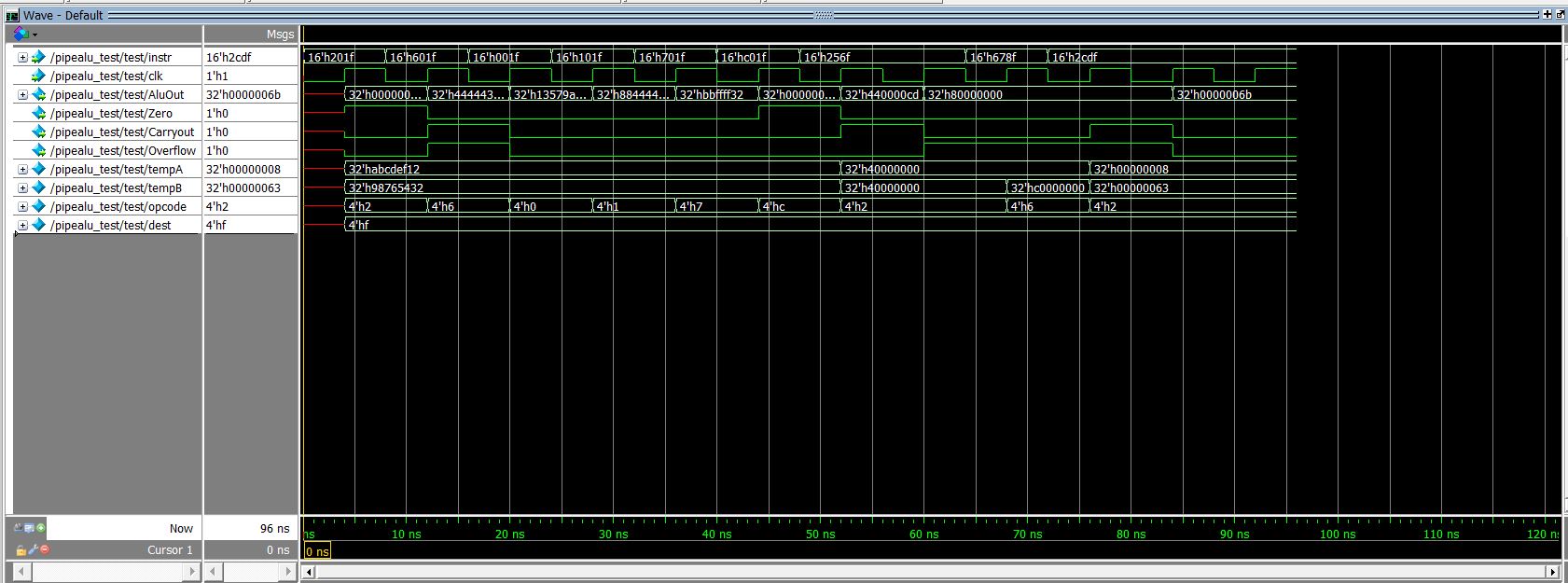
第一階段：(1)設定記憶體的值(值為固定)，(2)instruction fetch。

第二階段：(1)邏輯運算(2)計算Carryout(3)計算overflow

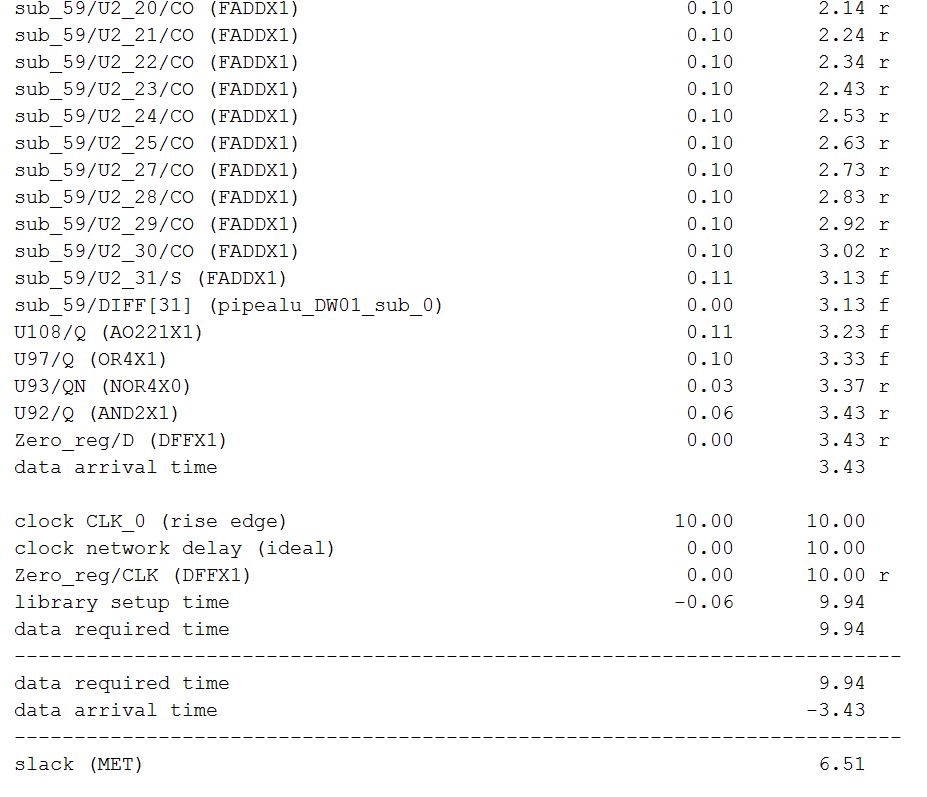
途中遇到的問題：

原本是將記憶體初始化寫在一個initial-begin~end內來做初始化，在modelsim模擬實沒有問題，但是用Desgin Complier合成完的module再度放回modesim模擬時就出現問題：initial 無法合成，導致結果錯誤。

Modelsim模擬結果(modelsim\_behave\_result.JPG)：

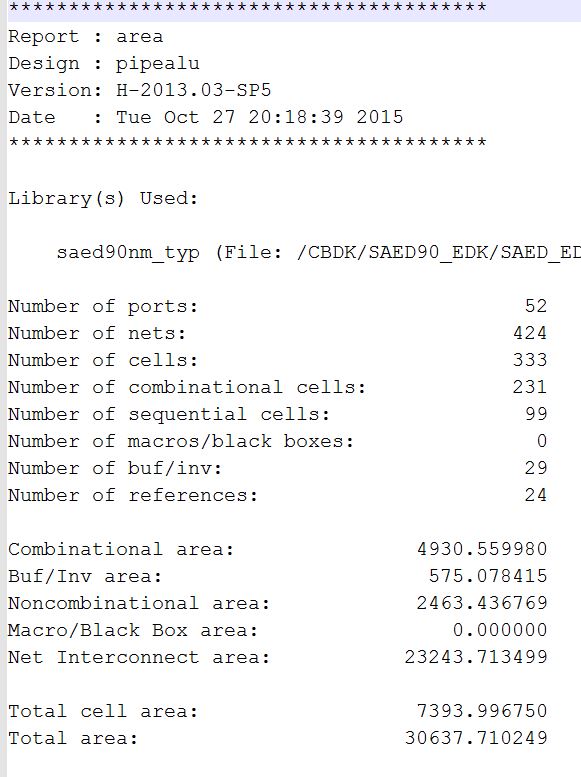


Critical path delay：



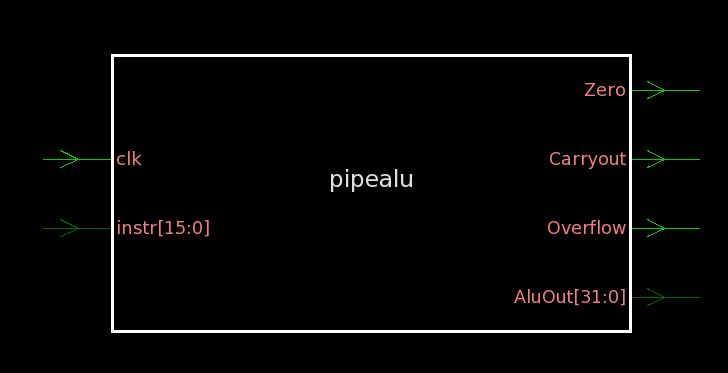
詳細資訊在：DC\_timing.txt

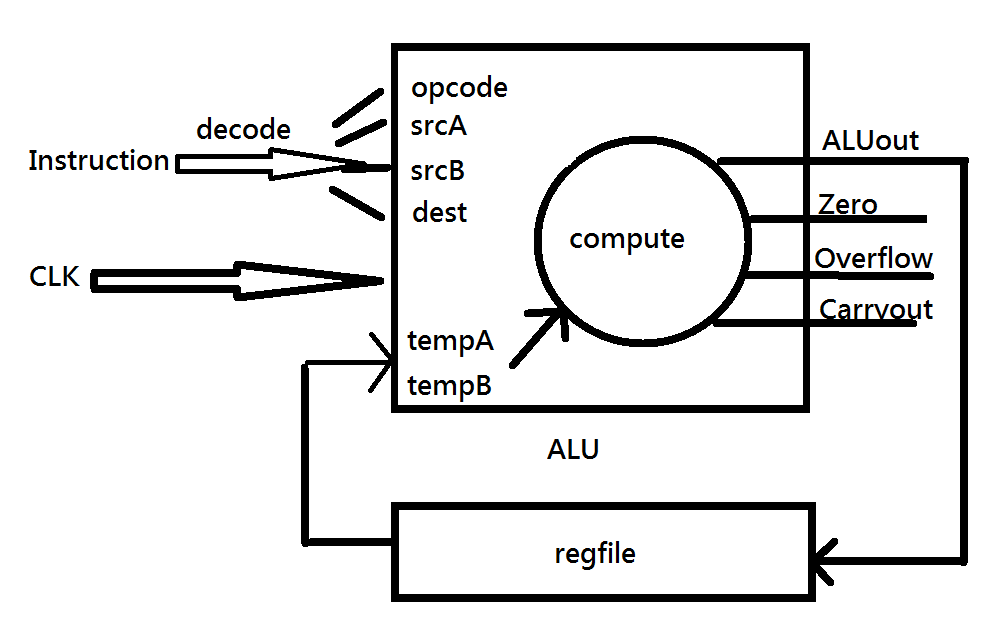
Total area cost：



詳細資訊在：DC\_area.txt

結構圖：

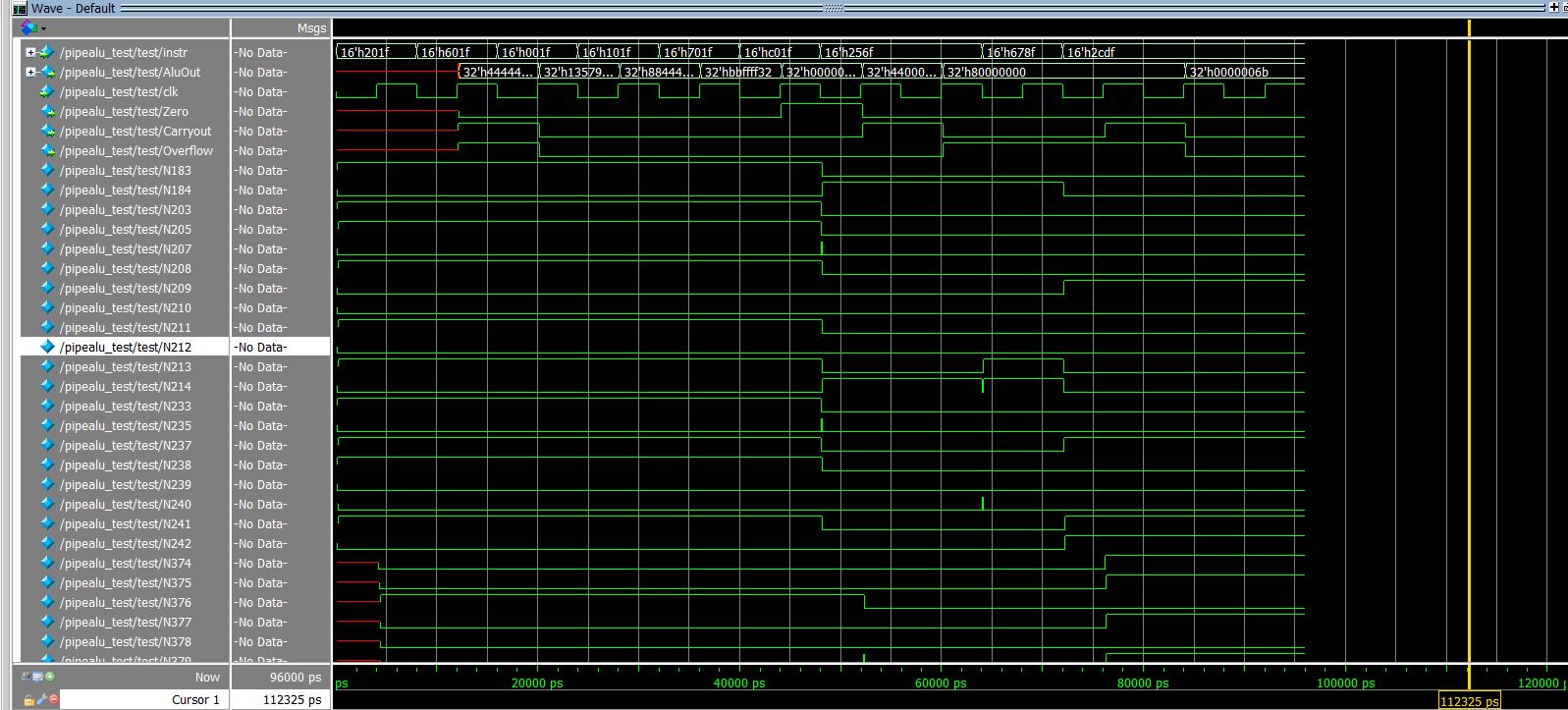


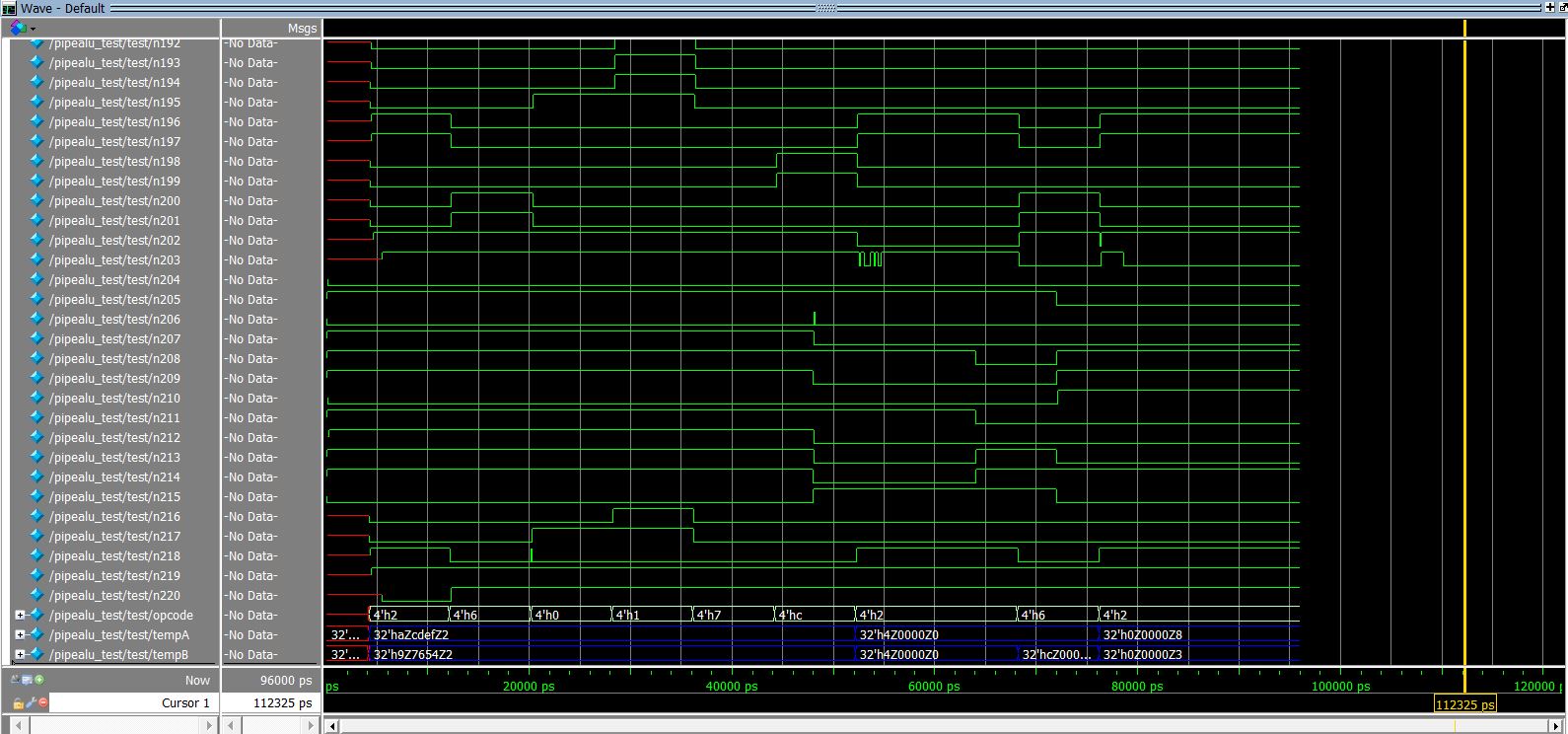


程式碼合成之後之大略結構圖如上面兩個圖片。

用Design Compiler合成出來的模組(檔案after\_dv.v)用原本的testbench模擬：

模擬結果與原本behavior的寫法模擬結果相同，但是regfile的初始化出現問題，可能是程式寫法不嚴謹，導致合成出來的gatelevel模組有漏洞。



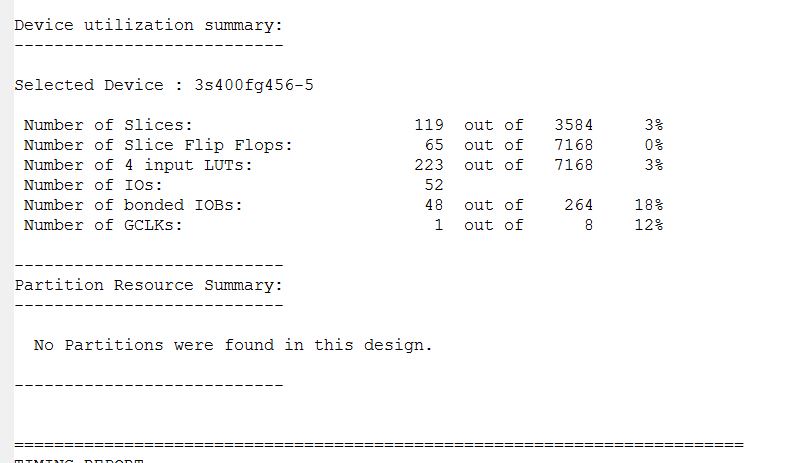


用FPGA合成gatelevel ：

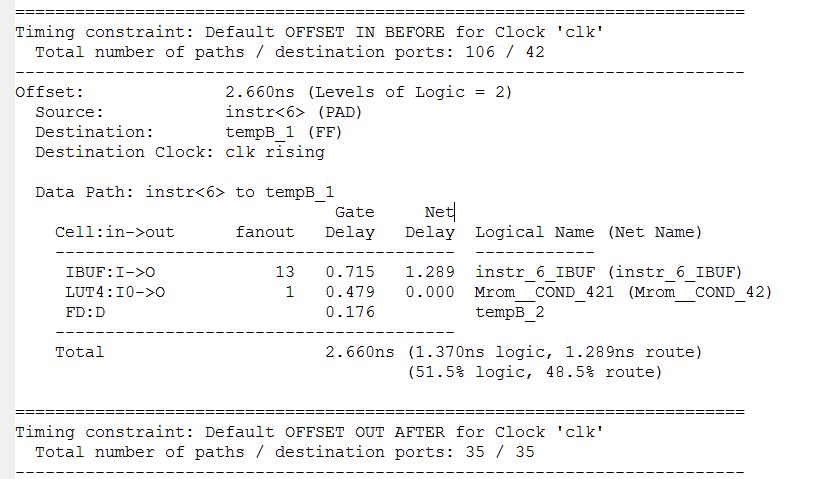
因Xlinx授權問題的關係，經由助教同意改用：

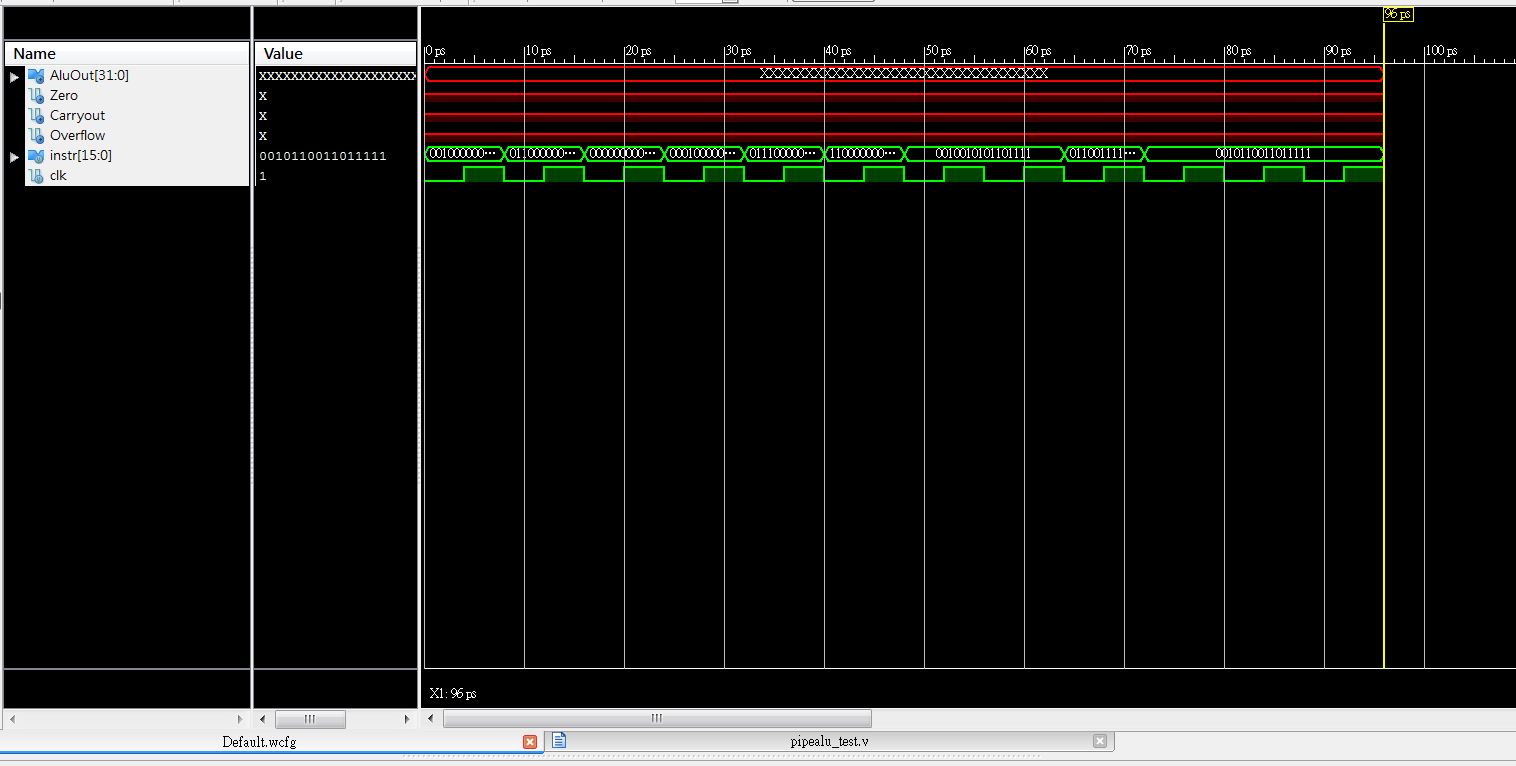
Device： XC3S400 Package：FG456

FPGA合成Area：(fpga\_area.txt)



Timing(fpga\_timing.txt)：





將FPGA合成出來的gatelevel用testbench跑模擬時失敗，原因可能是記憶體初始化錯誤。