

Міністерство освіти і науки України
Національний університет “Львівська політехніка”

Кафедра ЕОМ



Звіт

З лабораторної роботи №1

З дисципліни: «Моделювання комп'ютерних систем»

На тему: «Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

Варіант 18

Виконав: ст. гр. КІ-201

Луцик Н. І.

Прийняв:

Козак Н. Б.

Львів 2024

Мета роботи:

Інсталювати та ознайомитися з середовищем розробки Xilinx ISE.
Ознайомитися зі стендом Elbert V2 – Spartan 3A FPGA.

Етапи роботи:

1. Інсталяція Xilinx ISE та додавання ліцензії. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACKTM
2. Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файала та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Варіант виконання роботи:

Мій номер в списку – 18. Нижче наведена таблиця вхідних та вихідних сигналів для мого варіанту.

Табл.1.1. Вхідні та вихідні сигнали.

in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
0	0	0	0	1	0	0	1	1
0	0	0	1	1	0	0	1	0
0	0	1	0	0	0	0	1	0
0	0	1	1	0	0	1	1	0
0	1	0	0	1	0	0	0	0
0	1	0	1	1	0	0	1	0
0	1	1	0	0	0	0	1	0
0	1	1	1	0	0	0	0	0
1	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0	0
1	0	1	0	1	0	0	0	0
1	0	1	1	1	0	0	1	0
1	1	0	0	1	1	0	0	0
1	1	0	1	0	1	0	1	0
1	1	1	0	0	1	0	0	0
1	1	1	1	0	1	0	0	0

Виконання роботи:

Мінімізація формул вихідних сигналів:

Map

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	1	1	0	0
$\overline{A}B$	1	1	0	0
$A\overline{B}$	1	0	0	0
AB	0	0	1	1

Map Layout

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	0	1	3	2
$\overline{A}B$	4	5	7	6
$A\overline{B}$	12	13	15	14
AB	8	9	11	10

Groups

(0,1,4,5)	$\overline{A}\overline{C}$
(4,12)	$B\overline{C}\overline{D}$
(10,11)	$A\overline{B}C$

$$y = A'C' + BC'D' + AB'C$$

Map

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	0	0	0	0
$\overline{A}B$	0	0	0	0
$A\overline{B}$	1	1	1	1
AB	0	0	0	0

Map Layout

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	0	1	3	2
$\overline{A}B$	4	5	7	6
$A\overline{B}$	12	13	15	14
AB	8	9	11	10

Groups

(12,13,14,15)	$A\overline{B}$
---------------	-----------------

$$y = AB$$

Map

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	0	0	1	0
$\overline{A}.B$	0	0	0	0
$A.B$	0	0	0	0
$A.\overline{B}$	0	0	0	0

Map Layout

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	0	1	3	2
$\overline{A}.B$	4	5	7	6
$A.B$	12	13	15	14
$A.\overline{B}$	8	9	11	10

Groups

(3)	$\overline{A.B.C.D}$
-----	----------------------

$$y = A'B'CD$$

Map

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	1	1	1	1
$\overline{A}.B$	0	1	0	1
$A.B$	0	1	0	0
$A.\overline{B}$	0	0	1	0

Map Layout

	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	0	1	3	2
$\overline{A}.B$	4	5	7	6
$A.B$	12	13	15	14
$A.\overline{B}$	8	9	11	10

Groups

(0,1,2,3)	$\overline{A.B}$
(2,6)	$A.C.\overline{D}$
(3,11)	$\overline{B.C.D}$
(5,13)	$B.C.D$

$$y = A'B' + A'CD' + B'CD + BC'D$$

Map

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	1	0	0	0
$\overline{A}B$	0	0	0	0
$A\overline{B}$	0	0	0	0
AB	1	0	0	0

Map Layout

	$\overline{C}\overline{D}$	$\overline{C}D$	$C\overline{D}$	CD
$\overline{A}\overline{B}$	0	1	3	2
$\overline{A}B$	4	5	7	6
$A\overline{B}$	12	13	15	14
AB	8	9	11	10

Groups

(0,8)

$\overline{B}C\overline{D}$

$y = B'C'D'$

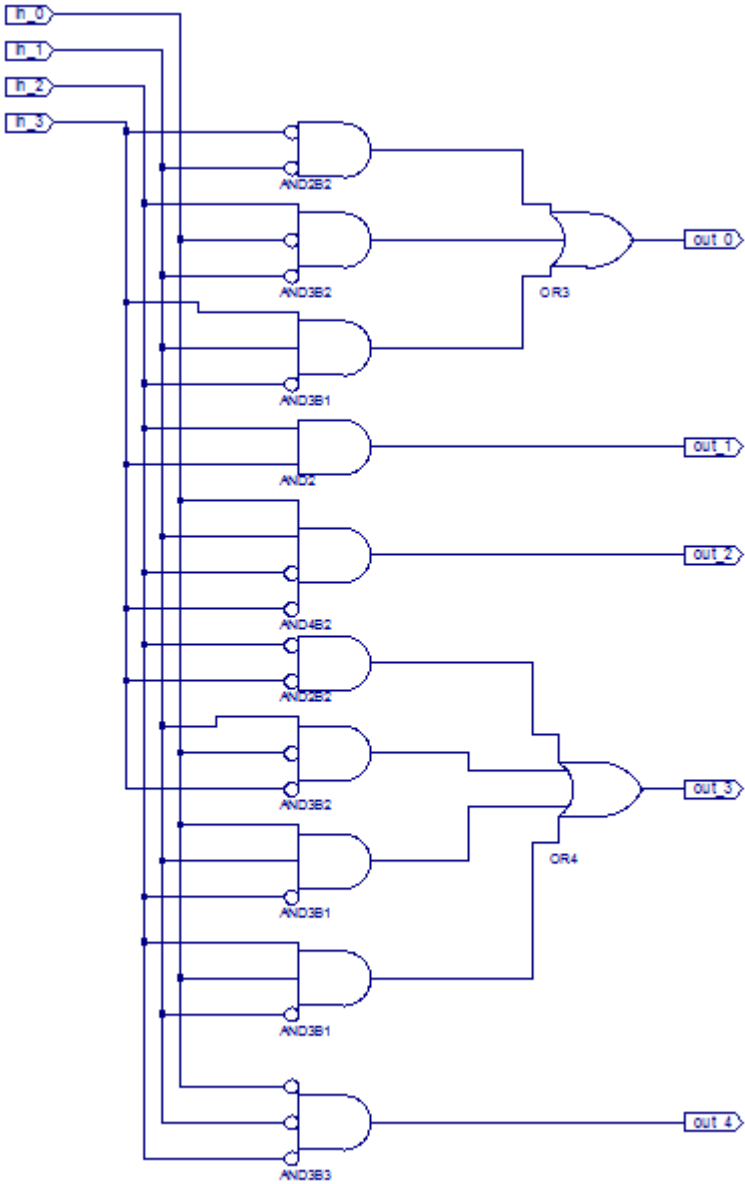


Рис 1.1. Схема з шиною вхідних сигналів.

```

1  #----- UCF for ElbertV2 Development Board -----#
2  #
3  #
4  CONFIG VCCAUX = "3.3" ;
5  #----- LED -----#
6  #
7  #
8  #
9  NET "OUTPUT_0" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
10 NET "OUTPUT_1" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
11 NET "OUTPUT_2" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
12 NET "OUTPUT_3" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
13 NET "OUTPUT_4" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
14 #----- DP Switches -----#
15 #
16 #
17 #
18 NET "INPUT (0) " LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
19 NET "INPUT (1) " LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
20 NET "INPUT (2) " LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
21 NET "INPUT (3) " LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
22 #
23 #
24 #

```

Рис 1.2. Файл з призначенням фізичних входів та виходів для сигналів.

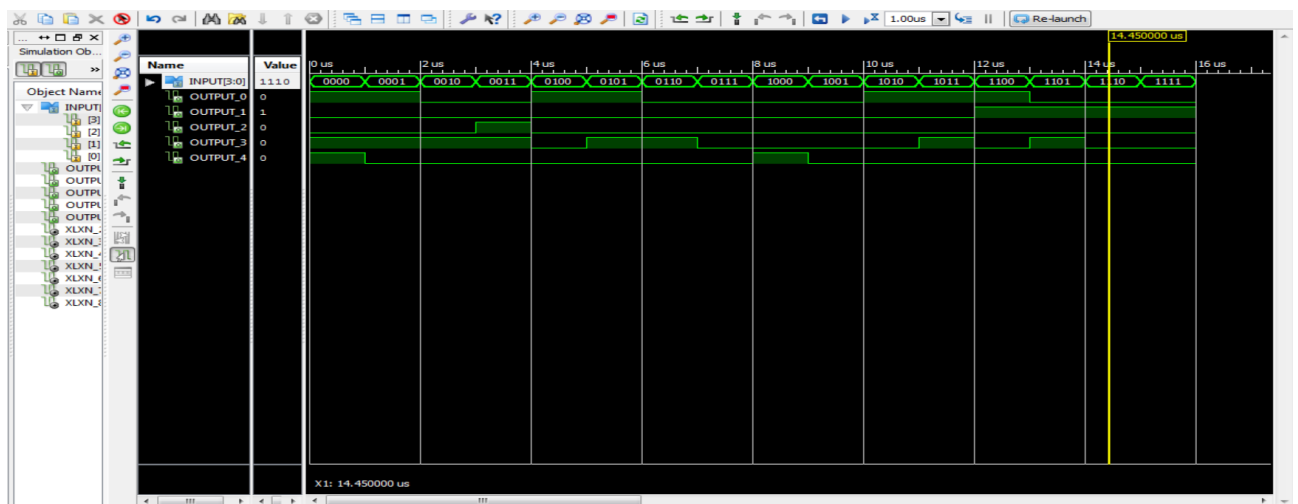
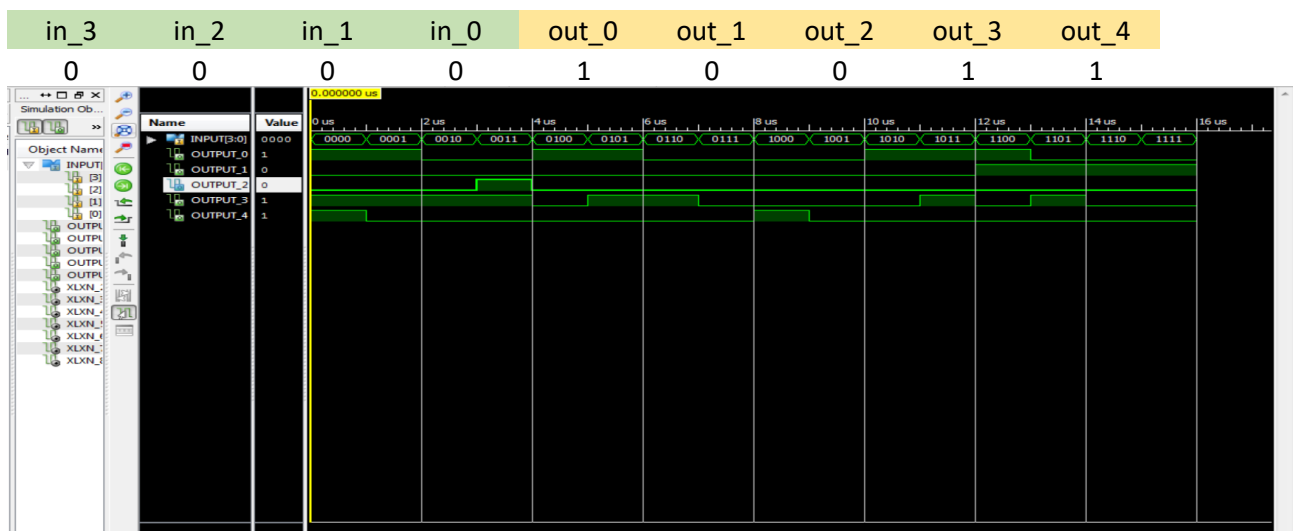
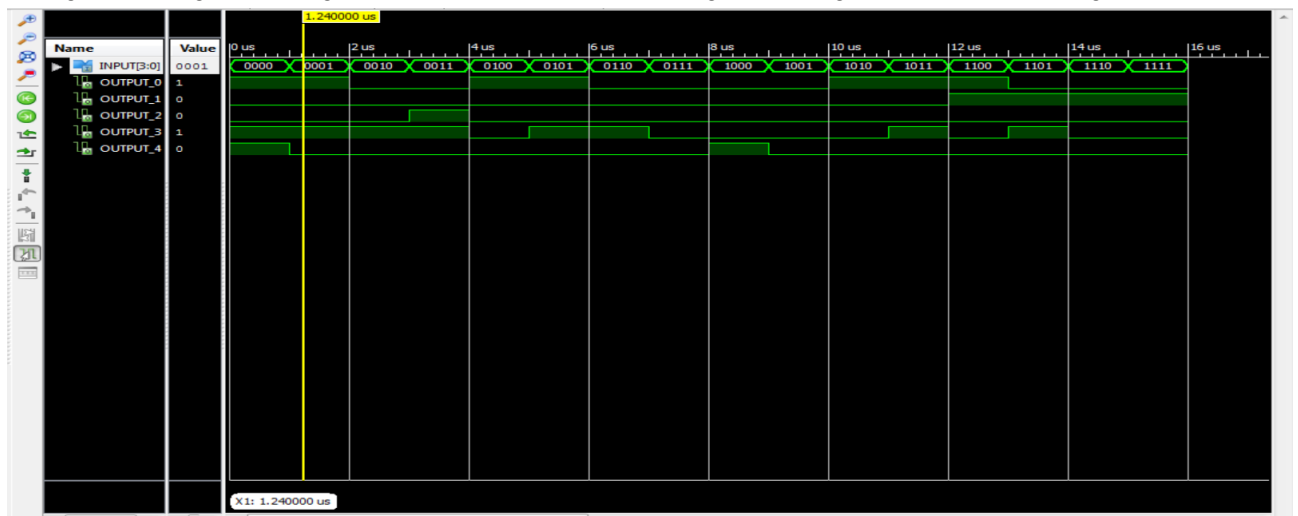


Рис 1.3. Повна симуляція роботи схеми в ISim.

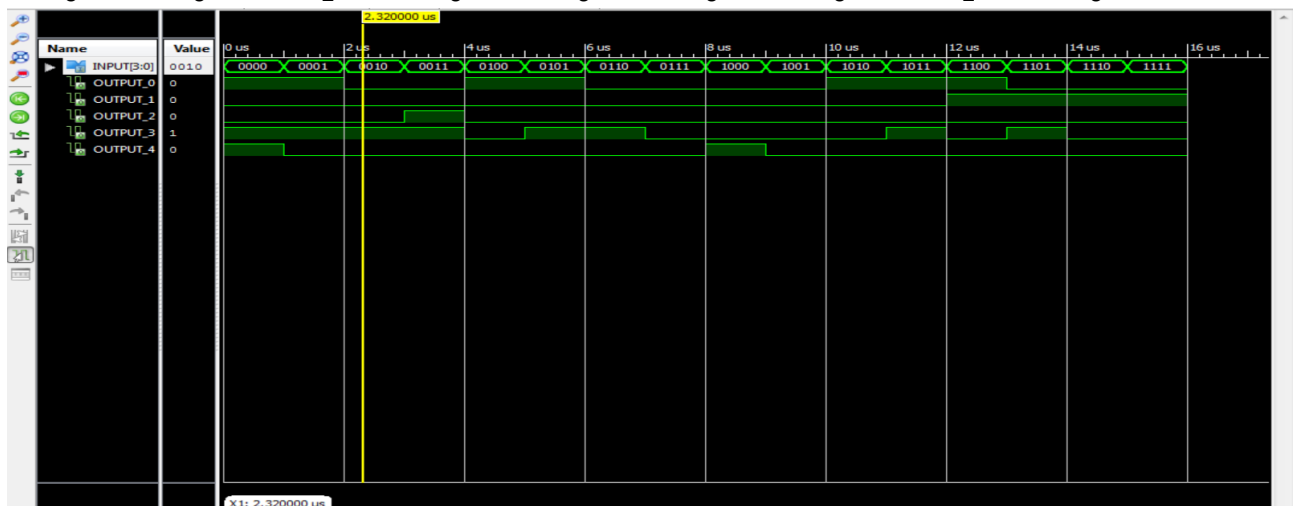
Порівняння сигналів:



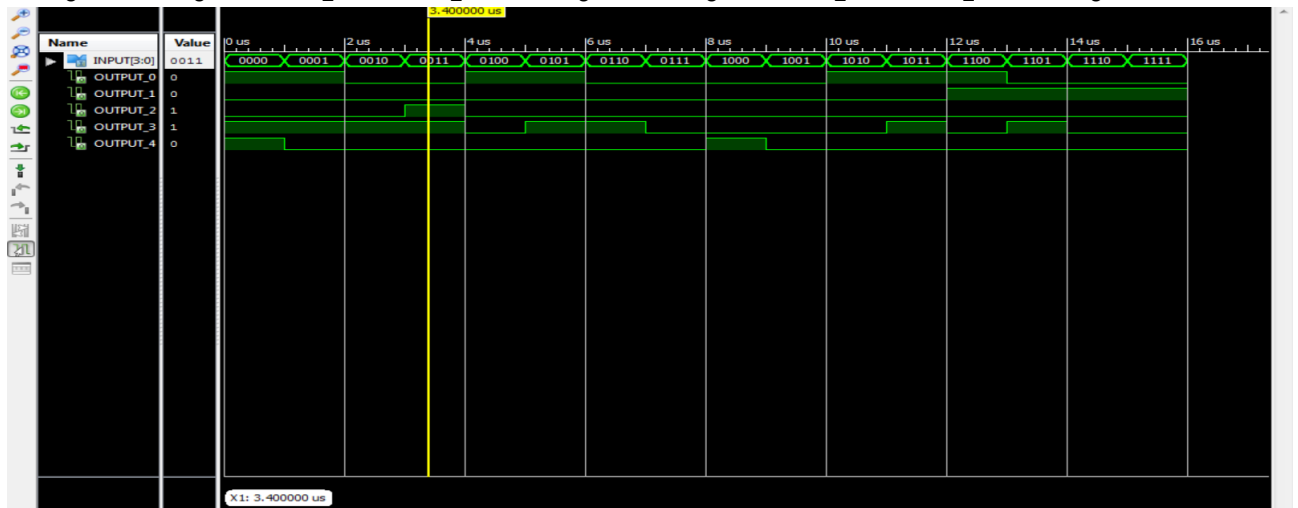
in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
0	0	0	1	1	0	0	1	0

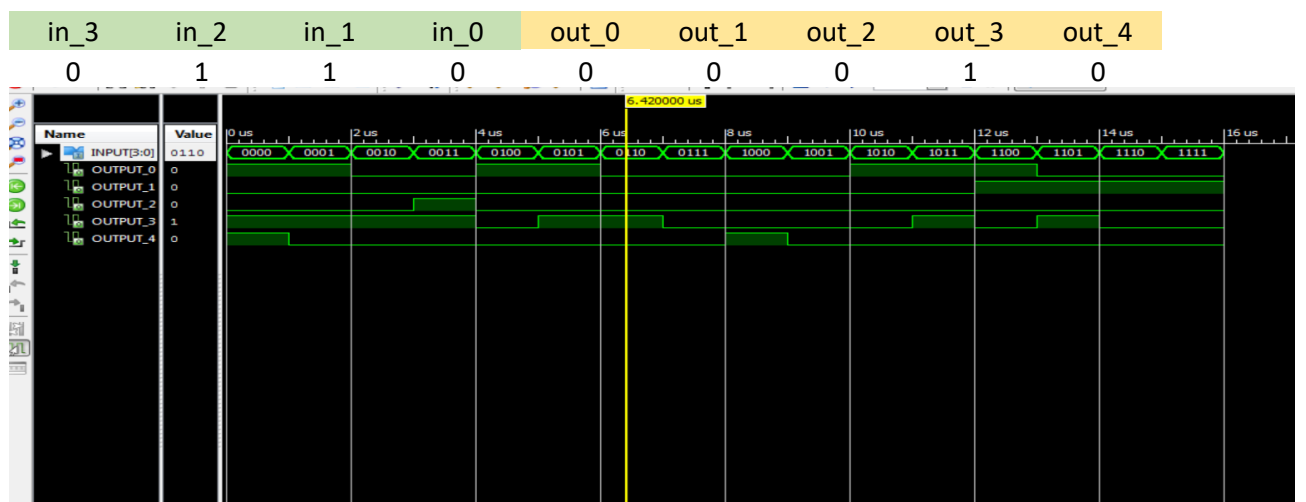
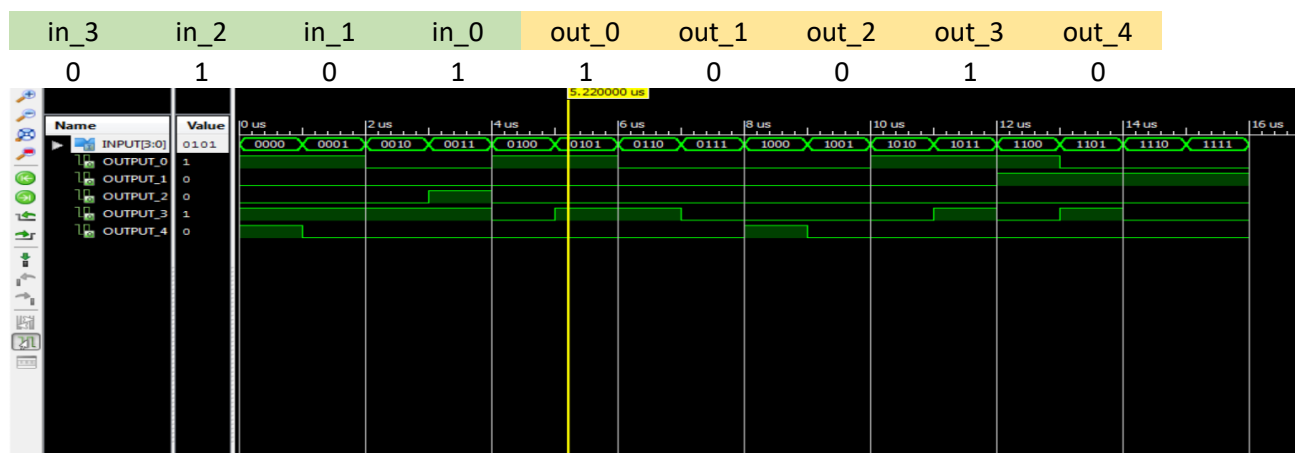
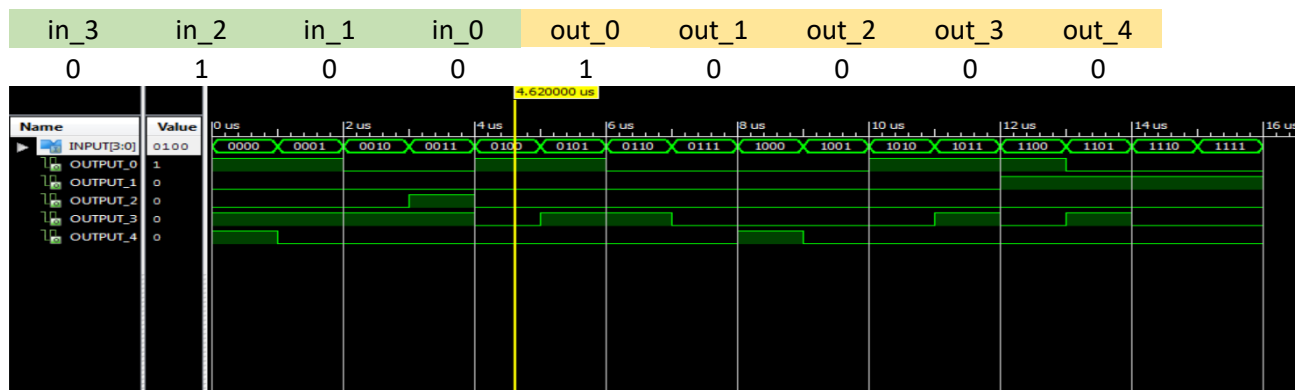


in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
0	0	1	0	0	0	0	1	0

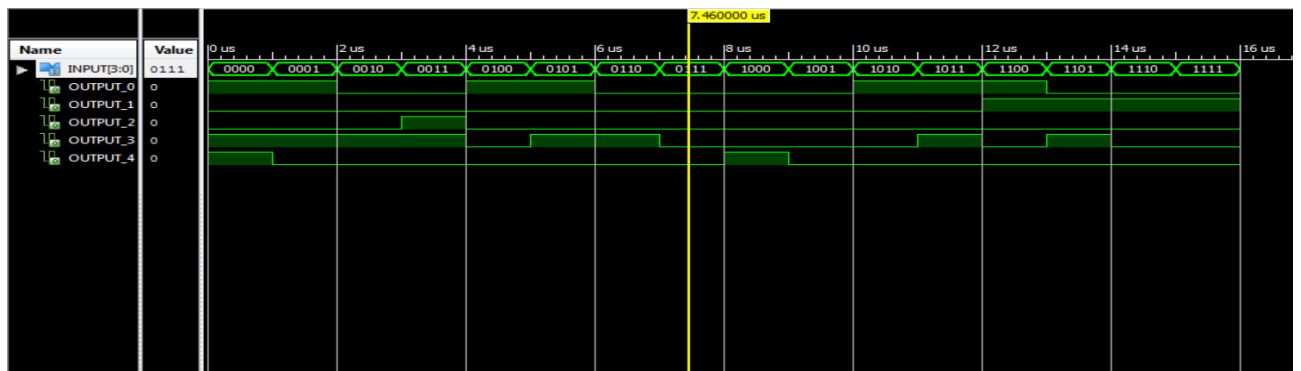


in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
0	0	1	1	0	0	1	1	0

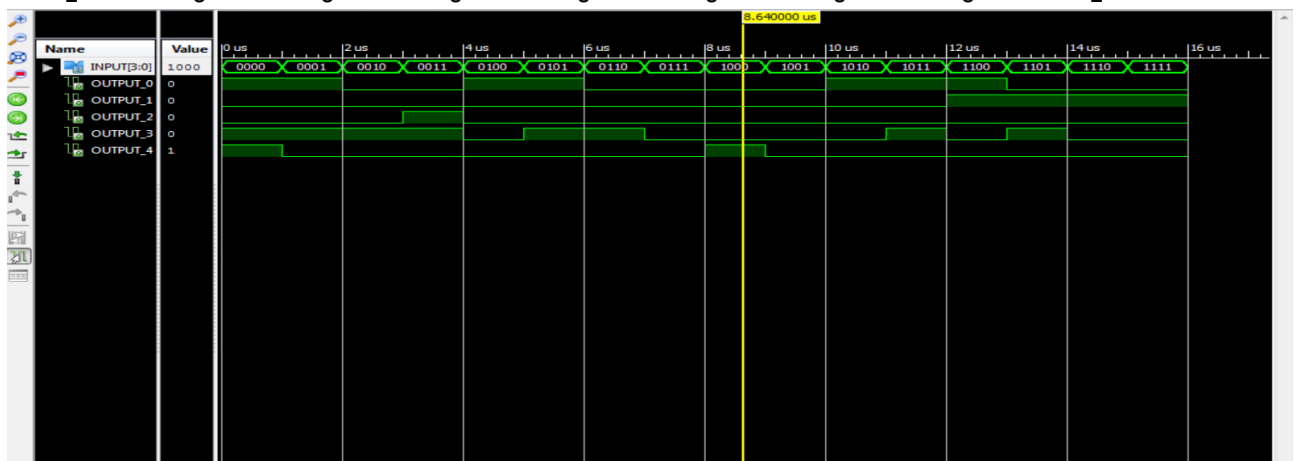




in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
0	1	1	1	0	0	0	0	0



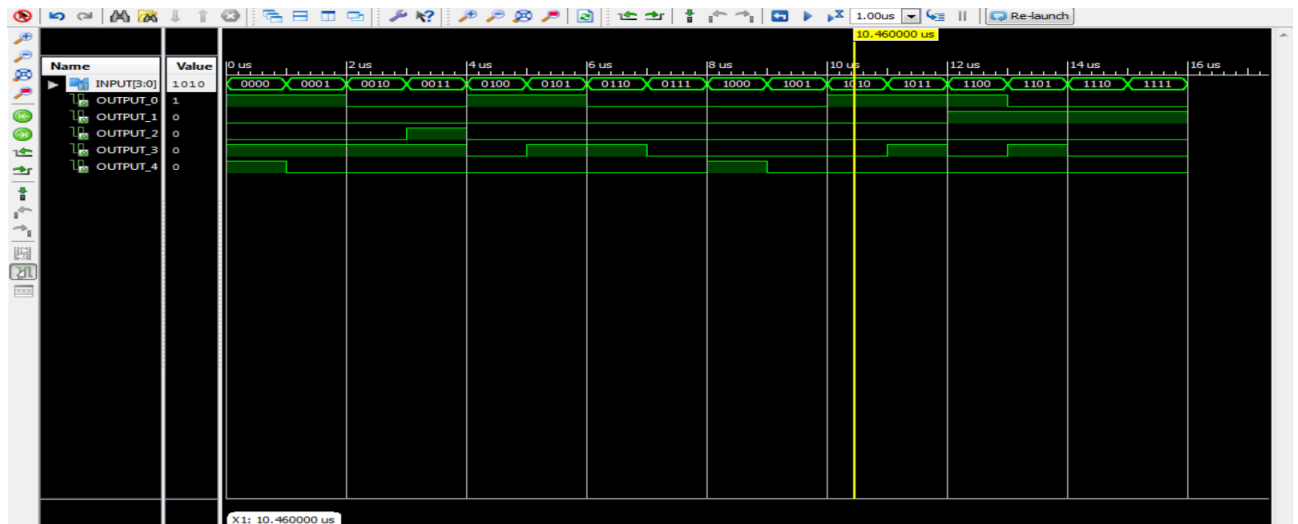
in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
1	0	0	0	0	0	0	0	1



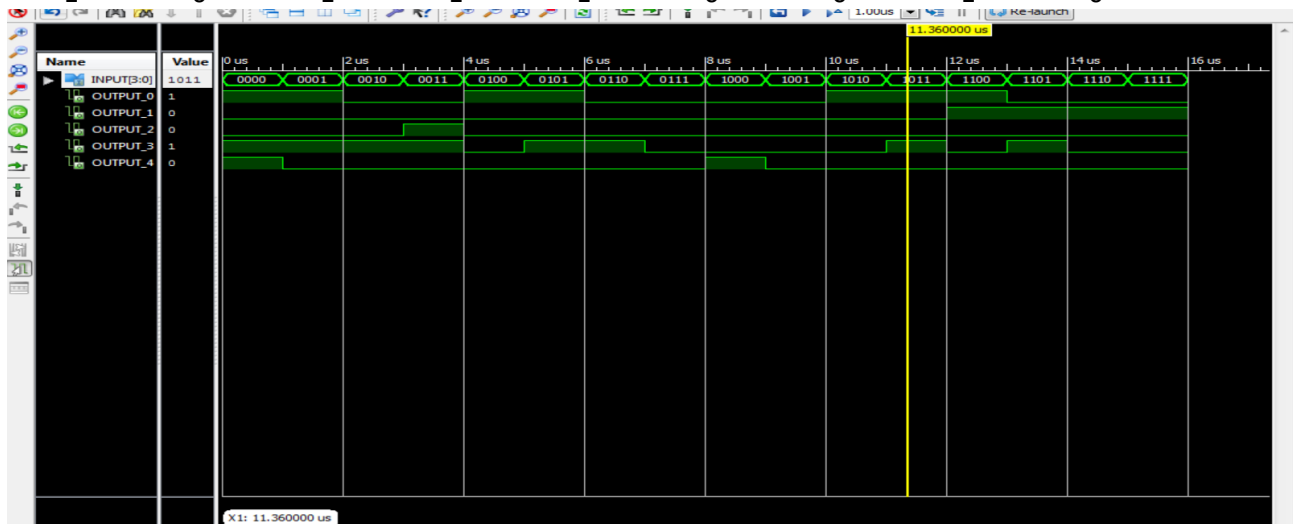
in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
1	0	0	1	0	0	0	0	0



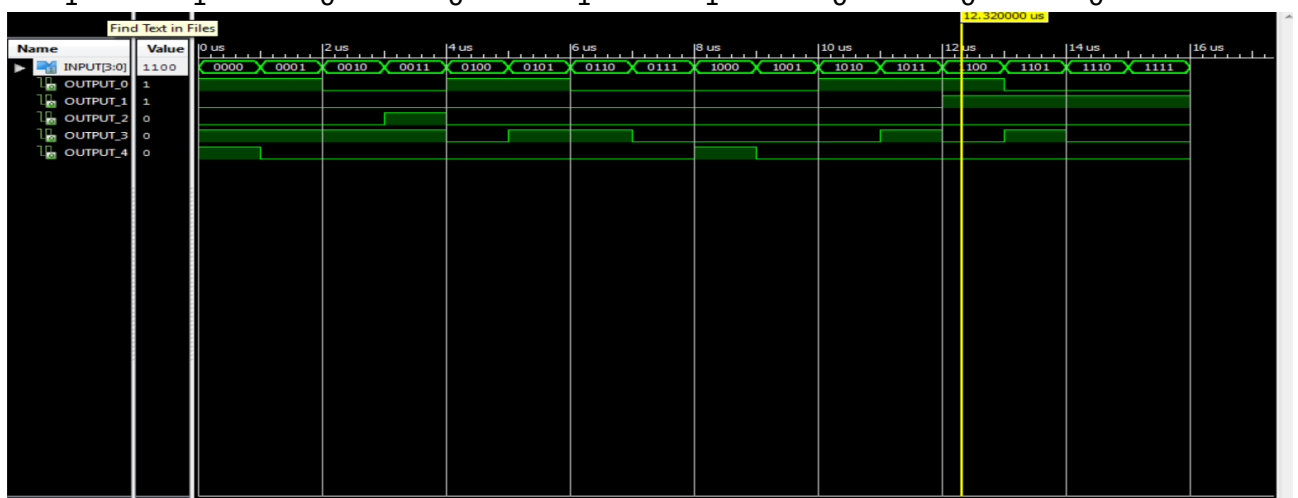
in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
1	0	1	0	1	0	0	0	0



in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
1	0	1	1	1	0	0	1	0



in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
1	1	0	0	1	1	0	0	0



in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3	out_4
1	1	0	0	1	1	0	0	0

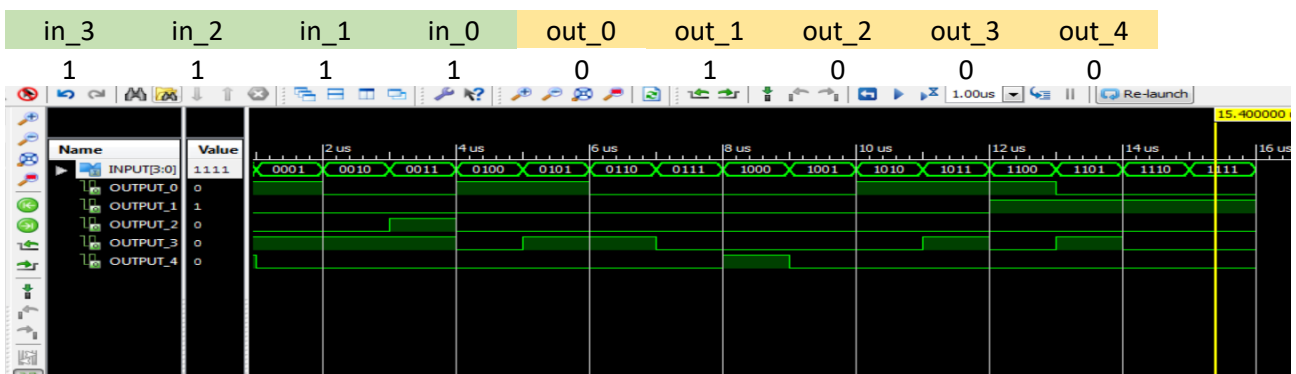
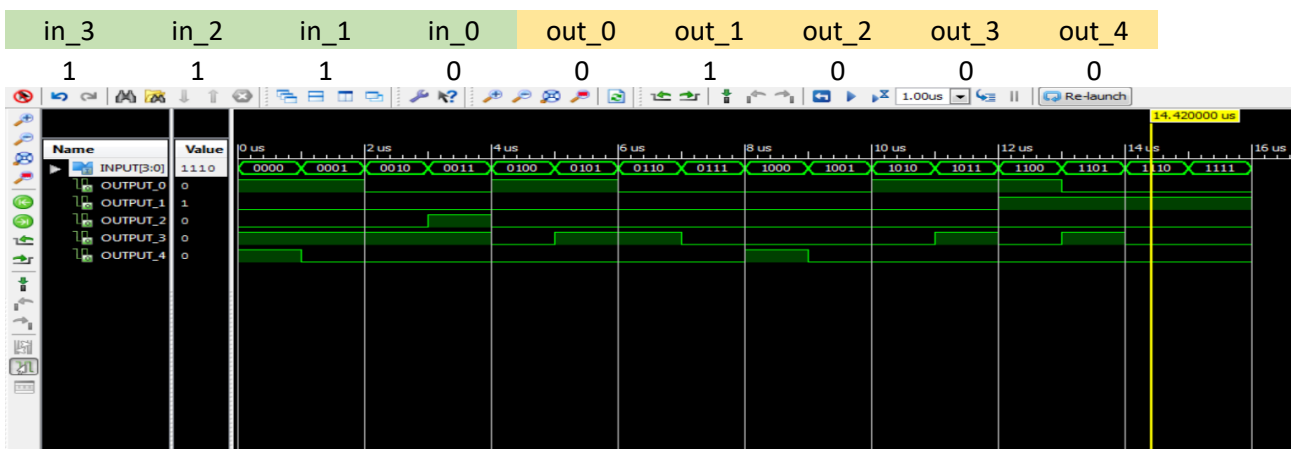
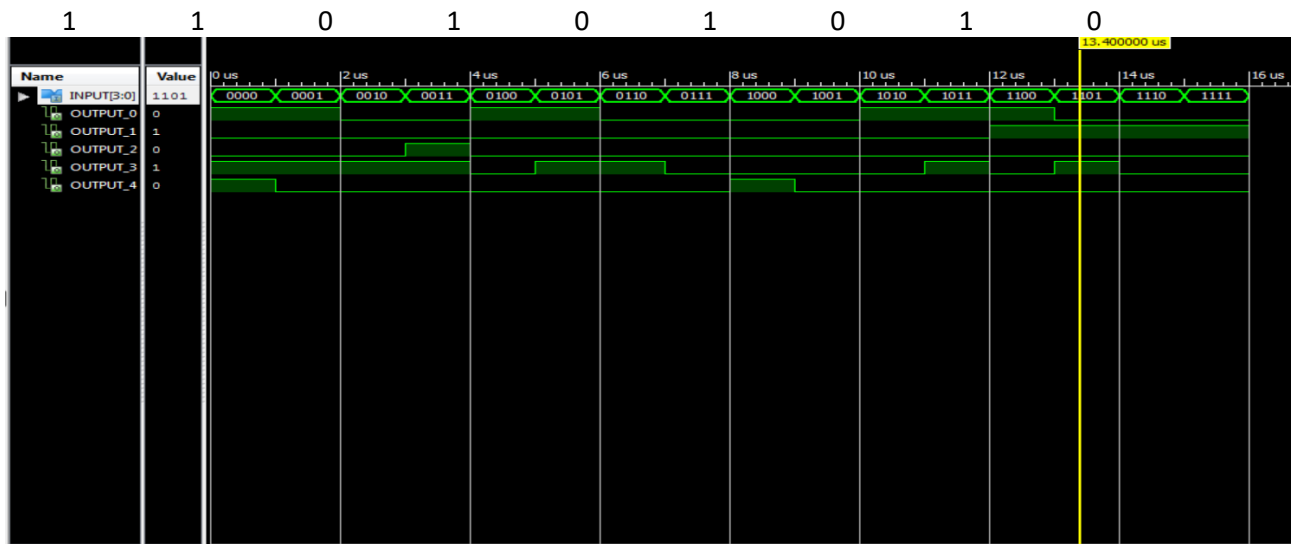


Рис 1.4.1 – 1.4.16. Порівняння сигналів з Табл.1.1 та симуляції ISim.

Висновок:

В ході виконання цієї лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE. В цьому середовищі я розробив схему, згідно з таблицею істинності для мого варіанту. Я протестував усі можливі комбінації вхідних сигналів в ISim та порівняв вихідні сигнали з таблицею істинності. Також я ознайомився зі стендом Elbert V2 – Spartan 3A FPGA.