

Εργασία 2 (υποχρεωτική) – Κρυφές Μνήμες

ΑΚΑΔΗΜΑΪΚΟ ΕΤΟΣ 2024 – 2025

(ΕΚΦΩΝΗΣΗ) ΤΡΙΤΗ 3 ΔΕΚΕΜΒΡΙΟΥ 2024

(ΠΑΡΑΔΟΣΗ ΣΤΟ ECLASS ΜΕΧΡΙ) ΔΕΥΤΕΡΑ 23 ΔΕΚΕΜΒΡΙΟΥ 2024

Επώνυμο – Όνομα	Πατρώνυμο Μητρώνυμο	Αριθμός Μητρώου	Email
Κουλλόλλι Μικαέλα	Γκεζίμ-Ετλέβα	1115202100071	sdi2100071@di.uoa.gr
Αντρέας Παύλου	Θεόδωρος-Γεωργία	1115202100223	sdi2100223@di.uoa.gr

Πληροφορίες για τις Υποχρεωτικές Εργασίες του μαθήματος

- Οι υποχρεωτικές εργασίες του μαθήματος είναι **δύο**. Σκοπός τους είναι η κατανόηση των εννοιών του μαθήματος με χρήση αρχιτεκτονικών προσομοιωτών. Η πρώτη υποχρεωτική εργασία αφορά τη διοχέτευση (pipelining) και η δεύτερη (αυτή) αφορά τις κρυφές μνήμες (cache memories).
- Οι δύο εργασίες είναι υποχρεωτικές και η βαθμολογία του μαθήματος θα προκύπτει από το γραπτό (60%), την εργασία της διοχέτευσης (20%), και την εργασία των κρυφών μνημών (20%).
- Κάθε ομάδα μπορεί να αποτελείται **από 1 έως και 2 φοιτητές** (η υποβολή να γίνει μόνο από έναν φοιτητή εκ μέρους όλης της ομάδας – μην κάνετε υποβολές όλοι). Συμπληρώστε τα στοιχεία των μελών της ομάδας στον παραπάνω πίνακα. Τα μέλη της ομάδας πρέπει να έχουν ισότιμη συμμετοχή και να γνωρίζουν τις λεπτομέρειες της υλοποίησης.
- Για την εξεταστική Σεπτεμβρίου δεν θα δοθούν άλλες εργασίες. Το Σεπτέμβριο εξετάζεται μόνο το γραπτό.
- Σε περίπτωση αντιγραφής θα μηδενίζονται όλες οι ομάδες που μετέχουν σε αυτή.
- Η παράδοση της **Εργασίας Κρυφών Μνημών** πρέπει να γίνει **ηλεκτρονικά μέχρι τα μεσάνυχτα της προθεσμίας και μόνο στο eclass** (να ανεβάσετε ένα μόνο αρχείο zip ή rar με την τεκμηρίωσή σας σε PDF και τους κώδικές σας). **Μην περιμένετε μέχρι την τελευταία στιγμή – κάθε εργασία απαιτεί τον χρόνο της.**

Ζητούμενο

Το ζητούμενο της εργασίας είναι η **αξιολόγηση της ιεραρχίας μνήμης** επεξεργασιών MIPS για συγκεκριμένες υπολογιστικές εργασίες με βάση το **μοντέλο Roofline** (γραμμή στέγης) όπως το είδαμε στο Κεφάλαιο 6 του COD6e. Η σχεδίαση του υλικού και του λογισμικού και η αξιολόγηση θα γίνει στον προσομοιωτή QtMips.

Οι υπολογιστικές εργασίες είναι: **(α) πολλαπλασιασμός διανύσματος η στοιχείων επί βαθμωτό, (β) πολλαπλασιασμός τετραγωνικού πίνακα nxn επί βαθμωτό, (γ) πολλαπλασιασμός δύο τετραγωνικών πινάκων nxn**. Για κάθε εργασία, οι αρχικοί πίνακες και τα αποτελέσματα θα βρίσκονται στο τμήμα δεδομένων του προγράμματος. Να εξετάζεται το ενδεχόμενο υπερχείλισης κατά τη διάρκεια εκτέλεσης των πράξεων και το πρόγραμμα να τερματίζει εάν συμβεί υπερχείλιση. Τα στοιχεία των πινάκων είναι ακέραιοι αριθμοί. Να παρουσιάσετε τα αποτελέσματα της μελέτης σας **για τις τιμές n=8, 16, 32 και προαιρετικά για μεγαλύτερες δυνάμεις του 2**.

Για τη χρήση του μοντέλου Roofline ως «απόδοση» να χρησιμοποιήσετε το **πλήθος των πολλαπλασιασμών ανά δευτερόλεπτο** (MPS – multiplications per second) Ως αριθμητική ένταση (arithmetic intensity) να χρησιμοποιήσετε τον λόγο **πολλαπλασιασμοί ανά byte** (MPB – multiplications per byte).

Τα συστήματα MIPS που θα αξιολογήσετε είναι:

MIPS-A: διοχέτευση πέντε σταδίων με πλήρη μονάδα κινδύνων με ανίχνευση και προώθηση και branch predictor των 2-bit με BHT που προσπελάζεται με 5 bit και επίλυση των διακλαδώσεων στο στάδιο EX. Δεν διαθέτει καθόλου κρυφή μνήμη, έχει ρυθμό ρολογιού 100 MHz, και η προσπέλαση της κύριας μνήμης διαρκεί 60 κύκλους ρολογιού.

MIPS-B: διοχέτευση ίδια με την παραπάνω, αλλά το σύστημα μνήμης περιέχει και κρυφή μνήμη ενός επιπέδου με μέγεθος 8KB για εντολές και ξεχωριστά 8KB για δεδομένα. Μπορείτε να επιλέξετε το μέγεθος μπλοκ της καθεμίας μεταξύ 2, 4, και 8 λέξεων και τη συσχετιστικότητα τους μεταξύ 1, 2, και 4 (πολιτική αντικατάστασης LRU όπου απαιτείται). Η πολιτική εγγραφής να είναι ετερόχρονη (write back) και με κατανομή σε εγγραφή (write allocate). Ο ρυθμός ρολογιού του επεξεργαστή παραμένει σταθερός και το ίδιο ο χρόνος προσπέλασης της κύριας μνήμης.

MIPS-Γ: διοχέτευση ίδια με τους παραπάνω, και πρώτο επίπεδο κρυφής μνήμης όπως ο προηγούμενος. Διαθέτει όμως και δεύτερο επίπεδο κρυφής μνήμης με μέγεθος 64KB ενιαία για εντολές και δεδομένα. Μπορείτε να επιλέξετε το μέγεθος μπλοκ μεταξύ 2, 4, και 8 λέξεων και τη συσχετιστικότητα μεταξύ 1, 2, και 4 (πολιτική αντικατάστασης LRU όπου απαιτείται). Η πολιτική εγγραφής να είναι ετερόχρονη (write back) και με κατανομή σε εγγραφή (write allocate). Η προσπέλαση του δεύτερου επιπέδου κρυφής μνήμης διαρκεί 6 κύκλους ρολογιού. Ο ρυθμός ρολογιού του επεξεργαστή παραμένει σταθερός και το ίδιο ο χρόνος προσπέλασης της κύριας μνήμης.

Να συμπληρώσετε τον παρακάτω πίνακα με **τις σχεδιαστικές αποφάσεις σας** για τις κρυφές μνήμες κάθε επεξεργαστή που διαθέτει τέτοιες.

Χαρακτηριστικό	MIPS-A	MIPS-B	MIPS-Γ
L1 caches μέγεθος μπλοκ (2, 4, 8 λέξεις)	-	8	8
L1 caches συσχετιστικότητα (1, 2, 4)	-	4	4
L2 cache μέγεθος μπλοκ (2, 4, 8 λέξεις)	-	-	8
L2 cache συσχετιστικότητα (1, 2, 4)	-	-	4

Για κάθε CPU **να σχεδιάσετε τα διαγράμματα Roofline** και το σημείο που βρίσκονται σε αυτά οι υπολογιστικές εργασίες για τις διάφορες τιμές της παραμέτρου n . Να σχολιάσετε τις συμπεριφορές που παρατηρείτε και πιθανές βελτιώσεις του κάθε συστήματος για τις συγκεκριμένες υπολογιστικές εργασίες.

Τεκμηρίωση

[Σύντομη τεκμηρίωση της λύσης σας ενδεικτικά (όχι αυστηρά) μέχρι **10 σελίδες ξεκινώντας από την επόμενη σελίδα** – μην αλλάζετε τη μορφοποίηση του κειμένου (**και παραδώστε την τεκμηρίωση σε αρχείο PDF**). Η τεκμηρίωσή σας πρέπει να περιλαμβάνει παραδείγματα εκτέλεσης και σχολιασμό για την επίλυση του προβλήματος και την επίτευξη του ζητούμενου. Μπορείτε να χρησιμοποιήσετε εικόνες, διαγράμματα και ό,τι άλλο μπορεί να βοηθήσει στην εξήγηση της δουλειάς σας.]

[ΚΩΔΙΚΑΣ]

Όσον αφορά τον αλγόριθμο πολλαπλασιασμού πινάκων, υλοποιήθηκε αλγόριθμος με χρήση της τεχνικής tiling, δηλαδή να γίνεται διαχωρισμός των πινάκων σε πολλούς υποπίνακες, όπου για πίνακες διαστάσεων $X * Y$, είναι απαραίτητο ο Y να είναι ο ανάστροφος (transpose) πίνακας. Στην περίπτωση μας, επιλέχθηκε το kernel $4x4$, ώστε να βελτιστοποιηθεί η απόδοση ως προς τη χρήση LRU caching. Παρακάτω παρατίθενται στιγμιότυπα οθόνης (screenshots), τα οποία αποδεικνύουν την ορθότητα των προγραμμάτων μας, τα οποία έχουν ελεγχθεί μέσω ενός Python script, το οποίο είναι επίσης διαθέσιμο στα προγράμματα.

****Για τα άλλα δύο προγράμματα - εργασίες η εκτέλεση τους για τα διαφορετικά n γίνεται αλλάζοντας την μεταβλητή n Στο data segment.**

N = 8	N = 16
--------------	---------------

Console

8 16 24 32 40 48 56 64
16 32 48 64 80 96 112 128
24 48 72 96 120 144 168 192
32 64 96 128 160 192 224 256
40 80 120 160 200 240 280 320
48 96 144 192 240 288 336 384
56 112 168 224 280 336 392 448
64 128 192 256 320 384 448 512

Matrix X:
[[1 1 1 1 1 1 1 1]
[2 2 2 2 2 2 2 2]
[3 3 3 3 3 3 3 3]
[4 4 4 4 4 4 4 4]
[5 5 5 5 5 5 5 5]
[6 6 6 6 6 6 6 6]
[7 7 7 7 7 7 7 7]
[8 8 8 8 8 8 8 8]]

Matrix Y (Original):
[[1 1 1 1 1 1 1 1]
[2 2 2 2 2 2 2 2]
[3 3 3 3 3 3 3 3]
[4 4 4 4 4 4 4 4]
[5 5 5 5 5 5 5 5]
[6 6 6 6 6 6 6 6]
[7 7 7 7 7 7 7 7]
[8 8 8 8 8 8 8 8]]

Matrix Y (Transposed):
[[1 2 3 4 5 6 7 8]
[1 2 3 4 5 6 7 8]
[1 2 3 4 5 6 7 8]
[1 2 3 4 5 6 7 8]
[1 2 3 4 5 6 7 8]
[1 2 3 4 5 6 7 8]
[1 2 3 4 5 6 7 8]
[1 2 3 4 5 6 7 8]]

Result of Matrix Multiplication (X * Y Transposed):
[[8 16 24 32 40 48 56 64]
[16 32 48 64 80 96 112 128]
[24 48 72 96 120 144 168 192]
[32 64 96 128 160 192 224 256]
[40 80 120 160 200 240 280 320]
[48 96 144 192 240 288 336 384]
[56 112 168 224 280 336 392 448]
[64 128 192 256 320 384 448 512]]

Console

16 32 48 64 80 96 112 128 16 32 48 64 80 96 112 128
32 64 96 128 160 192 224 256 32 64 96 128 160 192 224 256
48 96 144 192 240 288 336 384 48 96 144 192 240 288 336 384
64 128 192 256 320 384 448 512 64 128 192 256 320 384 448 512
80 160 240 320 400 480 560 640 80 160 240 320 400 480 560 640
96 192 288 384 480 576 672 768 96 192 288 384 480 576 672 768
112 224 336 448 560 672 784 896 112 224 336 448 560 672 784 896
128 256 384 512 640 768 896 1024 128 256 384 512 640 768 896 1024
16 32 48 64 80 96 112 128 16 32 48 64 80 96 112 128
32 64 96 128 160 192 224 256 32 64 96 128 160 192 224 256
48 96 144 192 240 288 336 384 48 96 144 192 240 288 336 384
64 128 192 256 320 384 448 512 64 128 192 256 320 384 448 512
80 160 240 320 400 480 560 640 80 160 240 320 400 480 560 640
96 192 288 384 480 576 672 768 96 192 288 384 480 576 672 768
112 224 336 448 560 672 784 896 112 224 336 448 560 672 784 896
128 256 384 512 640 768 896 1024 128 256 384 512 640 768 896 1024

Result of Matrix Multiplication (X * Y Transposed):
[[16 32 48 64 80 96 112 128 16 32 48 64 80 96 112 128]
[32 64 96 128 160 192 224 256 32 64 96 128 160 192 224 256]
[48 96 144 192 240 288 336 384 48 96 144 192 240 288 336 384]
[64 128 192 256 320 384 448 512 64 128 192 256 320 384 448 512]
[80 160 240 320 400 480 560 640 80 160 240 320 400 480 560 640]
[96 192 288 384 480 576 672 768 96 192 288 384 480 576 672 768]
[112 224 336 448 560 672 784 896 112 224 336 448 560 672 784 896]
[128 256 384 512 640 768 896 1024 128 256 384 512 640 768 896 1024]]

N = 32

Console

32 64 96 128 160 192 224 256 32 64 96 128 160 192 224 256 32 64 96 128 160 192 224 256
64 128 192 256 320 384 448 512 64 128 192 256 320 384 448 512 64 128 192 256 320 384 448 512
96 192 288 384 480 576 672 768 96 192 288 384 480 576 672 768 96 192 288 384 480 576 672 768
128 256 384 512 640 768 896 1024 128 256 384 512 640 768 896 1024 128 256 384 512 640 768 896 1024
160 320 480 640 800 960 1120 1280 160 320 480 640 800 960 1120 1280 160 320 480 640 800 960 1120 1280
192 384 576 768 960 1152 1344 1536 192 384 576 768 960 1152 1344 1536 192 384 576 768 960 1152 1344 1536
224 448 672 896 1120 1344 1568 1792 224 448 672 896 1120 1344 1568 1792 224 448 672 896 1120 1344 1568 1792
256 512 768 1024 1280 1536 1792 2048 256 512 768 1024 1280 1536 1792 2048 256 512 768 1024 1280 1536 1792 2048
32 64 96 128 160 192 224 256 32 64 96 128 160 192 224 256 32 64 96 128 160 192 224 256
64 128 192 256 320 384 448 512 64 128 192 256 320 384 448 512 64 128 192 256 320 384 448 512
96 192 288 384 480 576 672 768 96 192 288 384 480 576 672 768 96 192 288 384 480 576 672 768
128 256 384 512 640 768 896 1024 128 256 384 512 640 768 896 1024 128 256 384 512 640 768 896 1024
160 320 480 640 800 960 1120 1280 160 320 480 640 800 960 1120 1280 160 320 480 640 800 960 1120 1280
192 384 576 768 960 1152 1344 1536 192 384 576 768 960 1152 1344 1536 192 384 576 768 960 1152 1344 1536
224 448 672 896 1120 1344 1568 1792 224 448 672 896 1120 1344 1568 1792 224 448 672 896 1120 1344 1568 1792
256 512 768 1024 1280 1536 1792 2048 256 512 768 1024 1280 1536 1792 2048 256 512 768 1024 1280 1536 1792 2048
32 64 96 128 160 192 224 256 32 64 96 128 160 192 224 256 32 64 96 128 160 192 224 256
64 128 192 256 320 384 448 512 64 128 192 256 320 384 448 512 64 128 192 256 320 384 448 512
96 192 288 384 480 576 672 768 96 192 288 384 480 576 672 768 96 192 288 384 480 576 672 768
128 256 384 512 640 768 896 1024 128 256 384 512 640 768 896 1024 128 256 384 512 640 768 896 1024
160 320 480 640 800 960 1120 1280 160 320 480 640 800 960 1120 1280 160 320 480 640 800 960 1120 1280
192 384 576 768 960 1152 1344 1536 192 384 576 768 960 1152 1344 1536 192 384 576 768 960 1152 1344 1536
224 448 672 896 1120 1344 1568 1792 224 448 672 896 1120 1344 1568 1792 224 448 672 896 1120 1344 1568 1792
256 512 768 1024 1280 1536 1792 2048 256 512 768 1024 1280 1536 1792 2048 256 512 768 1024 1280 1536 1792 2048

Result of Matrix Multiplication (X * Y Transposed):
[[32 64 96 ... 192 224 256]
[64 128 192 ... 384 448 512]
[96 192 288 ... 576 672 768]
...
[192 384 576 ... 1152 1344 1536]
[224 448 672 ... 1344 1568 1792]
[256 512 768 ... 1536 1792 2048]]

[MIPS-A]

[Cycle Statistics]







[Πολλαπλασιασμός διανύσματος επί βαθμωτού]

N = 8		N = 16		N = 32	
Cycle Statistics		Cycle Statistics		Cycle Statistics	
Total Cycles:	160	Total Cycles:	288	Total Cycles:	544
Instructions:	112	Instructions:	208	Instructions:	400
CPI:	1.42857	CPI:	1.38462	CPI:	1.36
Data Hazard Stalls:	42	Data Hazard Stalls:	74	Data Hazard Stalls:	138
Control Hazard Stalls:	6	Control Hazard Stalls:	6	Control Hazard Stalls:	6
RAM Stalls:	0	RAM Stalls:	0	RAM Stalls:	0
L1 Data Stalls:	0	L1 Data Stalls:	0	L1 Data Stalls:	0
L1 Program Stalls:	0	L1 Program Stalls:	0	L1 Program Stalls:	0
L2 Unified Stalls:	0	L2 Unified Stalls:	0	L2 Unified Stalls:	0

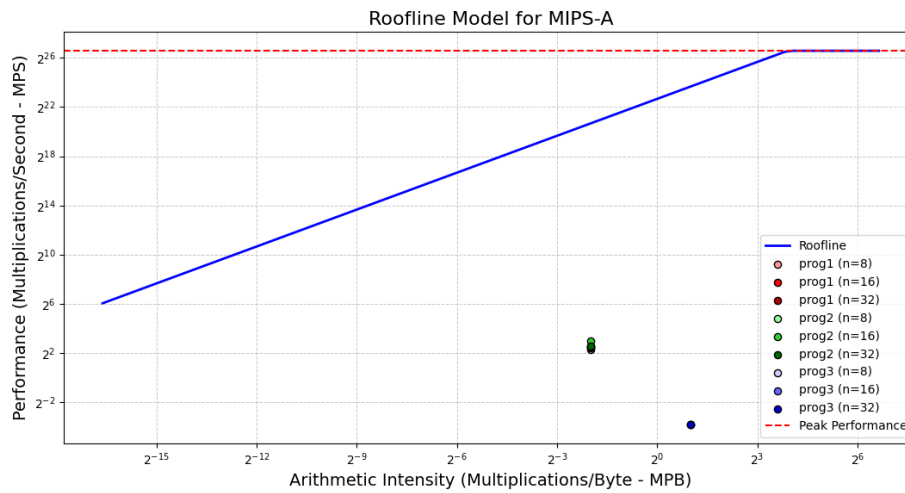
[Πολλαπλασιασμός πίνακα επί βαθμωτού]

N = 8		N = 16		N = 32	
Cycle Statistics		Cycle Statistics		Cycle Statistics	
Total Cycles:	1147	Total Cycles:	4307	Total Cycles:	16771
Instructions:	837	Instructions:	3197	Instructions:	12525
CPI:	1.37037	CPI:	1.3472	CPI:	1.339
Data Hazard Stalls:	282	Data Hazard Stalls:	1066	Data Hazard Stalls:	4170
Control Hazard Stalls:	28	Control Hazard Stalls:	44	Control Hazard Stalls:	76
RAM Stalls:	0	RAM Stalls:	0	RAM Stalls:	0
L1 Data Stalls:	0	L1 Data Stalls:	0	L1 Data Stalls:	0
L1 Program Stalls:	0	L1 Program Stalls:	0	L1 Program Stalls:	0
L2 Unified Stalls:	0	L2 Unified Stalls:	0	L2 Unified Stalls:	0

[Πολλαπλασιασμός τετραγωνικών πινάκων]

N = 8		N = 16		N = 32	
Cycle Statistics  		Cycle Statistics  		Cycle Statistics  	
Total Cycles:	713694	Total Cycles:	5695078	Total Cycles:	45533910
Instructions:	9881	Instructions:	78807	Instructions:	630011
CPI:	72.2289	CPI:	72.2661	CPI:	72.2748
Data Hazard Stalls:	0	Data Hazard Stalls:	0	Data Hazard Stalls:	0
Control Hazard Stalls:	0	Control Hazard Stalls:	0	Control Hazard Stalls:	0
RAM Stalls:	703813	RAM Stalls:	5616271	RAM Stalls:	44903899
L1 Data Stalls:	0	L1 Data Stalls:	0	L1 Data Stalls:	0
L1 Program Stalls:	0	L1 Program Stalls:	0	L1 Program Stalls:	0
L2 Unified Stalls:	0	L2 Unified Stalls:	0	L2 Unified Stalls:	0

[Roofline Analysis]



[MIPS-B]

[Πολλαπλασιασμός διανύσματος επί βαθμωτού]

N = 8	N = 16	N = 32
<p>L1 Program Cache</p> <p>Hit: 112 Miss: 3 Lower memory reads: 3 Lower memory writes: 0 Lower memory stall cycles: 180 Hit rate: 97.391% Improved speed: 2339%</p> <p>L1 Data Cache</p> <p>Hit: 15 Miss: 3 Lower memory reads: 3 Lower memory writes: 0 Lower memory stall cycles: 180 Hit rate: 83.333% Improved speed: 545%</p> <p>Cycle Statistics</p> <p>Total Cycles: 485 Instructions: 111 CPI: 4.36937 Data Hazard Stalls: 8 Control Hazard Stalls: 6 RAM Stalls: 0 L1 Data Stalls: 180 L1 Program Stalls: 180 L2 Unified Stalls: 0</p>	<p>L1 Program Cache</p> <p>Hit: 208 Miss: 3 Lower memory reads: 3 Lower memory writes: 0 Lower memory stall cycles: 180 Hit rate: 98.578% Improved speed: 3238%</p> <p>L1 Data Cache</p> <p>Hit: 29 Miss: 5 Lower memory reads: 5 Lower memory writes: 0 Lower memory stall cycles: 300 Hit rate: 85.294% Improved speed: 611%</p> <p>Cycle Statistics</p> <p>Total Cycles: 709 Instructions: 207 CPI: 3.42512 Data Hazard Stalls: 16 Control Hazard Stalls: 6 RAM Stalls: 0 L1 Data Stalls: 300 L1 Program Stalls: 180 L2 Unified Stalls: 0</p>	<p>L1 Program Cache</p> <p>Hit: 400 Miss: 3 Lower memory reads: 3 Lower memory writes: 0 Lower memory stall cycles: 180 Hit rate: 99.256% Improved speed: 4148%</p> <p>L1 Data Cache</p> <p>Hit: 57 Miss: 9 Lower memory reads: 9 Lower memory writes: 0 Lower memory stall cycles: 540 Hit rate: 86.364% Improved speed: 653%</p> <p>Cycle Statistics</p> <p>Total Cycles: 1157 Instructions: 399 CPI: 2.89975 Data Hazard Stalls: 32 Control Hazard Stalls: 6 RAM Stalls: 0 L1 Data Stalls: 540 L1 Program Stalls: 180 L2 Unified Stalls: 0</p>

[Πολλαπλασιασμός πίνακα επί βαθμωτού]

N = 8	N = 16	N = 32
-------	--------	--------

L1 Program Cache

Hit:857

Miss:6

Lower memory reads:6

Lower memory writes:0

Lower memory stall cycles:360

Hit rate:99.305%

Improved speed:4234%

1	0	0x00010010	0x3C088002	0x3
1	0	0x00010010	0x20080000	0x0
1	0	0x00010010	0x000F7FC3	0x2
1	0	0x00010010	0x21680001	0x1

L1 Data Cache

Hit:120

Miss:18

Lower memory reads:18

Lower memory writes:0

Lower memory stall cycles:1080

Hit rate:86.957%

Improved speed:680%

0				
0				
0				
0				

Cycle Statistics

Total Cycles:2369

Instructions:837

CPI:2.83035

Data Hazard Stalls:64

Control Hazard Stalls:28

RAM Stalls:0

L1 Data Stalls:1080

L1 Program Stalls:360

L2 Unified Stalls:0

L1 Program Cache

Hit:3233

Miss:6

Lower memory reads:6

Lower memory writes:0

Lower memory stall cycles:360

Hit rate:99.815%

Improved speed:5400%

1	0	0x00010010	0x3C088002	0x3
1	0	0x00010010	0x20080000	0x0
1	0	0x00010010	0x000F7FC3	0x2
1	0	0x00010010	0x21680001	0x1

L1 Data Cache

Hit:464

Miss:66

Lower memory reads:66

Lower memory writes:0

Lower memory stall cycles:3960

Hit rate:87.547%

Improved speed:708%

0				
0				
0				
0				

Cycle Statistics

Total Cycles:7817

Instructions:3197

CPI:2.4451

Data Hazard Stalls:256

Control Hazard Stalls:44

RAM Stalls:0

L1 Data Stalls:3960

L1 Program Stalls:360

L2 Unified Stalls:0

L1 Program Cache

Hit:12593

Miss:6

Lower memory reads:6

Lower memory writes:0

Lower memory stall cycles:360

Hit rate:99.952%

Improved speed:5833%

1	0	0x00010010	0x3C088002	0x3
1	0	0x00010010	0x20080000	0x0
1	0	0x00010010	0x000F7FC3	0x2
1	0	0x00010010	0x21680001	0x1

L1 Data Cache

Hit:1825

Miss:257

Lower memory reads:257

Lower memory writes:0

Lower memory stall cycles:15420

Hit rate:87.656%

Improved speed:714%

0				
0				
0				
0				

Cycle Statistics

Total Cycles:29405

Instructions:12525

CPI:2.3477

Data Hazard Stalls:1024

Control Hazard Stalls:76

RAM Stalls:0

L1 Data Stalls:15420

L1 Program Stalls:360

L2 Unified Stalls:0

[Πολλαπλασιασμός τετραγωνικών πινάκων]

N = 8	N = 16	N = 32
-------	--------	--------

L1 Program Cache

Hit:10240

Miss:12

Lower memory reads:12

Lower memory writes:0

Lower memory stall cycles:720

Hit rate:99.883%

Improved speed:5606%

1	0	0x00010010	0x20100004	0x2
1	0	0x00010010	0x35AD03BC	0x3
1	0	0x00010010	0x0291A026	0x0
1	0	0x00010010	0x02739826	0x0
1	0	0x00010010	0x01685826	0x2

L1 Data Cache

Hit:2024

Miss:25

Lower memory reads:25

Lower memory writes:0

Lower memory stall cycles:1500

Hit rate:98.780%

Improved speed:3464%

0				
0				
0				
0				
0				

Cycle Statistics

Total Cycles:12925

Instructions:9884

CPI:1.30767

Data Hazard Stalls:512

Control Hazard Stalls:369

RAM Stalls:0

L1 Data Stalls:1500

L1 Program Stalls:660

L2 Unified Stalls:0

L1 Program Cache

Hit:81588

Miss:12

Lower memory reads:12

Lower memory writes:0

Lower memory stall cycles:720

Hit rate:99.985%

Improved speed:5948%

1	0	0x00010010	0x20100004	0x2
1	0	0x00010010	0x35AD098C	0x3
1	0	0x00010010	0x0291A026	0x0
1	0	0x00010010	0x02739826	0x0
1	0	0x00010010	0x01685826	0x2

L1 Data Cache

Hit:16288

Miss:97

Lower memory reads:97

Lower memory writes:0

Lower memory stall cycles:5820

Hit rate:99.408%

Improved speed:4427%

0				
0				
0				
0				
0				

Cycle Statistics

Total Cycles:92177

Instructions:78810

CPI:1.16961

Data Hazard Stalls:4096

Control Hazard Stalls:2791

RAM Stalls:0

L1 Data Stalls:5820

L1 Program Stalls:660

L2 Unified Stalls:0

L1 Program Cache

Hit:651844

Miss:12

Lower memory reads:12

Lower memory writes:0

Lower memory stall cycles:720

Hit rate:99.998%

Improved speed:5993%

1	0	0x00010010	0x20100004	0x2
1	0	0x00010010	0x35AD218C	0x3
1	0	0x00010010	0x0291A026	0x0
1	0	0x00010010	0x02739826	0x0
1	0	0x00010010	0x01685826	0x2

L1 Data Cache

Hit:130688

Miss:385

Lower memory reads:385

Lower memory writes:0

Lower memory stall cycles:23100

Hit rate:99.706%

Improved speed:5101%

1	0	0x00010011	0x00000005	0x0
1	0	0x00010011	0x00000005	0x0
1	0	0x00010011	0x00000006	0x0
1	0	0x00010011	0x00000006	0x0
1	0	0x00010011	0x00000006	0x0

Cycle Statistics

Total Cycles:708385

Instructions:630014

CPI:1.1244

Data Hazard Stalls:32768

Control Hazard Stalls:21843

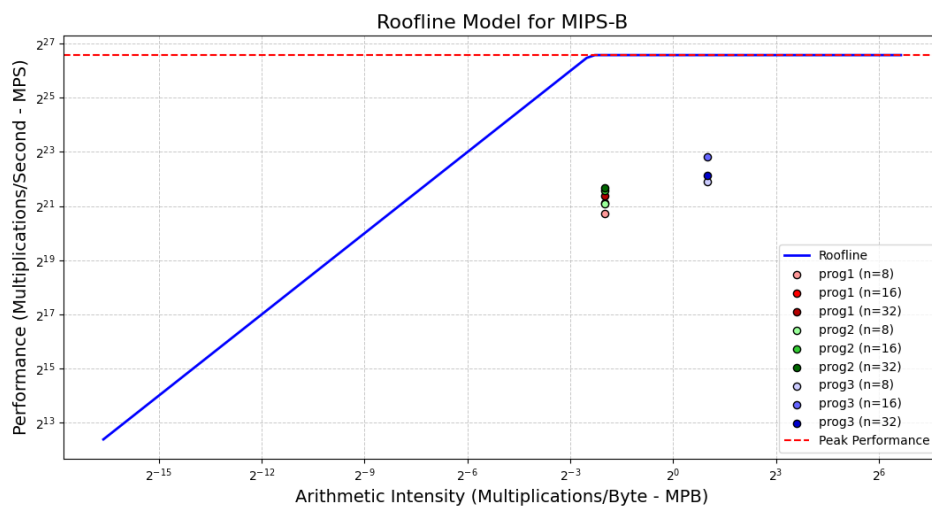
RAM Stalls:0

L1 Data Stalls:23100

L1 Program Stalls:660

L2 Unified Stalls:0

[Roofline Analysis]



[MIPS-Γ]

[Πολλαπλασιασμός διανύσματος επί βαθμωτού]

[Επώνυμο1 – Επώνυμο2]

N = 8		N = 16		N = 32																																																													
<div>L1 Program Cache</div> <div>Hit: 112 Miss: 3 Lower memory reads: 3 Lower memory writes: 0 Lower memory stall cycles: 18 Hit rate: 97.391% Improved speed: 519%</div> <div><table><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x3CD88002</td><td>0x3</td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x00007812</td><td>0x1</td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x20810004</td><td>0x0</td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr></table></div>		1	0	0x00010010	0x3CD88002	0x3	1	0	0x00010010	0x00007812	0x1	1	0	0x00010010	0x20810004	0x0	0					<div>L1 Program Cache</div> <div>Hit: 208 Miss: 3 Lower memory reads: 3 Lower memory writes: 0 Lower memory stall cycles: 18 Hit rate: 98.578% Improved speed: 553%</div> <div><table><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x3CD88002</td><td>0x3</td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x00007812</td><td>0x1</td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x20810004</td><td>0x0</td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr></table></div>		1	0	0x00010010	0x3CD88002	0x3	1	0	0x00010010	0x00007812	0x1	1	0	0x00010010	0x20810004	0x0	0					<div>L1 Program Cache</div> <div>Hit: 400 Miss: 3 Lower memory reads: 3 Lower memory writes: 0 Lower memory stall cycles: 18 Hit rate: 99.256% Improved speed: 574%</div> <div><table><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x3CD88002</td><td>0x3</td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x00007812</td><td>0x1</td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x20810004</td><td>0x0</td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr></table></div>		1	0	0x00010010	0x3CD88002	0x3	1	0	0x00010010	0x00007812	0x1	1	0	0x00010010	0x20810004	0x0	0				
1	0	0x00010010	0x3CD88002	0x3																																																													
1	0	0x00010010	0x00007812	0x1																																																													
1	0	0x00010010	0x20810004	0x0																																																													
0																																																																	
1	0	0x00010010	0x3CD88002	0x3																																																													
1	0	0x00010010	0x00007812	0x1																																																													
1	0	0x00010010	0x20810004	0x0																																																													
0																																																																	
1	0	0x00010010	0x3CD88002	0x3																																																													
1	0	0x00010010	0x00007812	0x1																																																													
1	0	0x00010010	0x20810004	0x0																																																													
0																																																																	
<div>L1 Data Cache</div> <div>Hit: 15 Miss: 3 Lower memory reads: 3 Lower memory writes: 0 Lower memory stall cycles: 18 Hit rate: 83.333% Improved speed: 300%</div> <div><table><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x20810004</td><td>0x0</td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x00000001</td><td>0x0</td></tr></table></div>		0					0					1	0	0x00010010	0x20810004	0x0	1	0	0x00010010	0x00000001	0x0	<div>L1 Data Cache</div> <div>Hit: 29 Miss: 5 Lower memory reads: 5 Lower memory writes: 0 Lower memory stall cycles: 30 Hit rate: 85.294% Improved speed: 319%</div> <div><table><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x20810004</td><td>0x0</td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x00000001</td><td>0x0</td></tr></table></div>		0					0					1	0	0x00010010	0x20810004	0x0	1	0	0x00010010	0x00000001	0x0	<div>L1 Data Cache</div> <div>Hit: 57 Miss: 9 Lower memory reads: 9 Lower memory writes: 0 Lower memory stall cycles: 54 Hit rate: 86.364% Improved speed: 330%</div> <div><table><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>0</td><td></td><td></td><td></td><td></td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x20810004</td><td>0x0</td></tr><tr><td>1</td><td>0</td><td>0x00010010</td><td>0x00000001</td><td>0x0</td></tr></table></div>		0					0					1	0	0x00010010	0x20810004	0x0	1	0	0x00010010	0x00000001	0x0
0																																																																	
0																																																																	
1	0	0x00010010	0x20810004	0x0																																																													
1	0	0x00010010	0x00000001	0x0																																																													
0																																																																	
0																																																																	
1	0	0x00010010	0x20810004	0x0																																																													
1	0	0x00010010	0x00000001	0x0																																																													
0																																																																	
0																																																																	
1	0	0x00010010	0x20810004	0x0																																																													
1	0	0x00010010	0x00000001	0x0																																																													
<div>Cycle Statistics</div> <div>Total Cycles: 461 Instructions: 111 CPI: 4.15315 Data Hazard Stalls: 8 Control Hazard Stalls: 6 RAM Stalls: 0 L1 Data Stalls: 18 L1 Program Stalls: 18 L2 Unified Stalls: 300</div>		<div>Cycle Statistics</div> <div>Total Cycles: 697 Instructions: 207 CPI: 3.36715 Data Hazard Stalls: 16 Control Hazard Stalls: 6 RAM Stalls: 0 L1 Data Stalls: 30 L1 Program Stalls: 18 L2 Unified Stalls: 420</div>		<div>Cycle Statistics</div> <div>Total Cycles: 1169 Instructions: 399 CPI: 2.92982 Data Hazard Stalls: 32 Control Hazard Stalls: 6 RAM Stalls: 0 L1 Data Stalls: 54 L1 Program Stalls: 18 L2 Unified Stalls: 660</div>																																																													
<div>L2 Unified Cache</div> <div>Hit: 1 Miss: 5 Lower memory reads: 5 Lower memory writes: 0 Lower memory stall cycles: 300 Hit rate: 16.667% Improved speed: 118%</div>		<div>L2 Unified Cache</div> <div>Hit: 1 Miss: 7 Lower memory reads: 7 Lower memory writes: 0 Lower memory stall cycles: 420 Hit rate: 12.500% Improved speed: 112%</div>		<div>L2 Unified Cache</div> <div>Hit: 1 Miss: 11 Lower memory reads: 11 Lower memory writes: 0 Lower memory stall cycles: 660 Hit rate: 8.333% Improved speed: 107%</div>																																																													

[Πολλαπλασιασμός πίνακα επί βαθμωτού]

N = 8	N = 16	N = 32
-------	--------	--------

L1 Program Cache

Hit:857

Miss:6

Lower memory reads:6

Lower memory writes:0

Lower memory stall cycles:36

Hit rate:99.305%

Improved speed:576%

1	0	0x00010010	0x3CD88002	0x3
1	0	0x00010010	0x20080000	0x0
1	0	0x00010010	0x000F7FC3	0x2
1	0	0x00010010	0x21680001	0x1

L1 Data Cache

Hit:120

Miss:18

Lower memory reads:18

Lower memory writes:0

Lower memory stall cycles:108

Hit rate:86.957%

Improved speed:337%

0				
0				
0				
0				

Cycle Statistics

Total Cycles:2453

Instructions:895

CPI:2.74078

Data Hazard Stalls:64

Control Hazard Stalls:28

RAM Stalls:0

L1 Data Stalls:108

L1 Program Stalls:36

L2 Unified Stalls:1322

L2 Unified Cache

Hit:1

Miss:23

Lower memory reads:23

Lower memory writes:0

Lower memory stall cycles:1380

Hit rate:4.167%

Improved speed:103%

L1 Program Cache

Hit:3233

Miss:6

Lower memory reads:6

Lower memory writes:0

Lower memory stall cycles:36

Hit rate:99.815%

Improved speed:593%

1	0	0x00010010	0x3CD88002	0x3
1	0	0x00010010	0x20080000	0x0
1	0	0x00010010	0x000F7FC3	0x2
1	0	0x00010010	0x21680001	0x1

L1 Data Cache

Hit:464

Miss:66

Lower memory reads:66

Lower memory writes:0

Lower memory stall cycles:396

Hit rate:87.547%

Improved speed:343%

0				
0				
0				
0				

Cycle Statistics

Total Cycles:8189

Instructions:3255

CPI:2.51582

Data Hazard Stalls:256

Control Hazard Stalls:44

RAM Stalls:0

L1 Data Stalls:396

L1 Program Stalls:36

L2 Unified Stalls:4202

L2 Unified Cache

Hit:1

Miss:71

Lower memory reads:71

Lower memory writes:0

Lower memory stall cycles:4260

Hit rate:1.389%

Improved speed:100%

L1 Program Cache

Hit:12593

Miss:6

Lower memory reads:6

Lower memory writes:0

Lower memory stall cycles:36

Hit rate:99.952%

Improved speed:598%

1	0	0x00010010	0x3CD88002	0x3
1	0	0x00010010	0x20080000	0x0
1	0	0x00010010	0x000F7FC3	0x2
1	0	0x00010010	0x21680001	0x1

L1 Data Cache

Hit:1825

Miss:257

Lower memory reads:257

Lower memory writes:0

Lower memory stall cycles:1542

Hit rate:87.656%

Improved speed:345%

1	1	0x00010011	0x00000012	0x0
1	1	0x00010011	0x00000012	0x0
1	1	0x00010011	0x00000012	0x0
1	1	0x00010011	0x00000012	0x0

Cycle Statistics

Total Cycles:30923

Instructions:12583

CPI:2.45752

Data Hazard Stalls:1024

Control Hazard Stalls:76

RAM Stalls:0

L1 Data Stalls:1542

L1 Program Stalls:36

L2 Unified Stalls:15662

L2 Unified Cache

Hit:1

Miss:262

Lower memory reads:262

Lower memory writes:0

Lower memory stall cycles:15720

Hit rate:0.380%

Improved speed:99%

[Πολλαπλασιασμός τετραγωνικών πινάκων]

N = 8	N = 16	N = 32
-------	--------	--------

L1 Program Cache

Hit:10240Miss:12Lower memory reads:12Lower memory writes:0Lower memory stall cycles:72Hit rate:99.883%Improved speed:596%

1	0	0x00010010	0x20100004	0x2
1	0	0x00010010	0x35AD03BC	0x3
1	0	0x00010010	0x0291A026	0x0
1	0	0x00010010	0x02739826	0x0

L1 Data Cache

Hit:2024Miss:25Lower memory reads:25Lower memory writes:0Lower memory stall cycles:150Hit rate:98.780%Improved speed:559%

0				
0				
0				
0				

Cycle Statistics

Total Cycles:13141Instructions:9944CPI:1.3215Data Hazard Stalls:512Control Hazard Stalls:369RAM Stalls:0L1 Data Stalls:150L1 Program Stalls:66L2 Unified Stalls:2100

L2 Unified Cache

Hit:0Miss:37Lower memory reads:37Lower memory writes:0Lower memory stall cycles:2220Hit rate:0.000%Improved speed:98%

L1 Program Cache

Hit:46595Miss:10Lower memory reads:10Lower memory writes:0Lower memory stall cycles:60Hit rate:99.979%Improved speed:599%

1	0	0x00010010	0x20100004	0x2
1	0	0x00010010	0x35AD09BC	0x3
1	0	0x00010010	0x0291A026	0x0
1	0	0x00010010	0x02739826	0x0

L1 Data Cache

Hit:9277Miss:81Lower memory reads:81Lower memory writes:0Lower memory stall cycles:486Hit rate:99.134%Improved speed:570%

0				
0				
0				
0				

Cycle Statistics

Total Cycles:54884Instructions:45064CPI:1.21791Data Hazard Stalls:2340Control Hazard Stalls:1600RAM Stalls:0L1 Data Stalls:486L1 Program Stalls:54L2 Unified Stalls:5340

L2 Unified Cache

Hit:0Miss:91Lower memory reads:91Lower memory writes:0Lower memory stall cycles:5460Hit rate:0.000%Improved speed:98%

L1 Program Cache

Hit:651844Miss:12Lower memory reads:12Lower memory writes:0Lower memory stall cycles:72Hit rate:99.998%Improved speed:600%

1	0	0x00010010	0x20100004	0x2
1	0	0x00010010	0x35AD21BC	0x3
1	0	0x00010010	0x0291A026	0x0
1	0	0x00010010	0x02739826	0x0

L1 Data Cache

Hit:130688Miss:385Lower memory reads:385Lower memory writes:0Lower memory stall cycles:2310Hit rate:99.706%Improved speed:590%

1	0	0x00010011	0x00000005	0x0
1	0	0x00010011	0x00000005	0x0
1	0	0x00010011	0x00000006	0x0
1	0	0x00010011	0x00000006	0x0

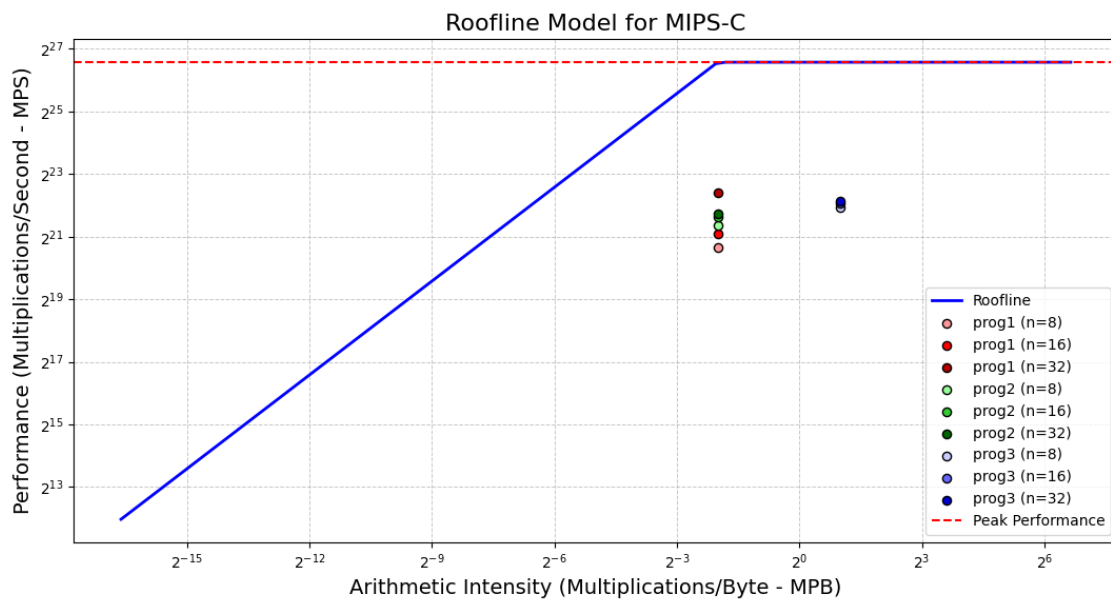
Cycle Statistics

Total Cycles:710761Instructions:630074CPI:1.12806Data Hazard Stalls:32768Control Hazard Stalls:21843RAM Stalls:0L1 Data Stalls:2310L1 Program Stalls:66L2 Unified Stalls:23700

L2 Unified Cache

Hit:0Miss:397Lower memory reads:397Lower memory writes:0Lower memory stall cycles:23820Hit rate:0.000%Improved speed:98%

[Roofline Analysis]



[ΣΥΜΠΕΡΑΣΜΑ]

MIPS-A: Αυτός ο επεξεργαστής δεν έχει κρυφές μνήμες, οπότε κάθε φορά που χρειάζεται δεδομένα προσπελάζει την κύρια μνήμη, κάτι που είναι αργό. Αυτό προκαλεί μεγάλη καθυστέρηση και μειώνει την απόδοση, καθώς τα φορτία υπολογισμού καταλήγουν να είναι περιορισμένα από την ταχύτητα της μνήμης.

MIPS-B: Αυτός ο επεξεργαστής με μόνο μνήμη cache L1 κατάφερε να επιλύσει τις προσβάσεις στη μνήμη με ελάχιστη καθυστέρηση. Χωρίς την ανάγκη πρόσβασης σε μια μνήμη cache L2, ο επεξεργαστής ωφελήθηκε από την μειωμένη υπερφόρτωση του ελέγχου μιας δευτερεύουσας cache. Η αυξημένη επιτυχία της L1 cache με μεγαλύτερους πίνακες υποδεικνύει ότι η L1 cache αποθήκευε δεδομένα με αποδοτικό τρόπο, επιτρέποντας στον επεξεργαστή να εκτελεί περισσότερες εντολές ανά κύκλο.

MIPS-C: Αυτός ο επεξεργαστής με μνήμες cache L1 και L2 σε αυτή την περίπτωση αντιμετώπισε αναποτελεσματικότητες λόγω του εξαιρετικά υψηλού ρυθμού επιτυχίας της μνήμης L1 του προγράμματος. Δεδομένου ότι η συντριπτική πλειονότητα των προσπελάσεων μνήμης εξυπηρετήθηκε από την μνήμη cache L1, η μνήμη L2, η οποία συνήθως σχεδιάζεται για να χειρίζεται τις αποτυχίες της μνήμης L1, προσπελάστηκε σπάνια. Αυτή χωρίς να εκμεταλλεύεται, την μνήμη L2, ως αποτέλεσμα οδήγησε σε χάσιμο κύκλων που ξοδεύτηκαν για τον έλεγχο της μνήμης L2.

Όπως φαίνεται στον MIPS B, με μνήμη cache L1 μόνο και στο MIPS C με μνήμες cache L1 και L2 — παρατηρήθηκε ότι ο MIPS B ήταν ταχύτερος. Αυτό συμβαίνει επειδή το πρόγραμμα πέτυχε έναν εξαιρετικά υψηλό ρυθμό επιτυχίας στη μνήμη cache L1 (99.9%), διασφαλίζοντας ότι σχεδόν όλες οι προσπελάσεις μνήμης εξυπηρετήθηκαν απευθείας από τη μνήμη L1. Ως αποτέλεσμα, ο επεξεργαστής με μόνο L1 απέφυγε την επιπλέον καθυστέρηση που σχετίζεται με την πρόσβαση στη μνήμη L2.

Αντίθετα, ο MIPS C, υπέστη πρόσθετη καθυστέρηση (αν και ελάχιστη) λόγω περιττών αναζητήσεων στη μνήμη L2 μετά από αποτυχίες στη μνήμη L1, παρόλο που η μνήμη L2 δεν προσέφερε ουσιαστικό όφελος σε αυτό το σενάριο (καθώς συχνά αποτύγχανε). Αυτή η καθυστέρηση προκάλεσε την επιβράδυνση του επεξεργαστή με μνήμες L1 και L2.

Συμπέρασμα:

Ο MIPS B παρουσίασε ταχύτερη απόδοση επειδή ο εξαιρετικά υψηλός ρυθμός επιτυχίας της μνήμης L1 εξάλειψε την ανάγκη για ελέγχους σε βαθύτερα επίπεδα ιεραρχίας μνήμης, ενώ η πρόσθετη καθυστέρηση από τις αναζητήσεις στη μνήμη L2 στον άλλο επεξεργαστή μείωσε τη συνολική αποτελεσματικότητα. Τέλος αυτή η διάταξη αναδεικνύει το πλεονέκτημα της ύπαρξης μιας πολύ αποδοτικής L1 cache, ιδιαίτερα για φορτία εργασίας όπου το σύνολο των δεδομένων είναι μικρό ή καλά τοποθετημένο. Αποφεύγοντας τις πολυπλοκότητες και την καθυστέρηση της πρόσβασης σε επιπλέον επίπεδα cache, ο επεξεργαστής κατάφερε να διατηρήσει υψηλό επίπεδο απόδοσης.