



1. Le microarchitettura RISC ha un registro di uso generale R. Esempio microarchitettura RISC ha un instruction decoder che decodifica le istruzioni nel seguente modo:

- 3 bit per il controllo dell'ALU
- 2 bit per lo SHIFTER
- 5 bit per il Bus C
- 2 bit per il Main Bus poiché utilizziamo un decoder 2/4
- 1 bit per i relati condizionali

I relati condizionali sono realizzati tramite una componente che verifica lo stato dell'ALU overloading i segnali Z e N.

2. Per introdurre una pipeline a 4 stadi inseriamo un IFU tra i registri PC, IR e la ROM.



in grado di fare il fetch delle istruzioni. Essi sono il primo stadio della pipeline.

Aggiungo un Bus e mi collego tutti i registri tranne il MAR e l'IR, ponendo un LATCH alla fine del MAIN BUS e del BUS offere aggiuntivo; il percorso dei registri ai due LATCH sono il secondo stadio

Il terzo stadio della pipeline sarà quello dove vengono svolte le operazioni dell'ALU e/o dello SHIFTER

Il quarto e ultimo stadio sono realizzati dal LATCH che dovrà essere aggiunto dopo lo SHIFTER fino ai registri.

