欢迎来到计组课程最美妙的领域

欢迎来到最美妙的领域!

恭喜你一路过关斩将,带着你精心设计的能实现许多指令的 CPU,来到了 P7。

CPU 是计算机的心脏、大脑,但远不是全部。CPU 的强大功能,必须能与外界进行交互,才得以发挥作用。在这里,我们的眼光将超出炫目的指令,超出精细的转发,甚至超出滚滚的流水线,站在计算机整体的高度来认识我们的 CPU。

P7 的主要任务是在我们之前设计的 CPU 基础上继续扩充功能,让它能读写外设,能够支持**异常与中断**。

具体来说,在 P7 实验中,我们需要编写两个全新的模块 Bridge 和 CP0 模块,实例化两个 timer 模块,并根据**自己的设计**将 CP0 模块放在流水线的适当位置,更改架构层次使 Bridge 模块、timer 模块和 CPU 模块并列地作为顶层模块 mips.v 的子模块,最终实现支持异常中断的 MIPS 微系统。在接下来的小节中,我们会对相应的硬件设计进行介绍,并详细讲解 P7 需要同学们完成的任务,每小节文末会给出一些**思考题**来帮助同学们进行思考,请你在上传的文档中作相应的体现。

MIPS 微系统

进行到 P7,我们已经拥有了一颗支持 MIPS-C 指令集的五级流水线 CPU。同学们应该已经体会到, CPU 的主要功能是解析计算机中的各种指令、处理计算机软件中的数据等。在实际使用中,我们还希望 CPU 能够对异常指令做出判断、响应我们发出的中断信号等,即具备与外部设备沟通协调的能力,而不是一直自己闷头执行下去,这就需要 CPU 与其他组件共同形成**计算机系统**。

计算机系统是由计算机硬件和软件两部分组成的,其中硬件包括中央处理器(CPU)、存储器和外部设备等;软件是计算机的运行程序和相应的文档。计组课程暂不需要同学们对软件部分进行设计,但需要我们掌握 CPU、存储器和外部设备的交互逻辑,实现一个类似计算机系统的 MIPS 微系统。

在 MIPS 微系统中,CPU 的 DM 接口通过沟通外部设备的系统桥 Bridge 分别与数据存储器、计时器 timer 进行数据交互。微系统的总体结构如下图所示。

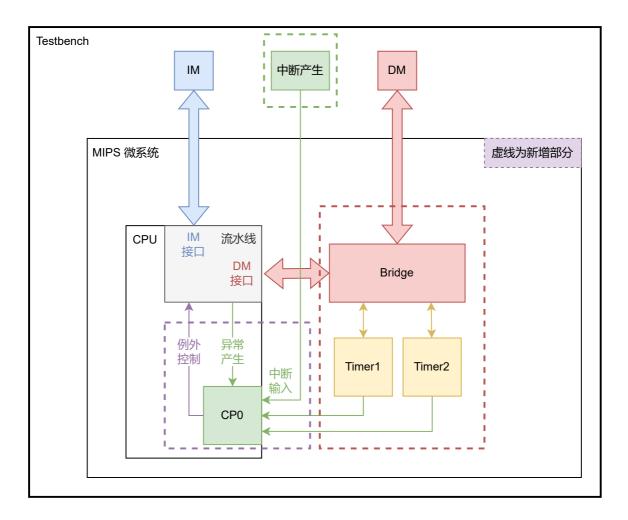


图1 MIPS 微系统总体结构

╱ 思考题

我们计组课程一本参考书目标题中有"硬件/软件接口"接口字样,那么到底什么是"硬件/软件接口"?(Tips: 什么是接口? 和我们到现在为止所学的有什么联系?)