电子技术实验2 实验报告

**Verilog 语法基础**

## 一 实验内容（10分）

1、完成例2：带使能的二选一数控开关，练习if语句

2、完成例3：数据分配器练习case语句

## 二 设计步骤（20分）

例2：

1. 新建工程为lab31;

2. 为工程添加Verilog设计文件（PPT中已给出主体），完成代码编辑；

3. 编译

4. 为设计添加波形仿真文件vwf，给输入信号设置激励，对设计进行仿真。

例3：

1. 新建工程为lab32;

2. 为工程添加Verilog设计文件（PPT中已给出主体），完成代码编辑；

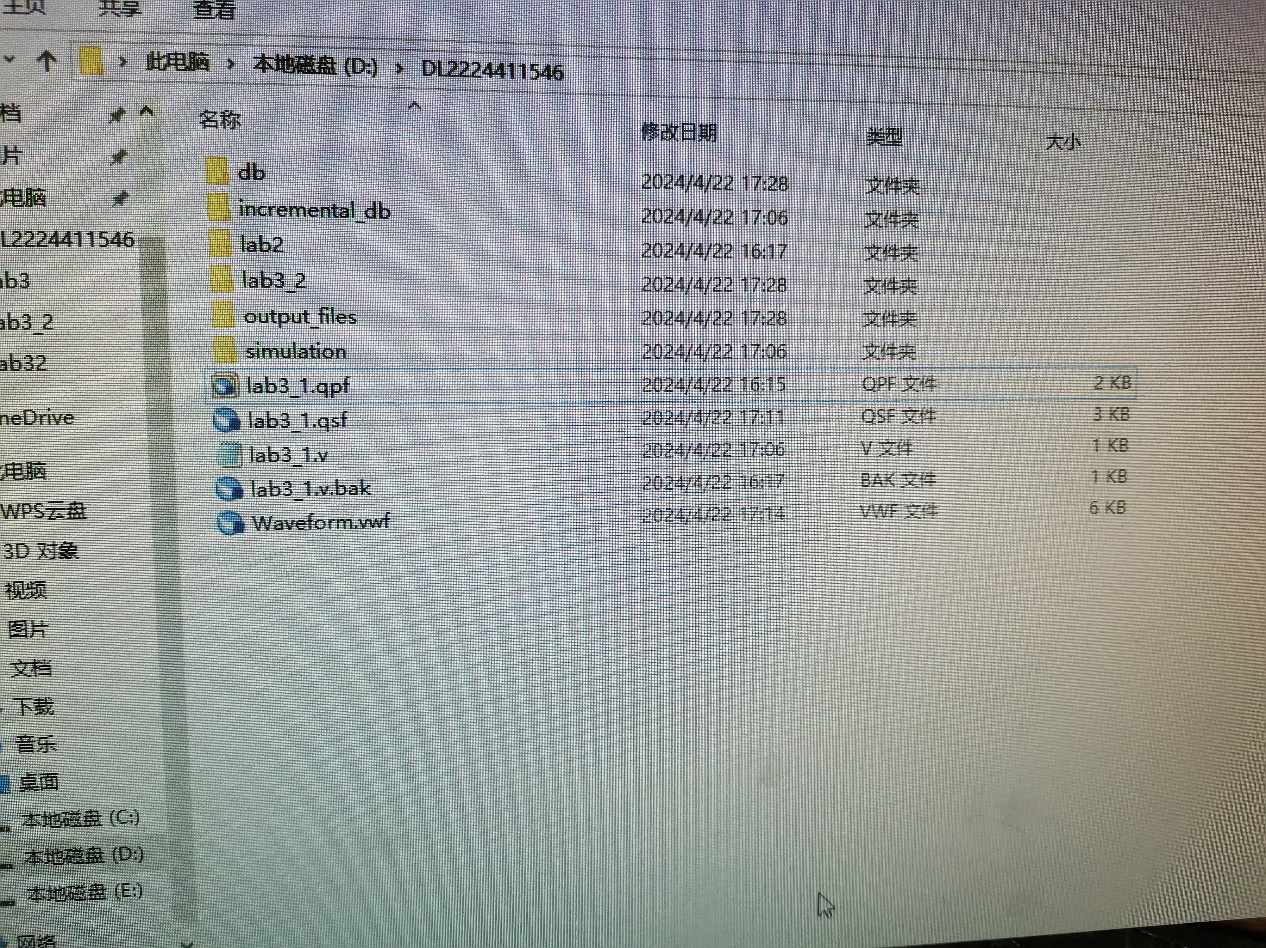
3. 编译

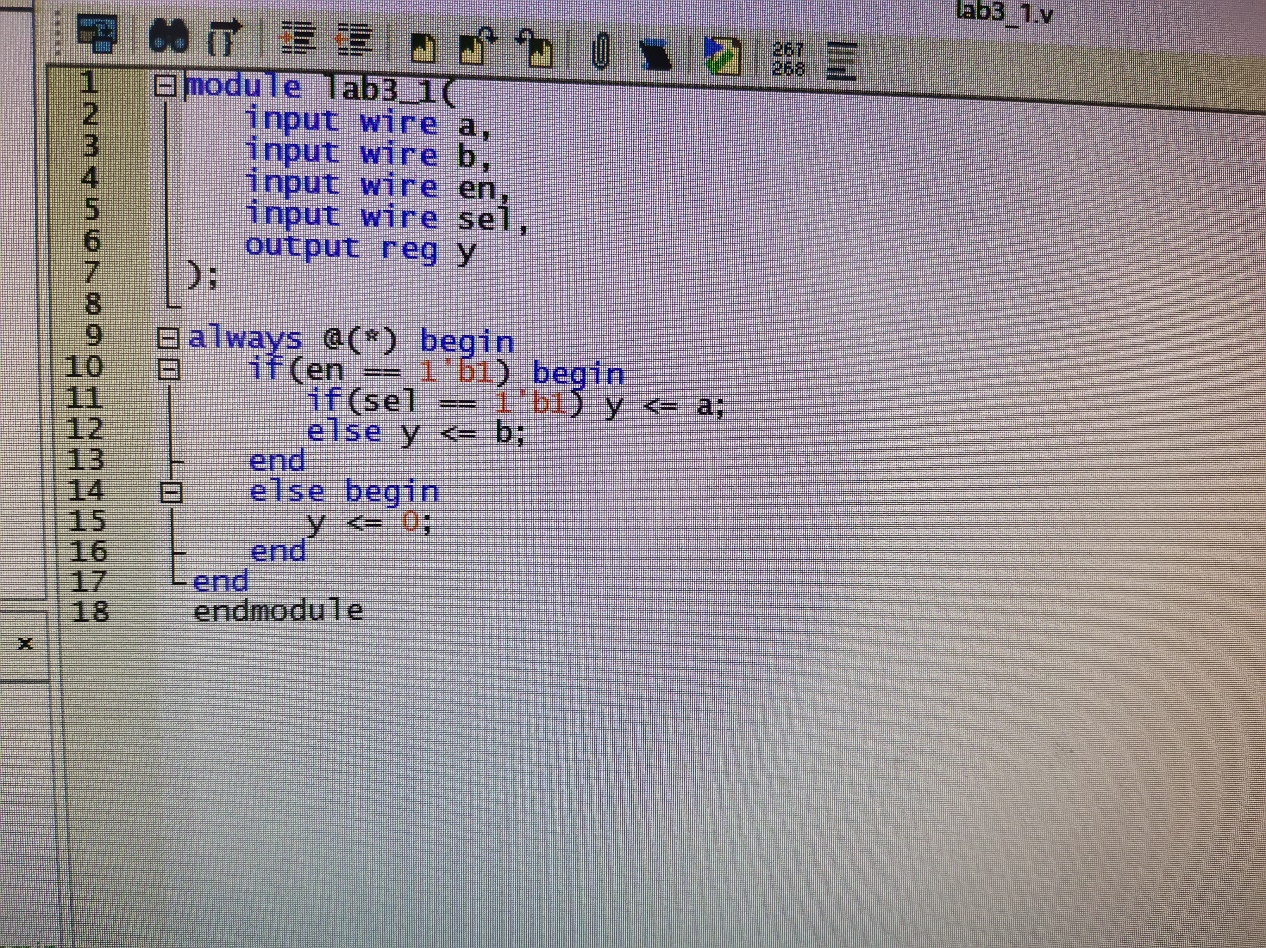
4. 为设计添加波形仿真文件vwf，给输入信号设置激励，对设计进行仿真。

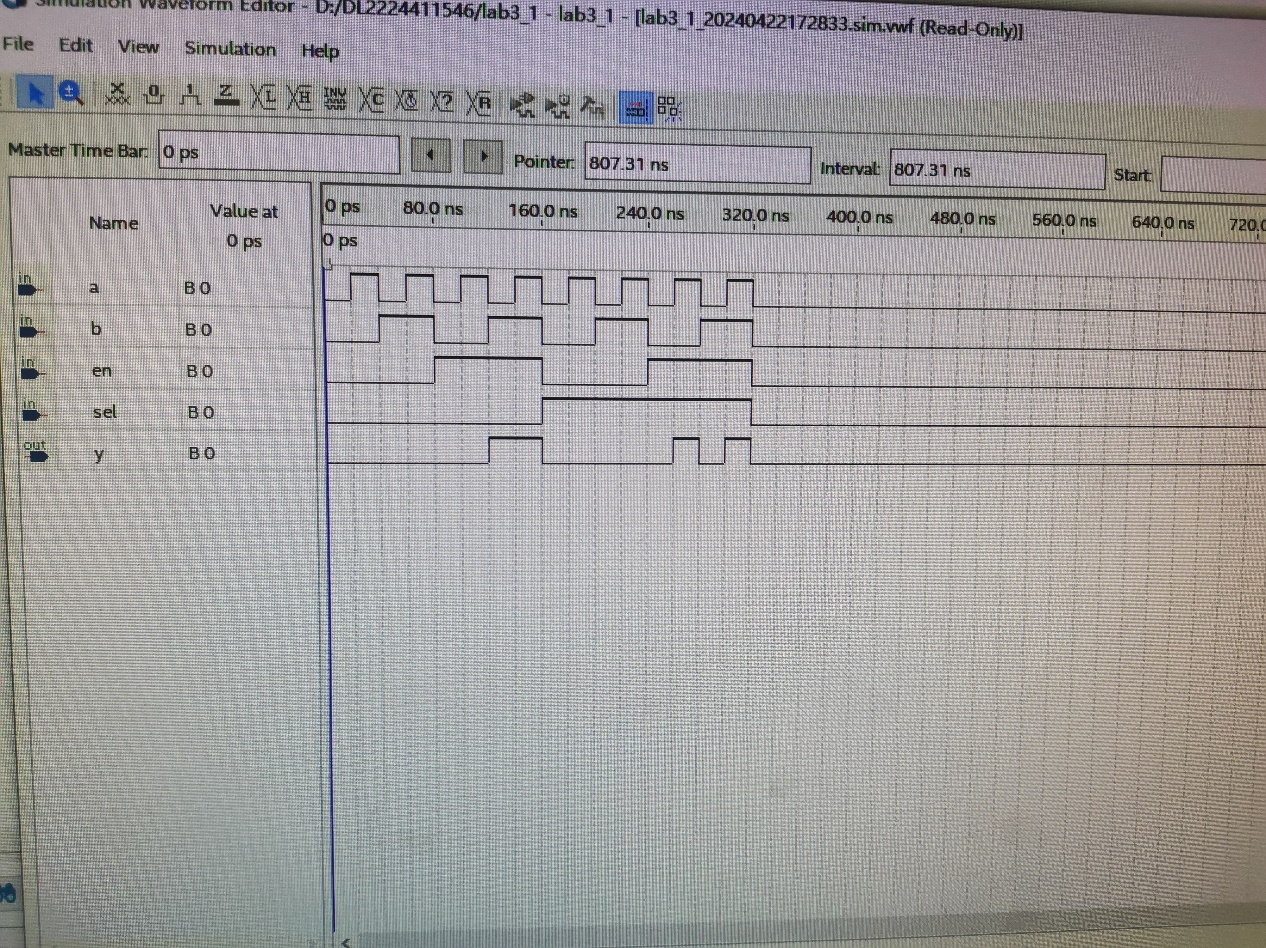
## 三 结果图示（含代码设计和仿真结果）（40分）

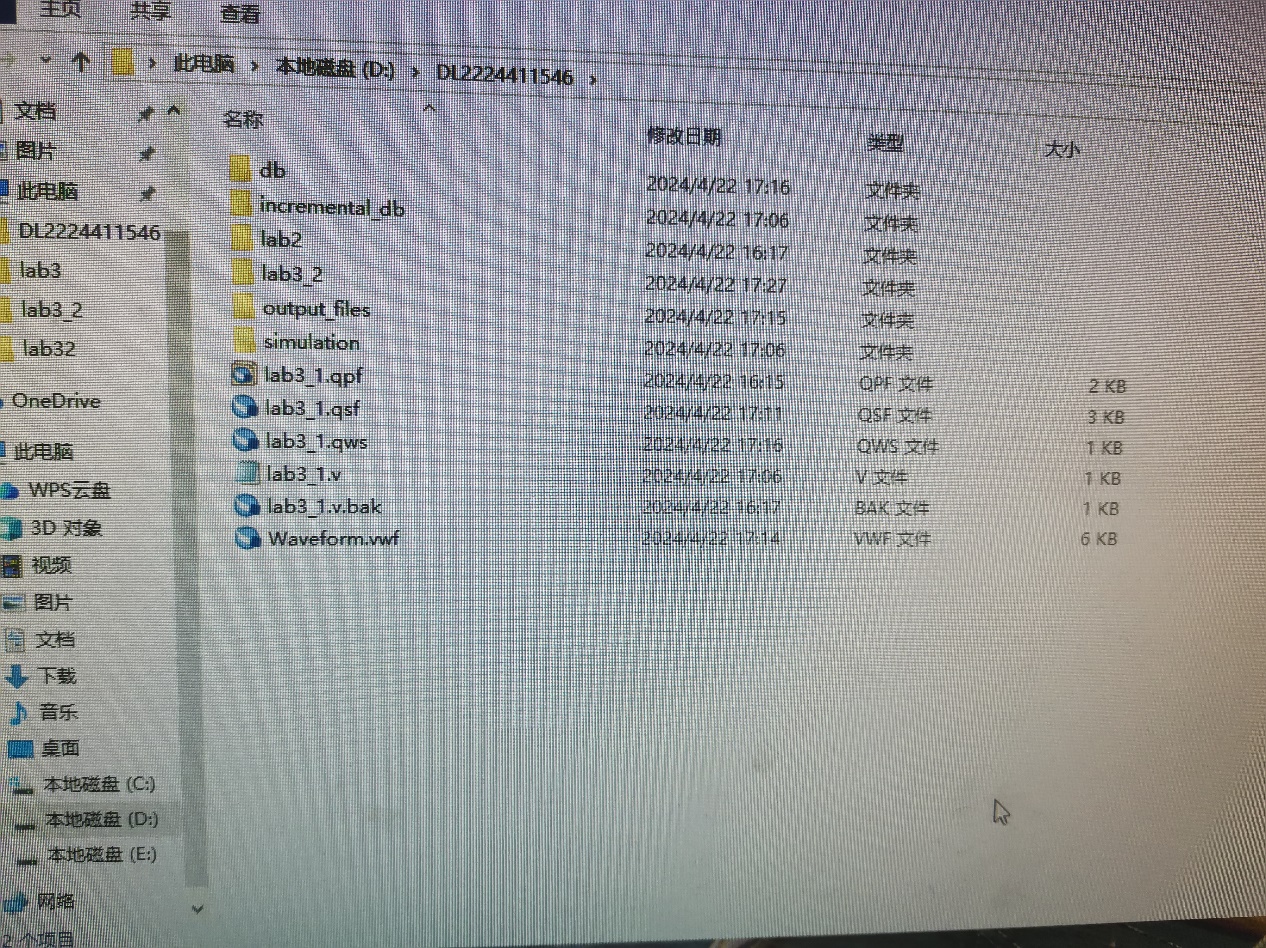
含两个实验，嵌套if语句 和 case语句

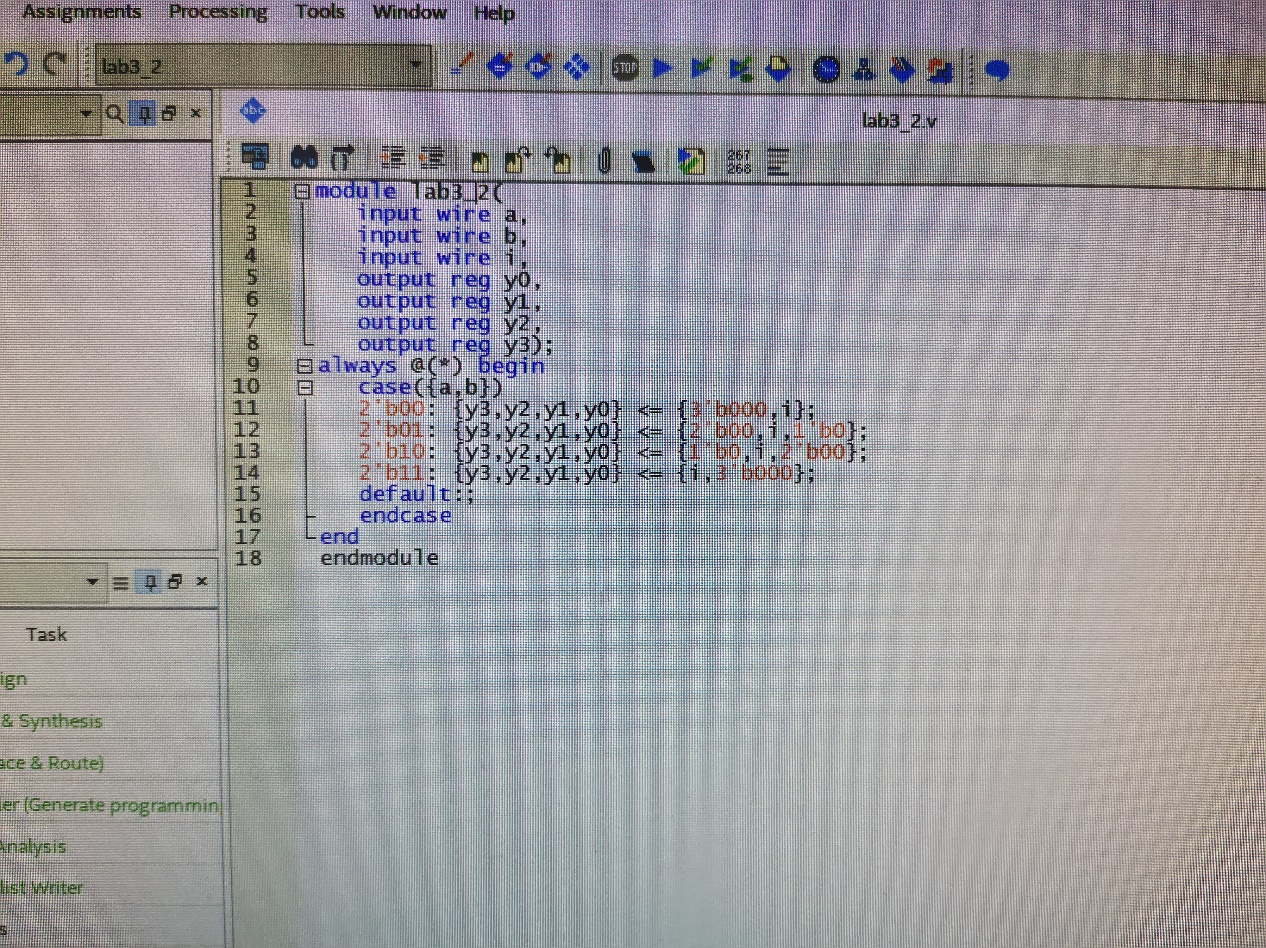
代码设计 和 仿真结果 各占10分。

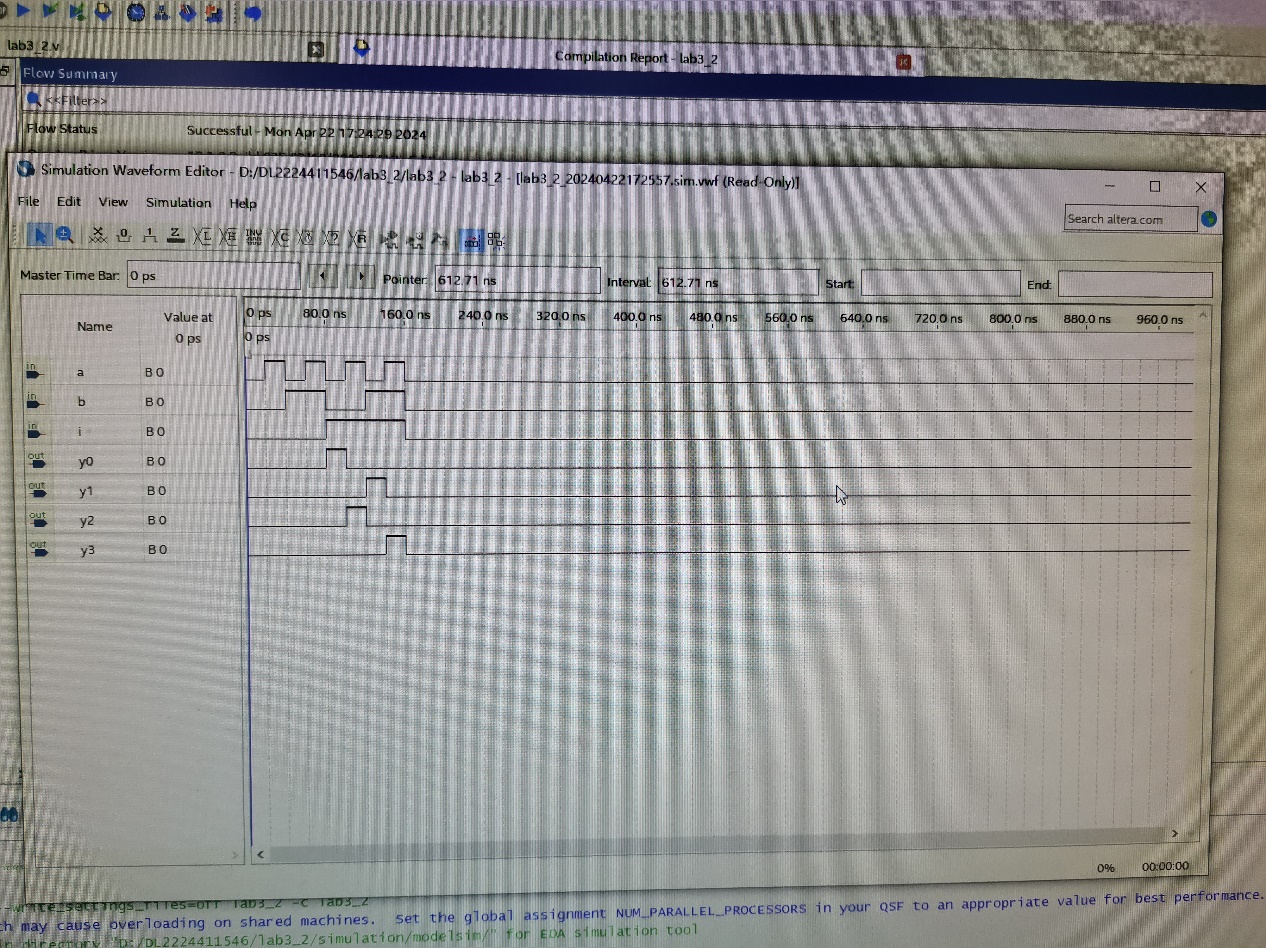












## 四 Verilog相关知识（30分）

4.1 Verilog中module的基本框架

module关键字用于定义模块

模块包括端口定义和内部逻辑实现

示例：module test(input a, output o1); ... endmodule

4.2 Verilog中的主要数据类型和主要赋值方法

四值逻辑系统：0（低电平）、1（高电平）、X（不确定）、Z（高阻态）

数据类型包括：net（线网）、register（寄存器）、parameters（参数）

assign用于持续赋值，对应组合逻辑

always用于过程赋值，对应时序逻辑或组合逻辑

4.3 Verilog中的两个条件语句

if语句：根据条件选择执行路径

case语句：多路选择执行路径