电子技术实验2 实验报告

**3 译码器**

## 一 实验内容

1.1 Quartus Prime基本使用

Quartus Prime是一款用于FPGA设计的工具。可以使用它来创建、编译和验证数字逻辑电路。

1.2 Quartus实现3-8译码器

3-8译码器是一种数字电路，用于将3位输入信号转换为8位输出信号。

1.3 用译码器实现全加器

## 二 实验原理

2.1 Quartus Prime设计流程及设计要点

Quartus 设计流程

1.创建工程 2.添加设计输入 3.编译 4.仿真 5.分配管脚并重新编译 6.时序分析 7.下载验证

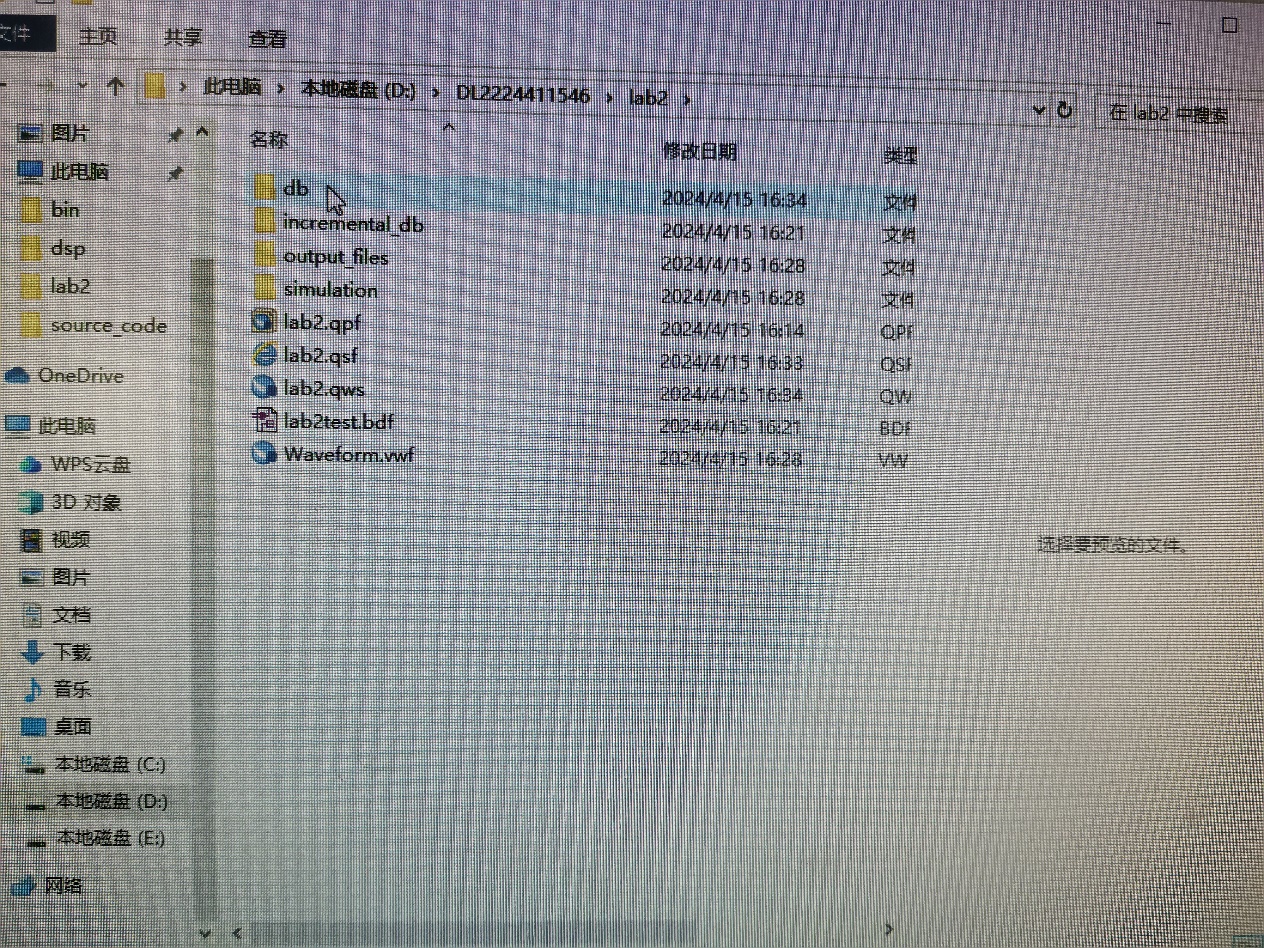
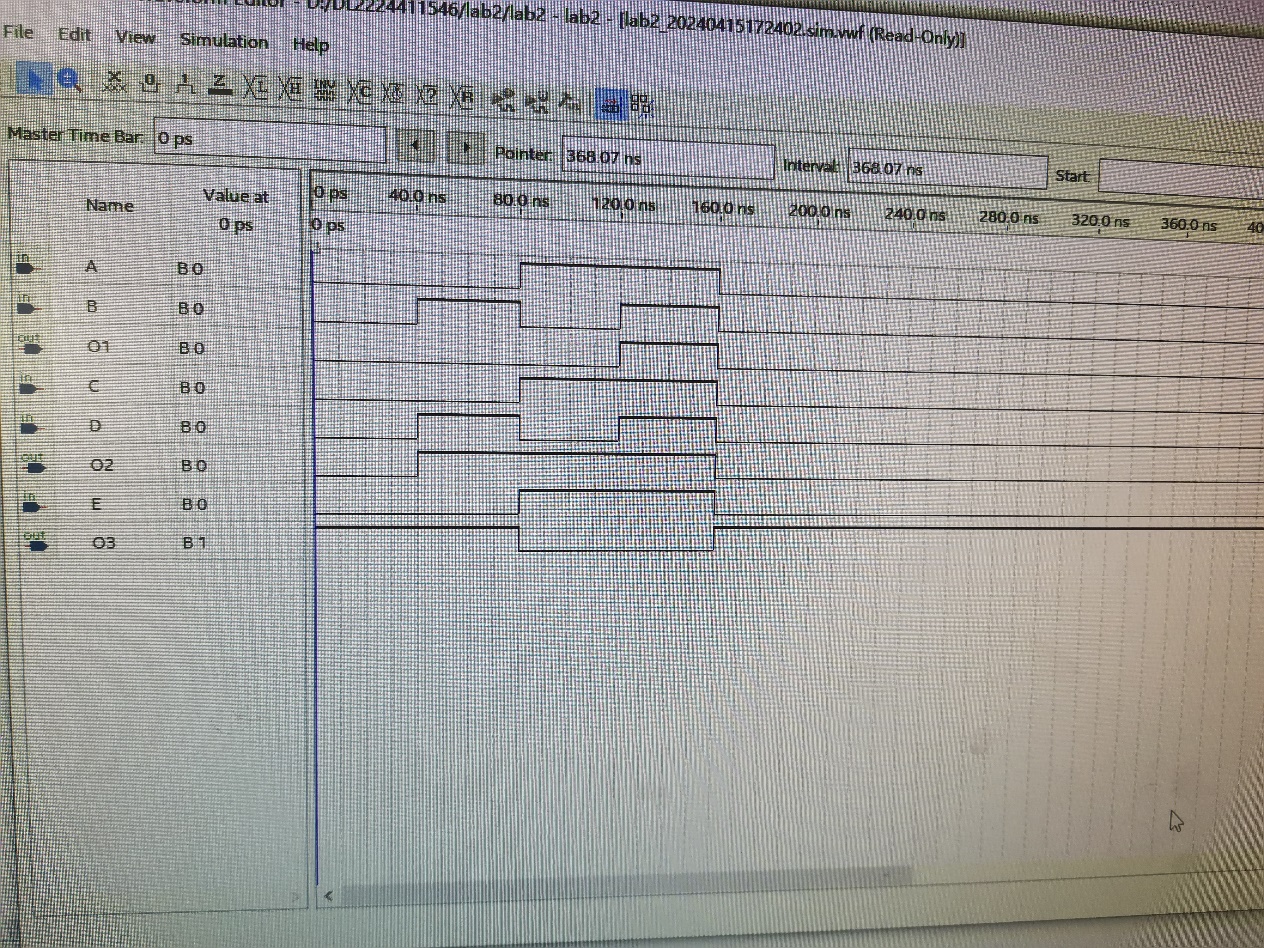
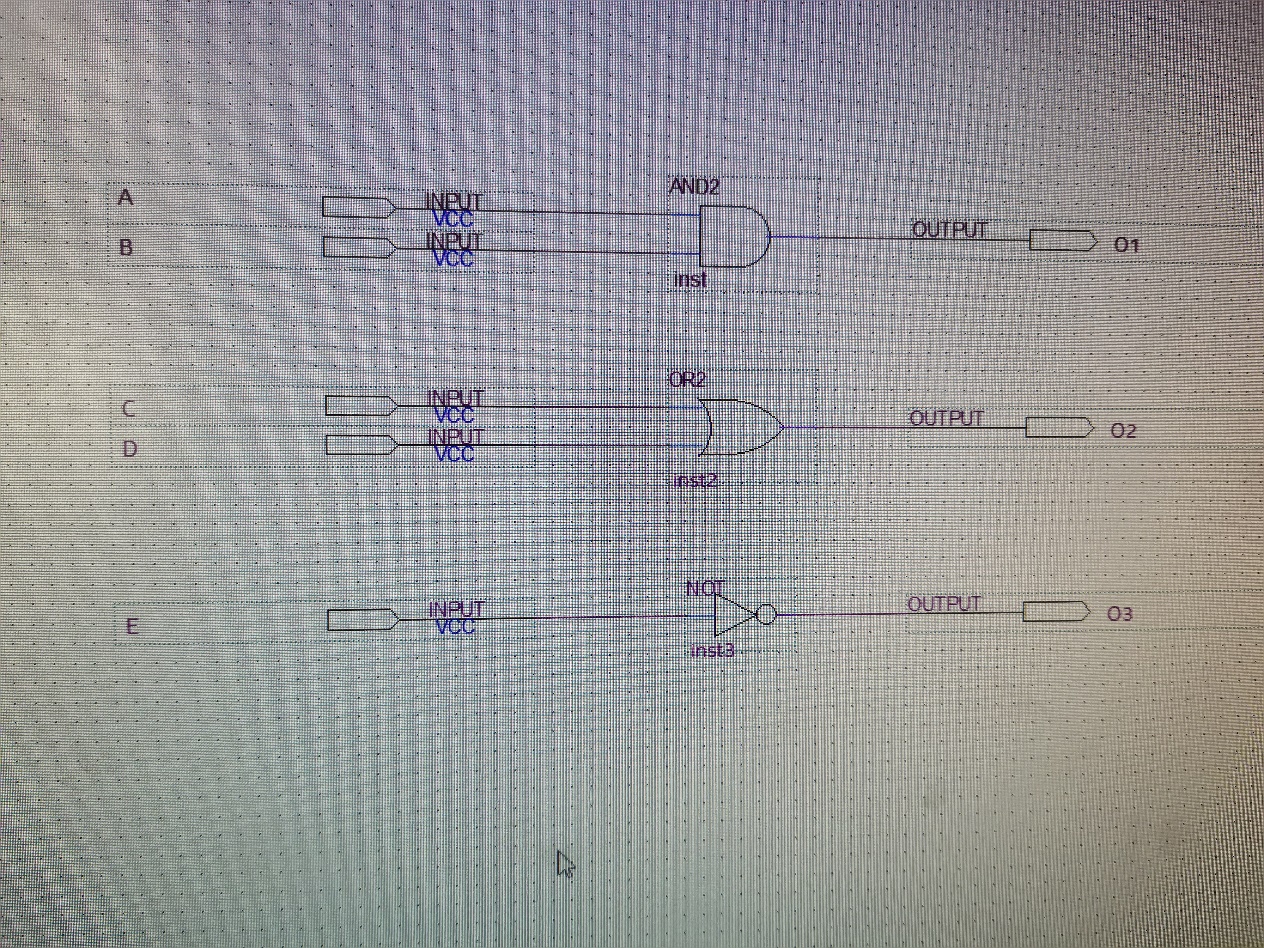
2.2 译码器的电路原理

2.3 译码器设计全加器的电路原理

## 三 实验结果

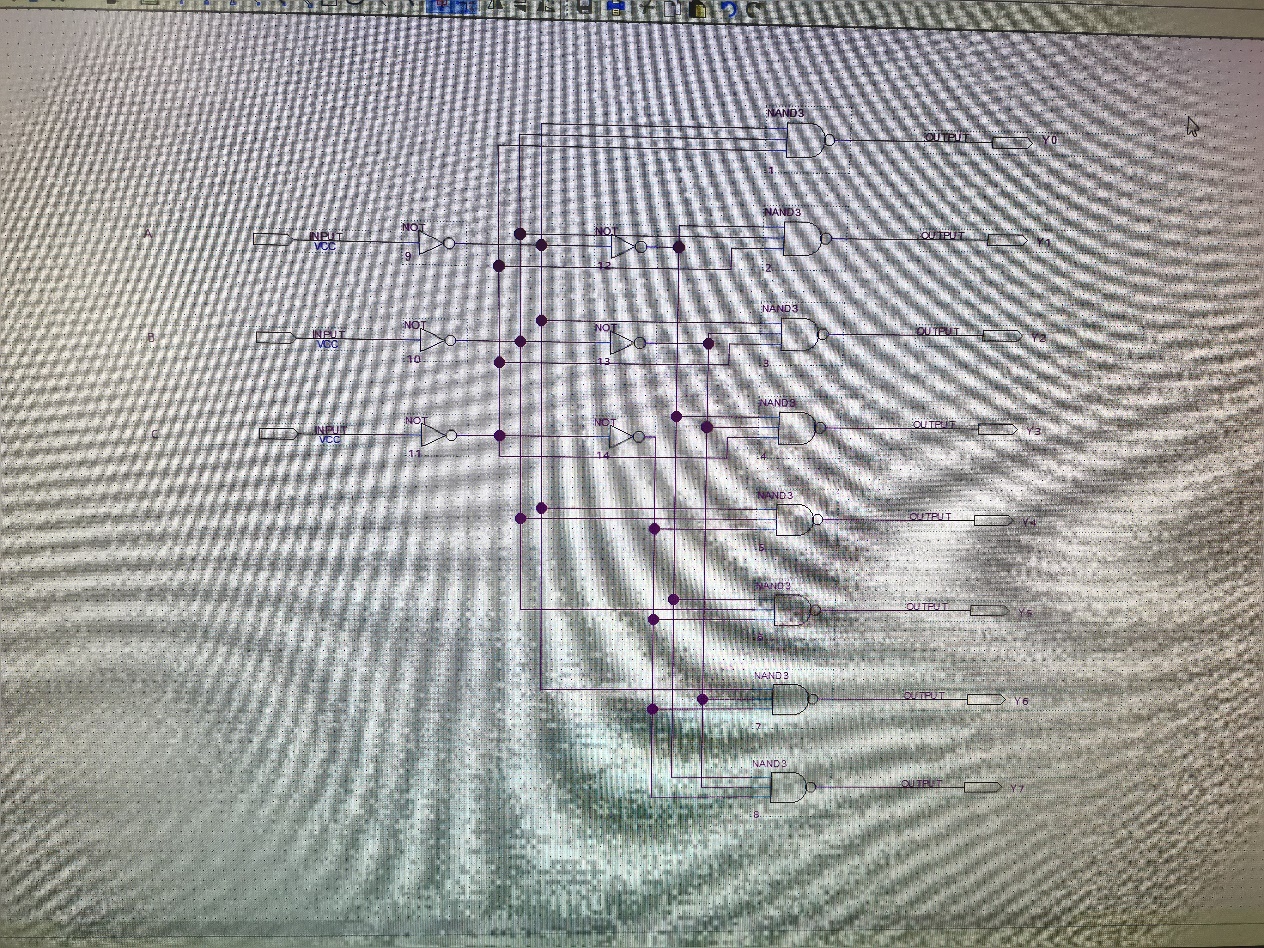
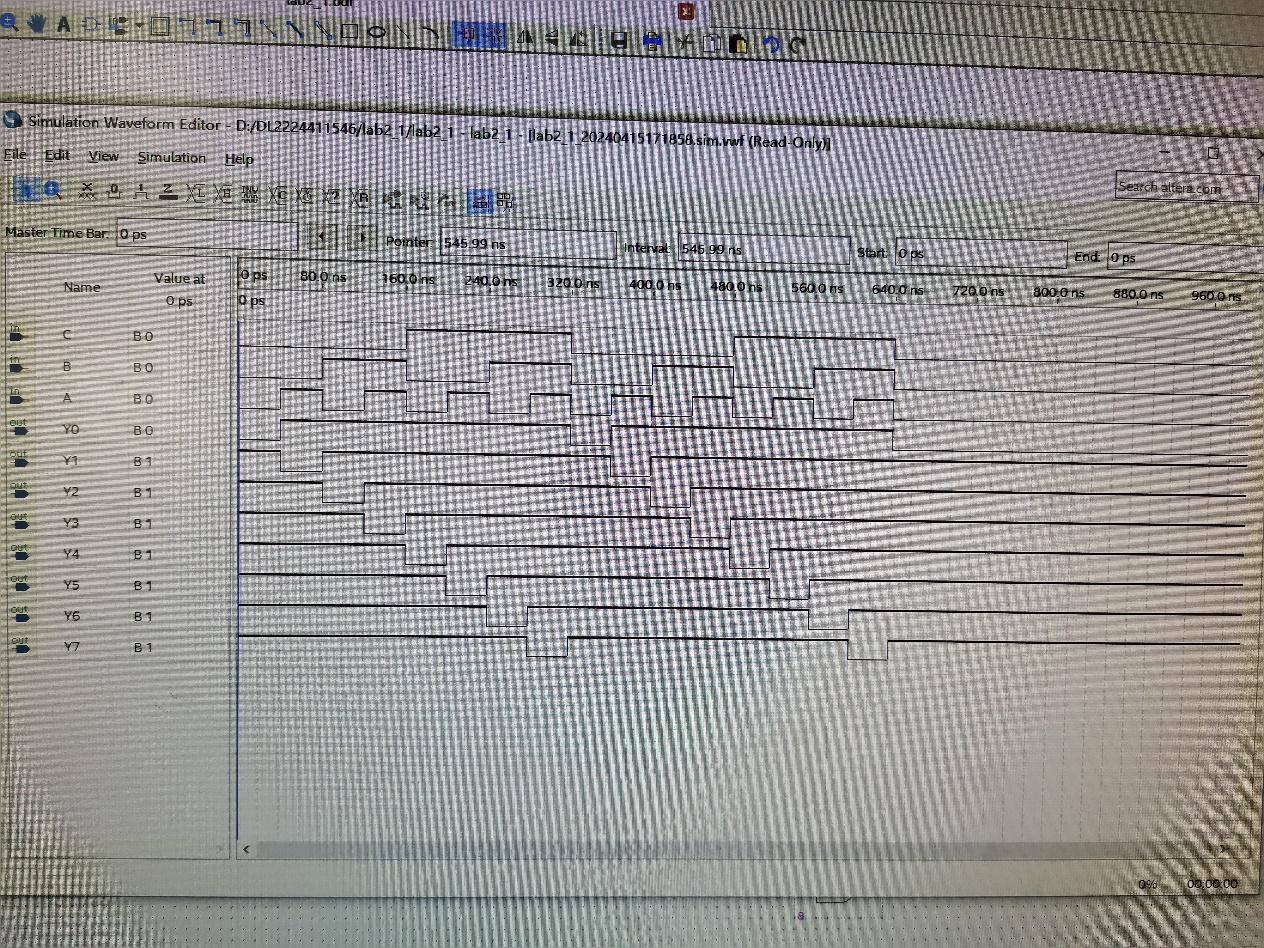
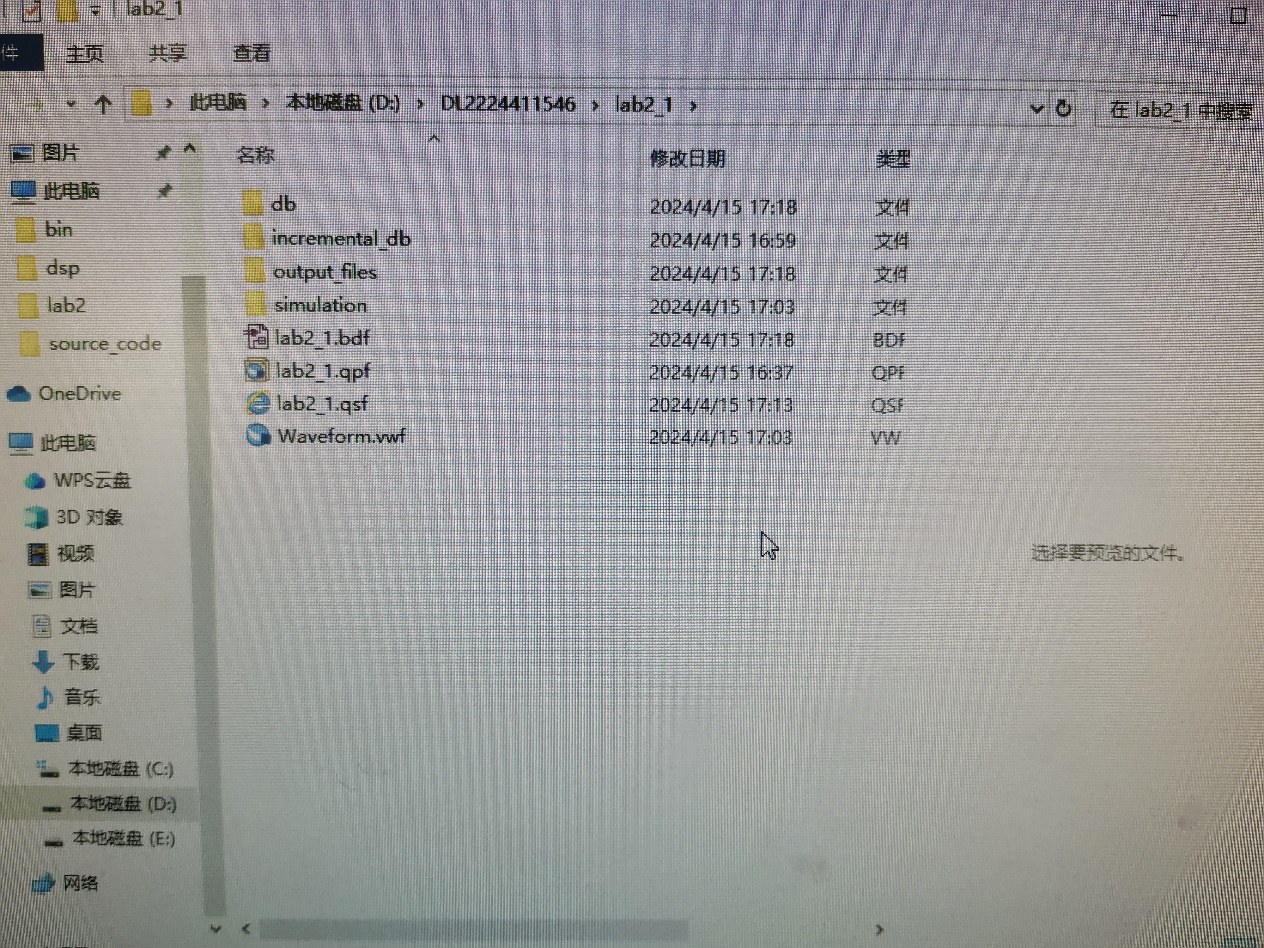
3.1 Quartus Prime基本使用

包括工程文件夹截图、电路设计图、仿真结果图



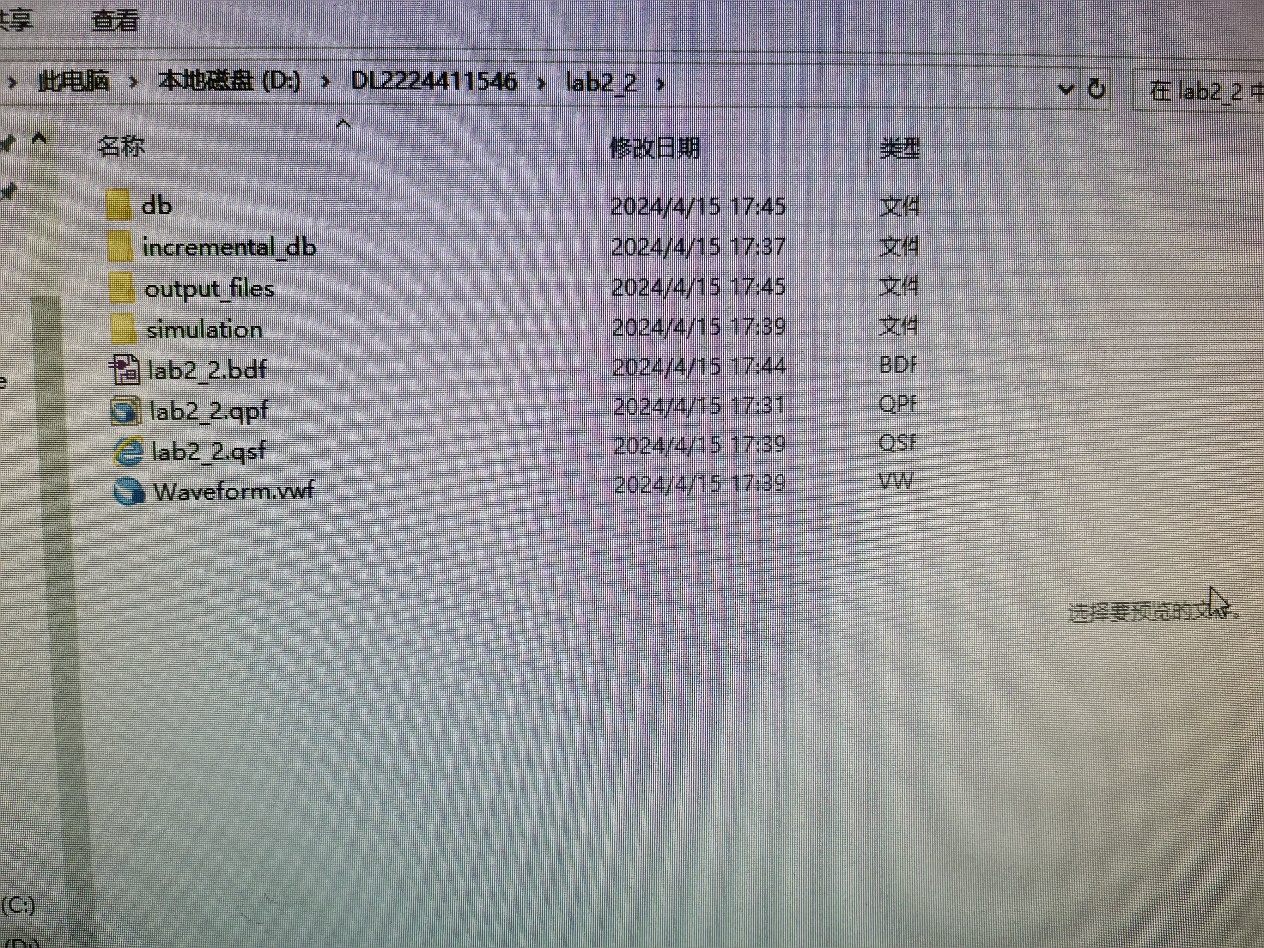
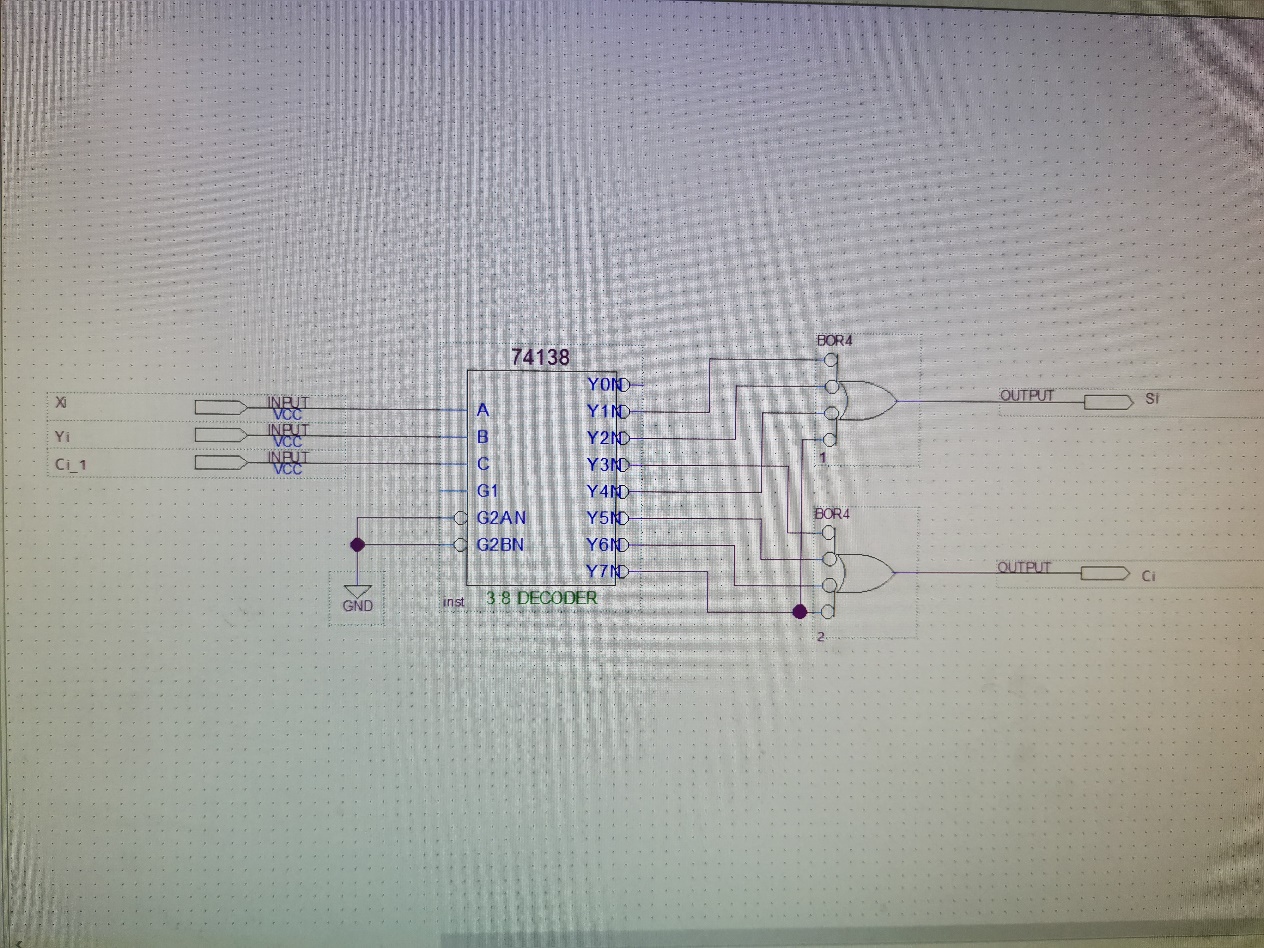
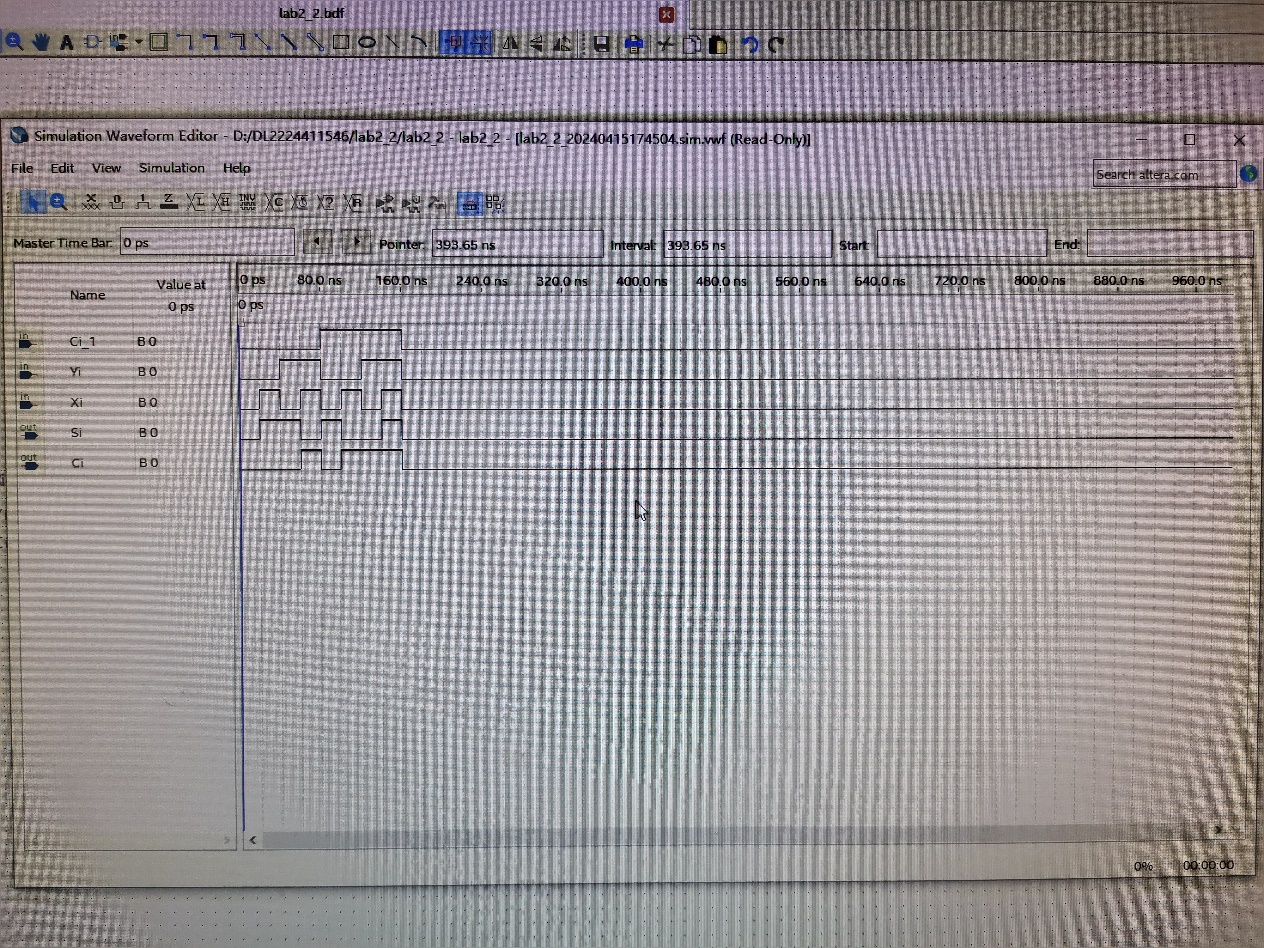
3.2 Quartus实现3-8译码器

包括工程文件夹截图、电路设计图、仿真结果图



3.3 用译码器实现全加器

包括工程文件夹截图、电路设计图、仿真结果图



## 四 思考题

4.1 Quartus Prime除了原理图（即BDF）输入文件外，还有哪些种类的设计文件？

**Verilog设计文件**（.v、.vh、.verilog、.vlg）：

这些文件包含了使用Verilog硬件描述语言编写的逻辑电路设计。

可以在这些文件中定义模块、端口、逻辑门、寄存器等。

**VHDL设计文件**（.vhd、.vhdl）：

VHDL是另一种硬件描述语言，用于描述数字电路。

VHDL设计文件包含了与Verilog类似的信息，例如模块、端口、逻辑电路等。

**EDIF输入文件**（.edf、.edif、.edn）：

EDIF（Electronic Design Interchange Format）是一种通用的电子设计交换格式。

这些文件用于将设计从其他工具或格式导入到Quartus Prime中。

**存储器初始化文件**（.mif、.rif、.hex）：

这些文件包含了存储器初始化数据，例如ROM或RAM的初始内容。

**配置文件**（.qsf、.tcl）：

配置文件用于设置Quartus Prime项目的各种选项和参数。

**工程文件**（.qpf）：

工程文件是Quartus Prime项目的主文件，其中包含了项目设置、目标FPGA设备信息等。

4.2 在设计完成并且编译通过之后，还需要哪些步骤才可以使你设计的电路呈现在CPLD芯片里？

**生成编程文件**：

在Quartus Prime中，编译成功后会生成编程文件，例如SOF（SRAM Object File）或POF（Programmer Object File）。

这些文件包含了已编译的逻辑电路的位流数据。

**连接CPLD芯片**：

使用JTAG或其他编程接口，将CPLD芯片连接到开发板或编程器。

**烧录编程文件**：

使用编程器将编程文件烧录到CPLD芯片中。这将把设计加载到CPLD的可编程逻辑部分。

**验证功能**：

在CPLD芯片上验证设计是否按预期工作。

4.3 译码器是组合逻辑器件中非常重要的一个器件，写出译码器的几个功能。

**信号解码**：

译码器将输入信号解码为对应的输出信号。例如，将二进制编码的地址信号解码为特定的设备或存储器位置。

**多路选择**：

译码器可以根据输入信号的不同值选择不同的输出信号路径。这对于多路选择器件非常有用。

**地址映射**：

在计算机系统中，译码器用于将CPU发出的地址映射到内存或外设的实际位置。

**显示控制**：

译码器可以用于控制数码管、LED显示、LCD等输出设备的显示内容。