



2024

西安交通大学 信通学院

电子技术实验2

张翠翠

zhangcuicui@mail.xjtu.edu.cn

6 计数器设计与应用



C 目录

CONTENTS

忠 果 敦 精
恕 毅 笃 勤
任 力 励 求
事 行 志 学

01

计数器和分频器原理

02

实验内容

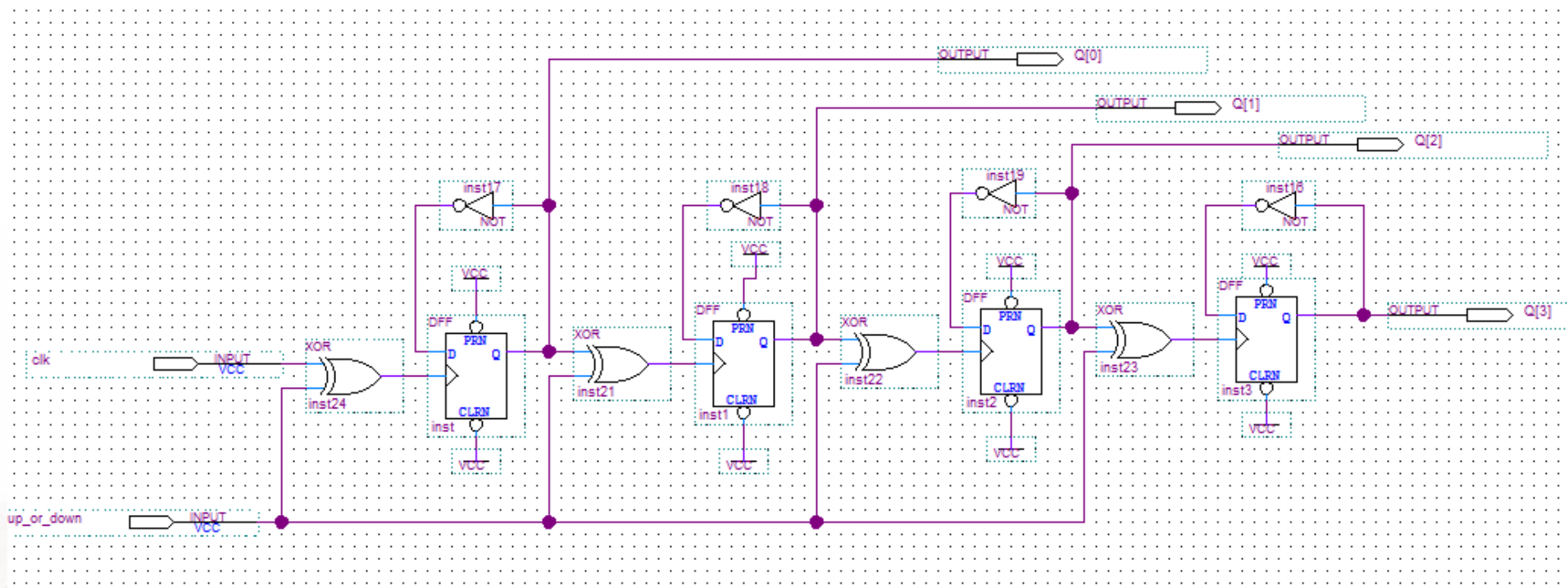
03

实验报告要求

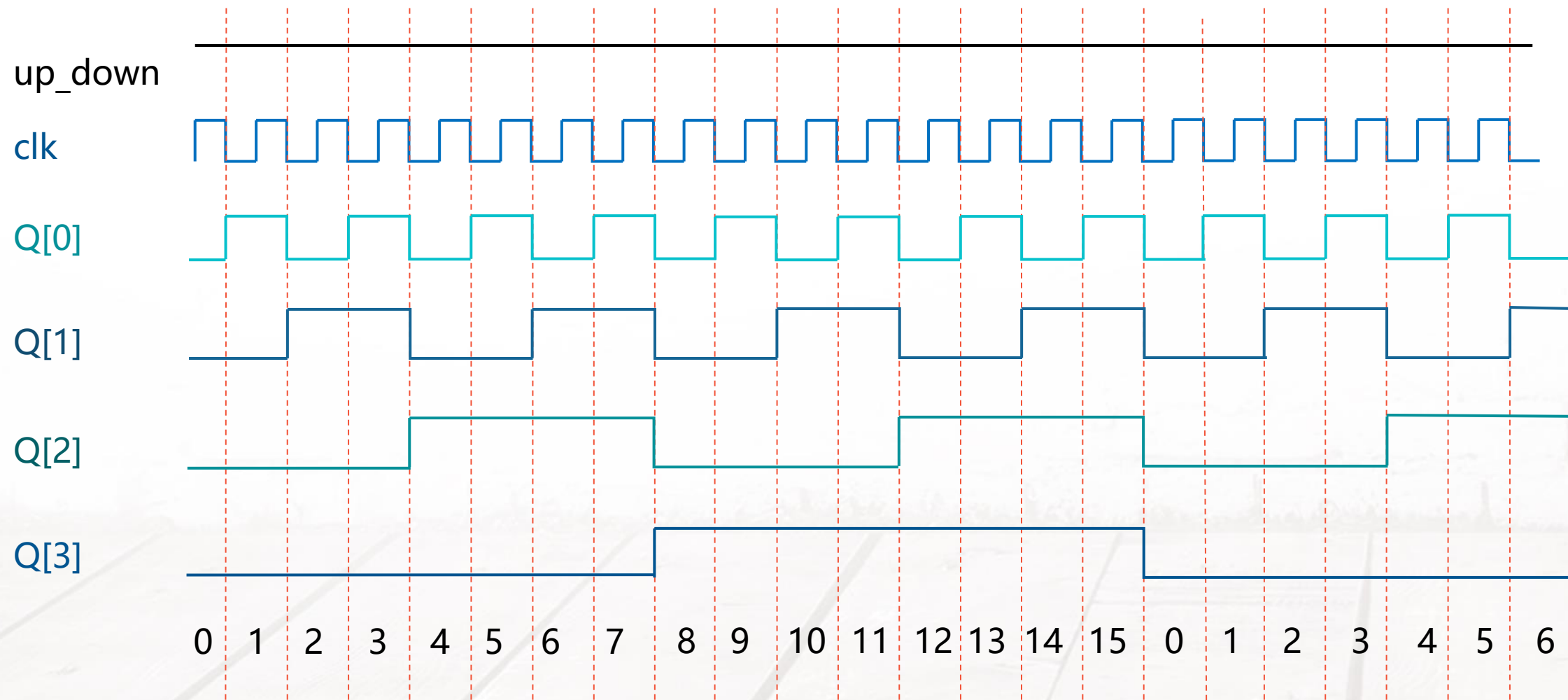


Part 01

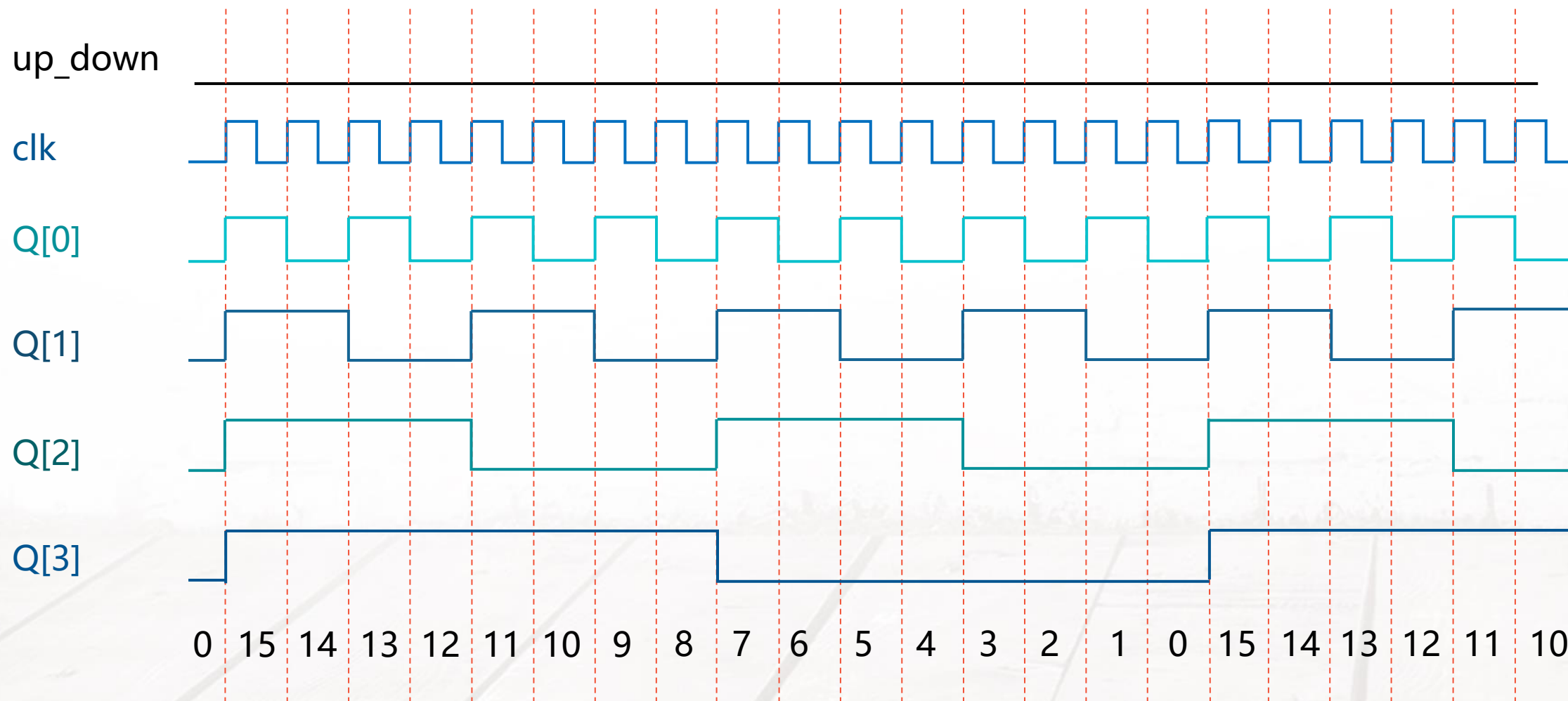
计数器和分频器原理



时序图 (加1计数)



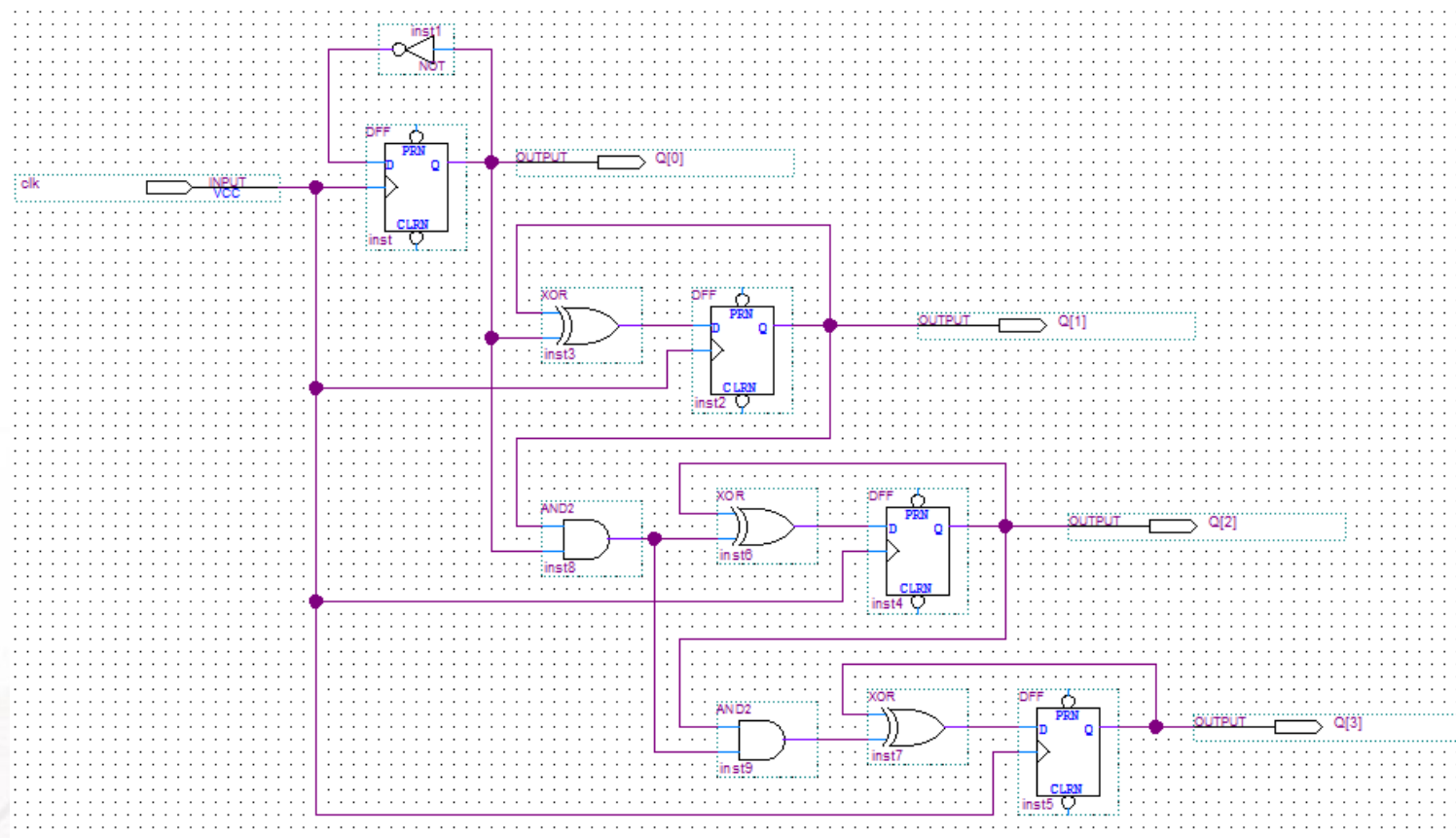
时序图 (减1计数)



1.2

同步计数器

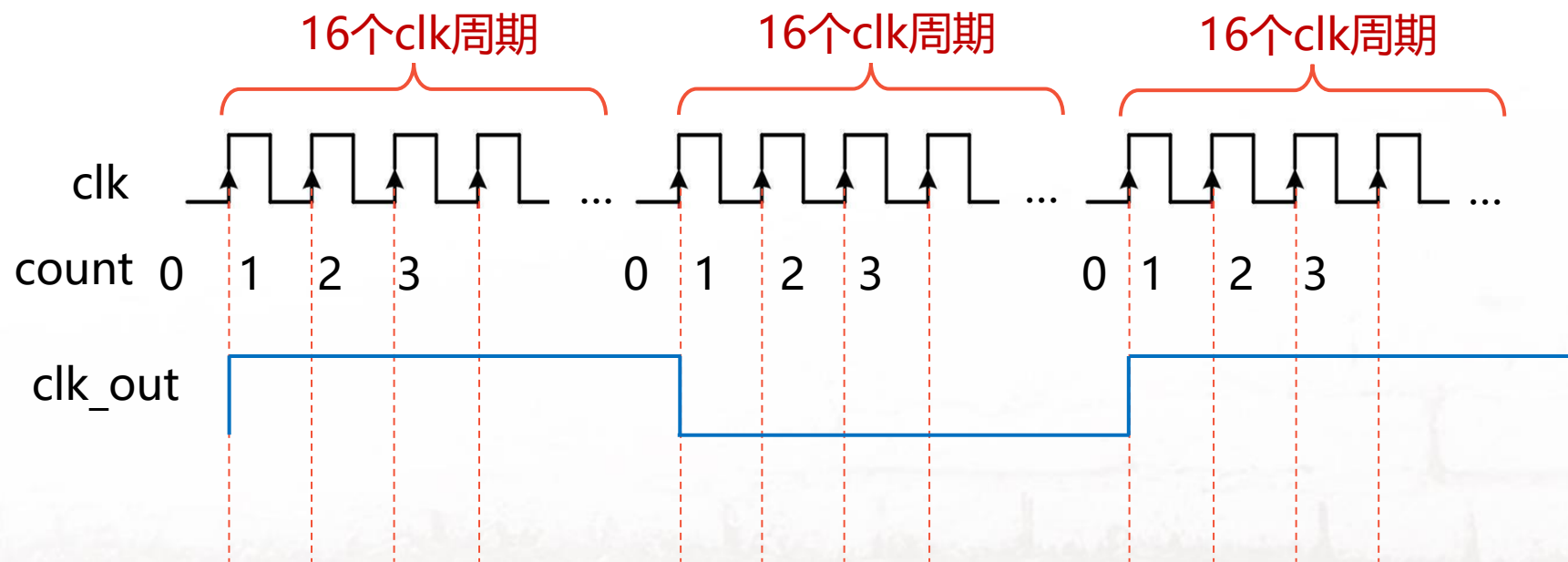
现态 (Q[3:0])	次态(Q _{n+1} [3:0])
0000	0001
0001	0010
0010	0011
0011	0100
0100	0101
0101	0110
0110	0111
0111	1000
1000	1001
1001	1010
1010	1011
1011	1100
1100	1101
1101	1110
1110	1111
1111	0000



1.3 Verilog实现计数器和分频器



```
lab53.v
1 module lab53(
2     input          clk_in,
3     output reg [3:0] count,
4     output reg      clk_out
5 );
6
7 always @(posedge clk_in) begin
8     count <= count + 4'd1;
9 end
10
11 always @(posedge clk_in) begin
12     if(count == 4'd0) begin
13         clk_out <= ~clk_out;
14     end
15     else begin
16         clk_out <= clk_out;
17     end
18 end
19
20
21 endmodule
```



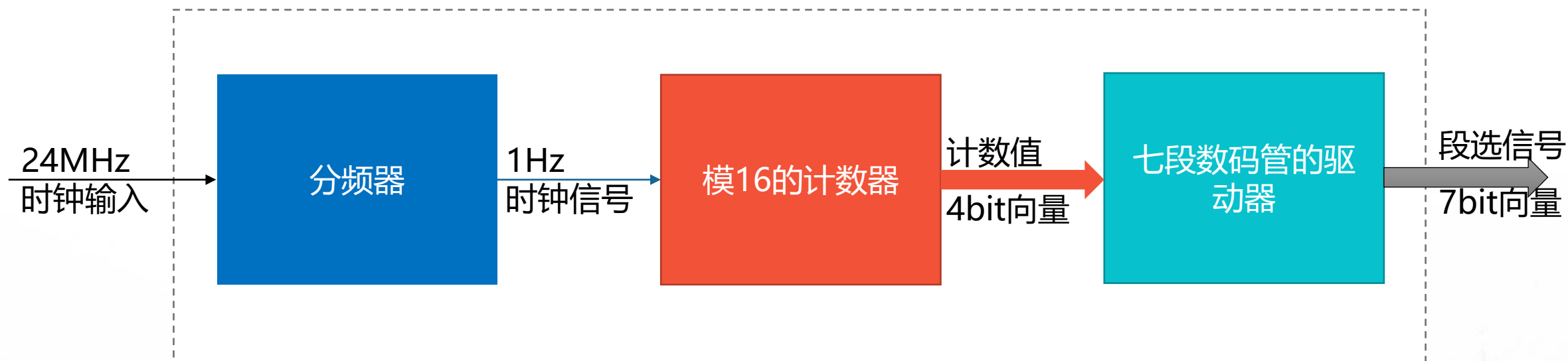
分频器时序图



Part 02

实验内容



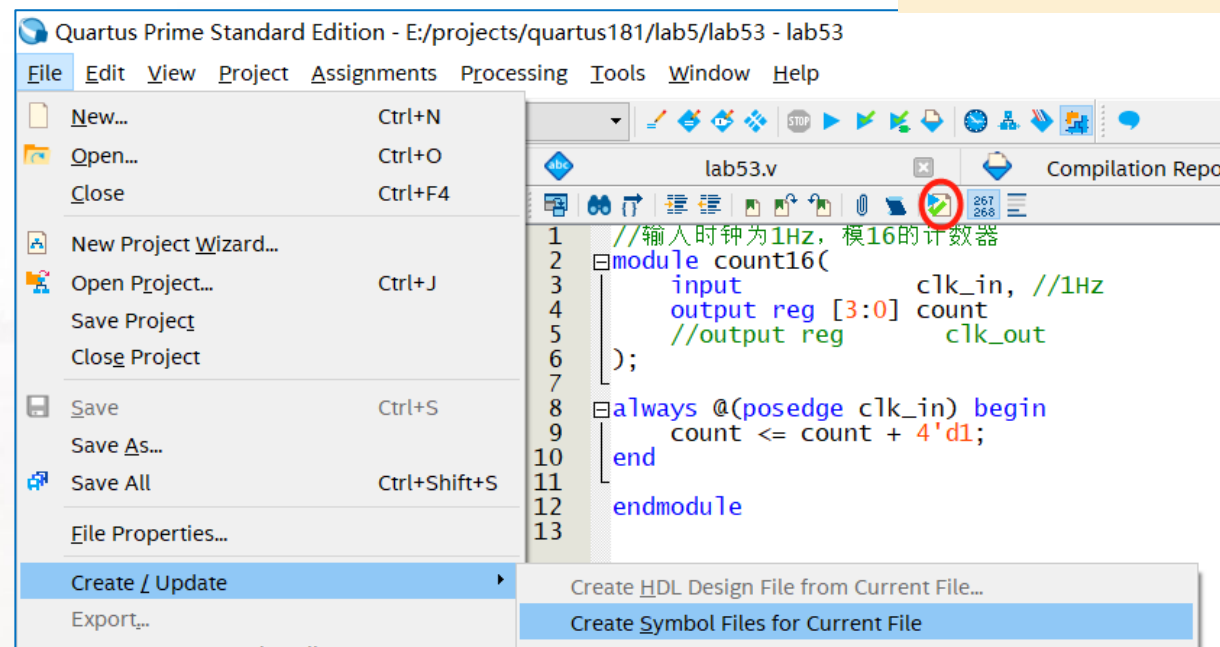
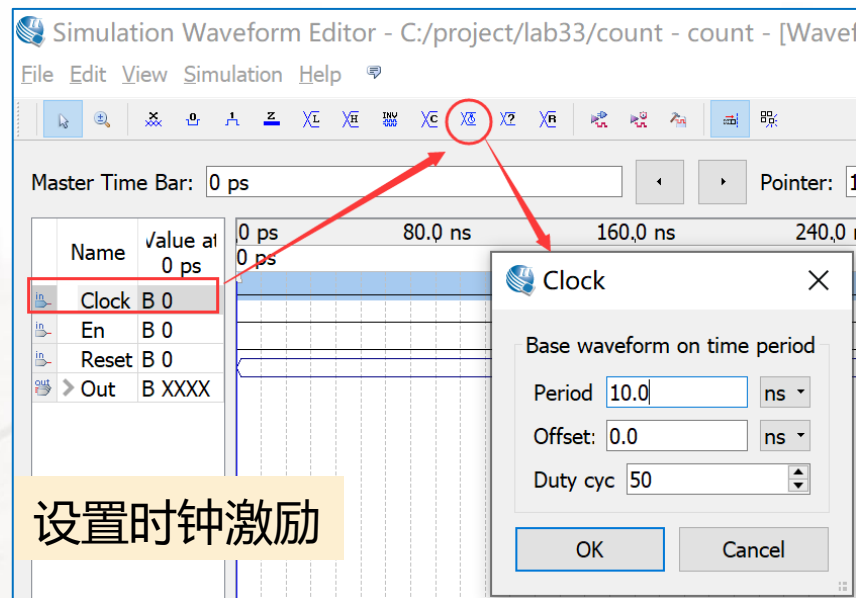


- 新建工程lab61，一步一步完成设计
- 分配管脚、下载验证

◆ 第一步：设计模16的计数器

1. 新建工程lab6
2. 新建Verilog HDL文件，完成模16计数器的设计
3. 将该文件设为顶层实体后全编译，进行功能仿真和时序仿真
4. 为该分频器创建符号文件

生成符号文件





◆ 第二步：设计24M分频器，产生1Hz时钟信号

1. 新建Verilog文件，设计完成24M的分频器
2. 将该文件设为顶层实体后编译
3. 为该分频器创建符号文件

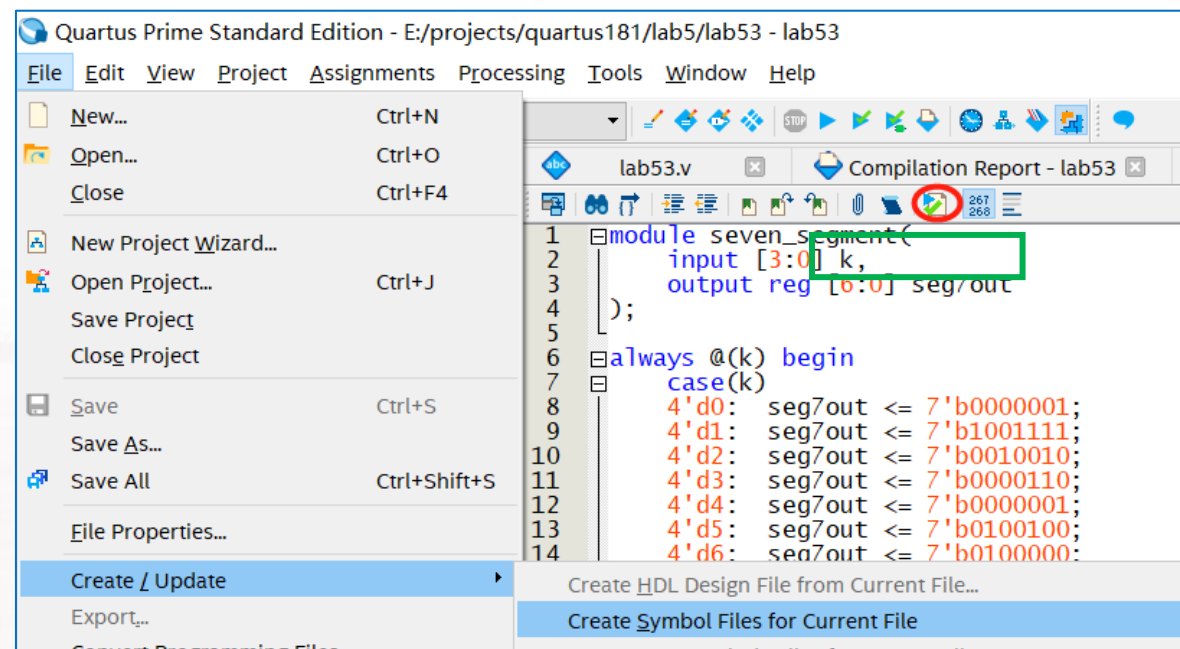
```
1 //输入时钟为24MHz，要求输出时钟为1Hz，即实现24M的分频
2 module lab53(
3     input          clk_in,
4     //output reg [25:0] count,
5     output reg      clk_out
6 );
7
8 reg [25:0] count;
9 always @(posedge clk_in) begin
10     if(count == 26'd12000000) begin
11         count <= 26'd0;
12     end
13     else begin
14         count <= count + 26'd1;
15     end
16 end
17
18 always @(posedge clk_in) begin
19     if(count == 26'd0) begin
20         clk_out <= ~clk_out;
21     end
22     else begin
23         clk_out <= clk_out;
24     end
25 end
26
27 endmodule
```

这个数值是不是还可以再精确一些？

2.1 实验内容：模16计数器

◆ 第三步：设计7段数码管并仿真

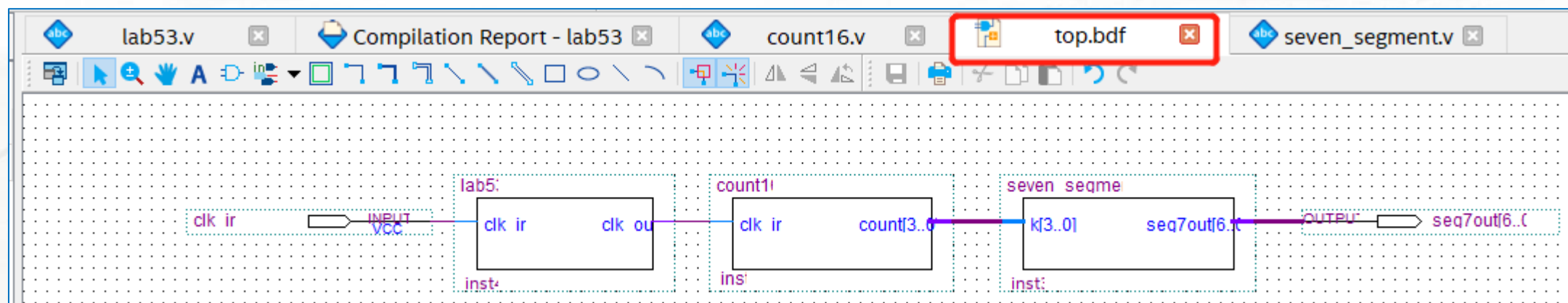
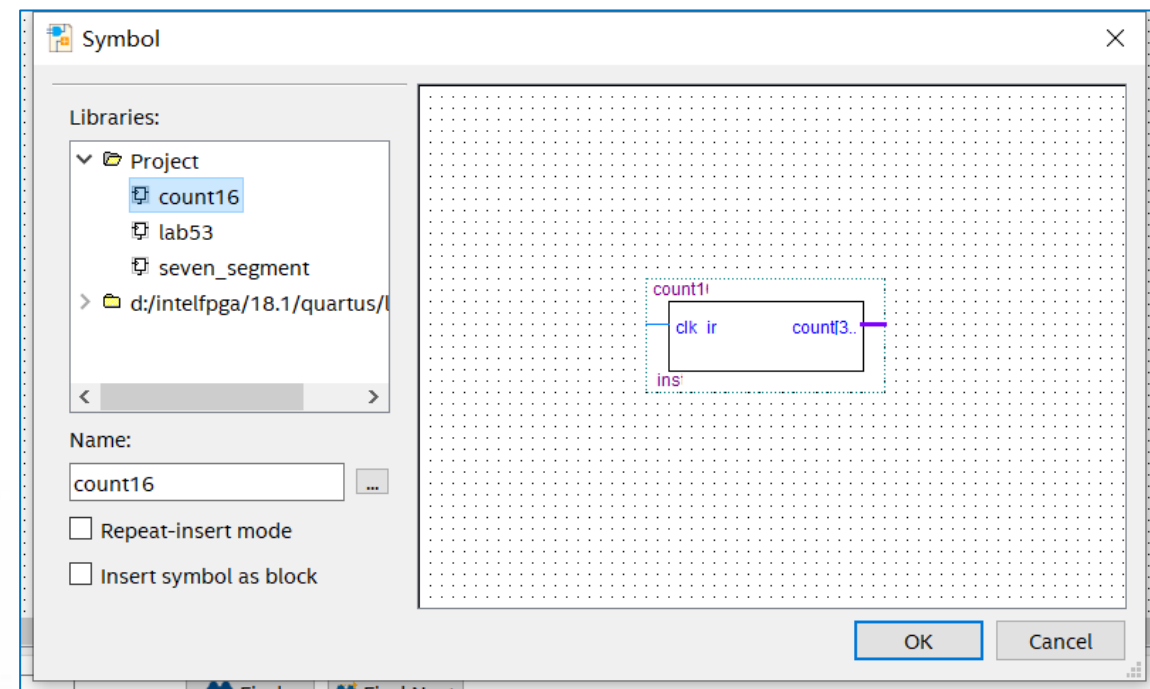
1. 新建Verilog HDL文件，完成7端数码管的设计
2. 保存.v文件的名称与module的名称一致
3. 将7段数码管的.v文件设为顶层实体，对工程进行全编译
4. 为7段数码管创建符号文件



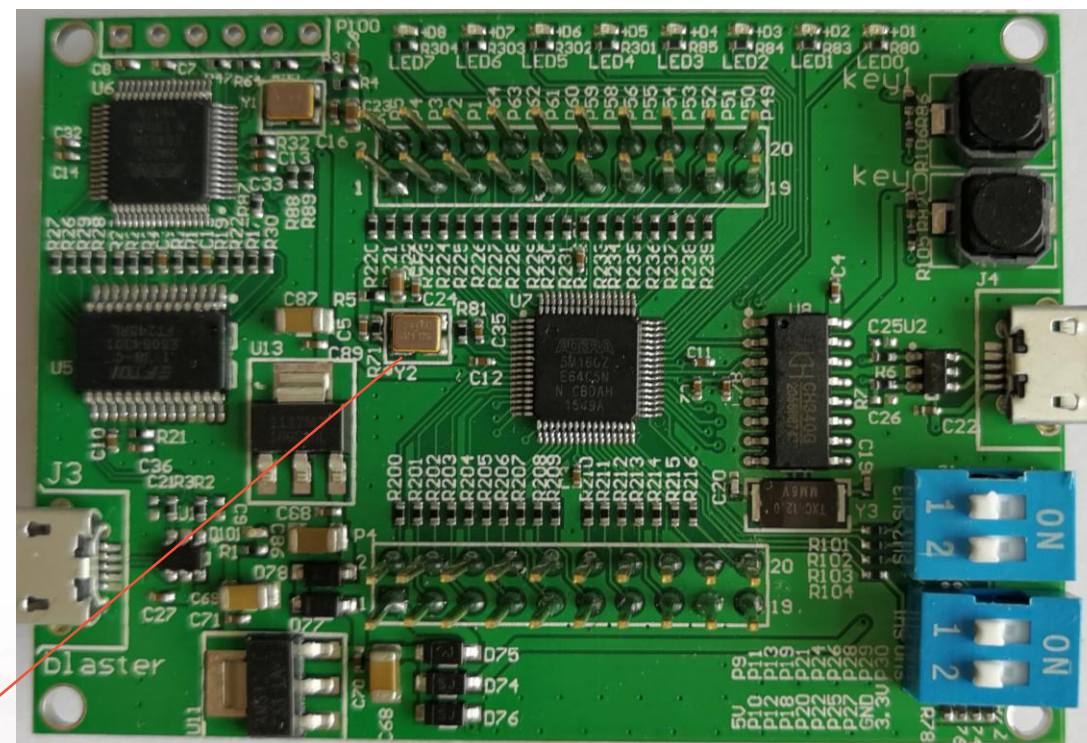
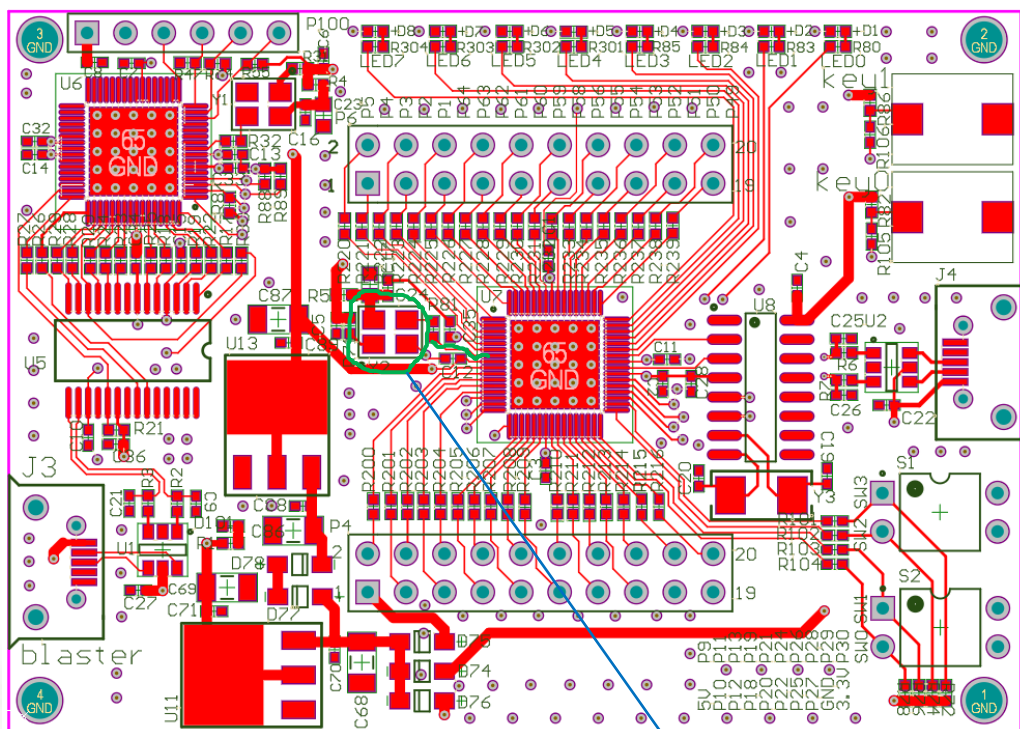
2.1 实验内容：模16计数器

◆ 第四步：自底向上、模块整合

1. 新建bdf文件，命名为top.bdf，添加分频器、计数器、7段数码管并完成连线
 2. 将top.bdf设为顶层实体，全编译
 3. 对设计进行管脚分配，全编译
 4. 下载程序到实验箱上，连线验证
- 时钟引脚分配到pin7上



2.1 实验内容：模16计数器



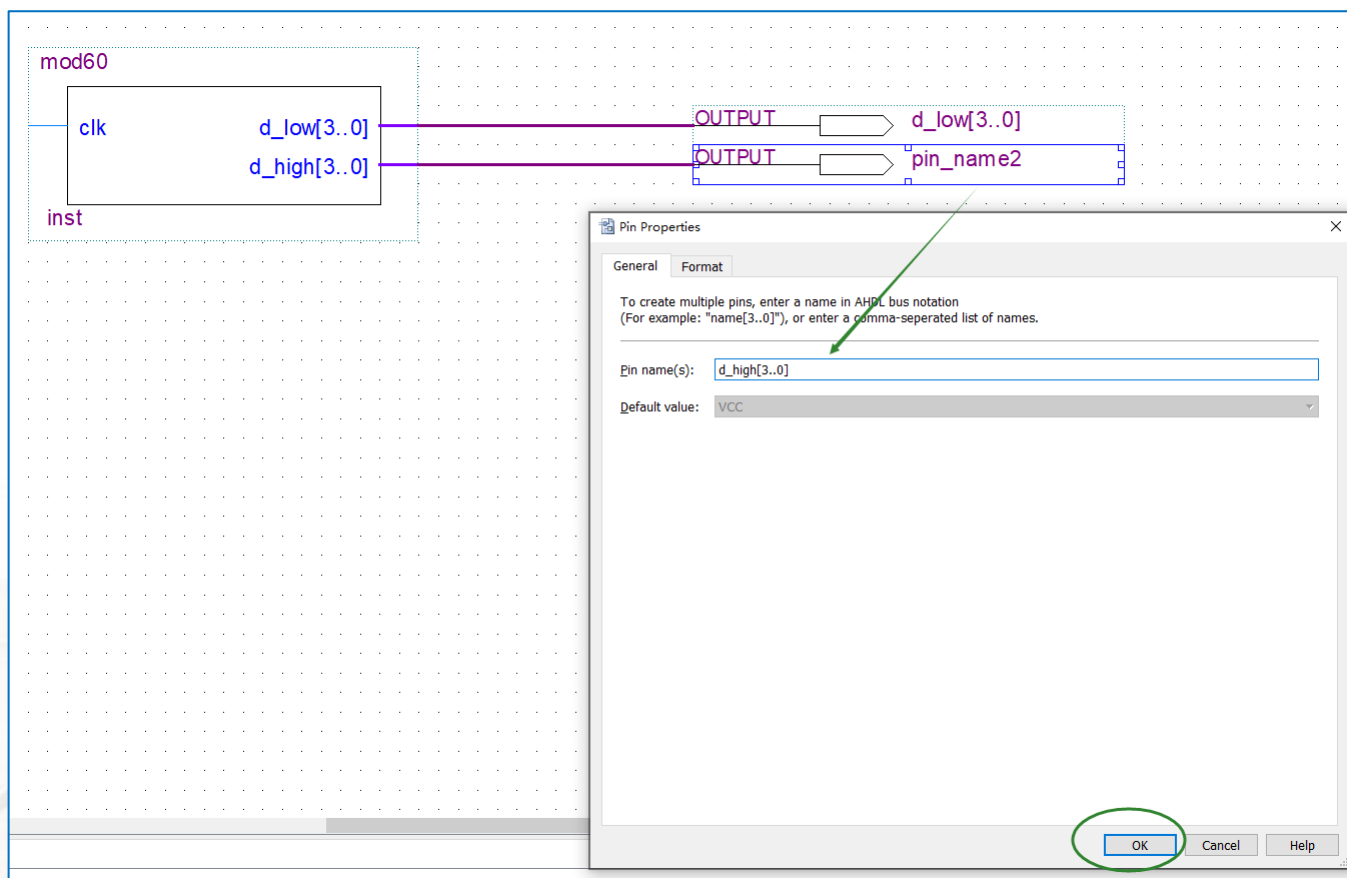
24MHz的晶振输出24MHz时钟信号，接到了PIN7引脚

◆ BDF中总线和节点的连接问题

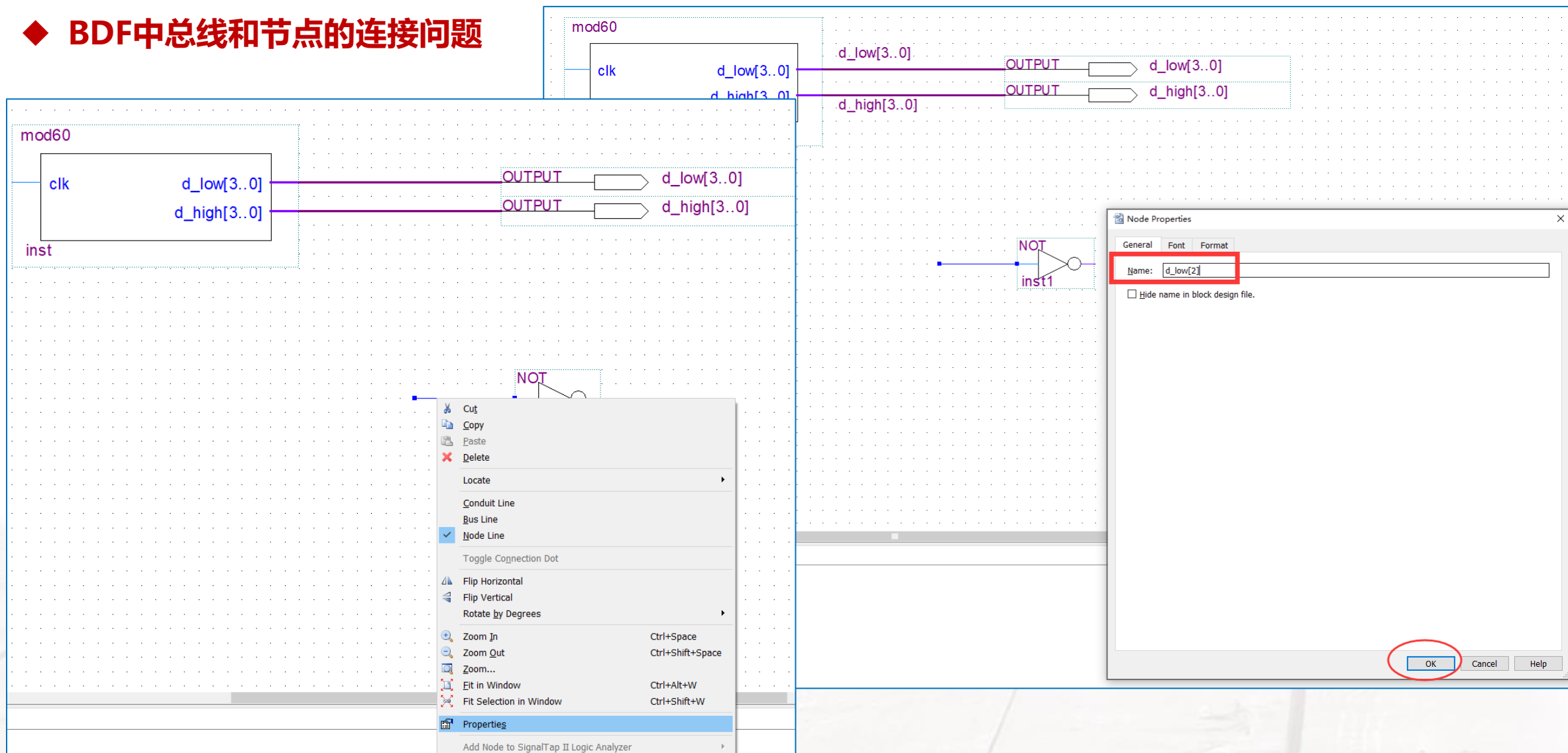


节点连接

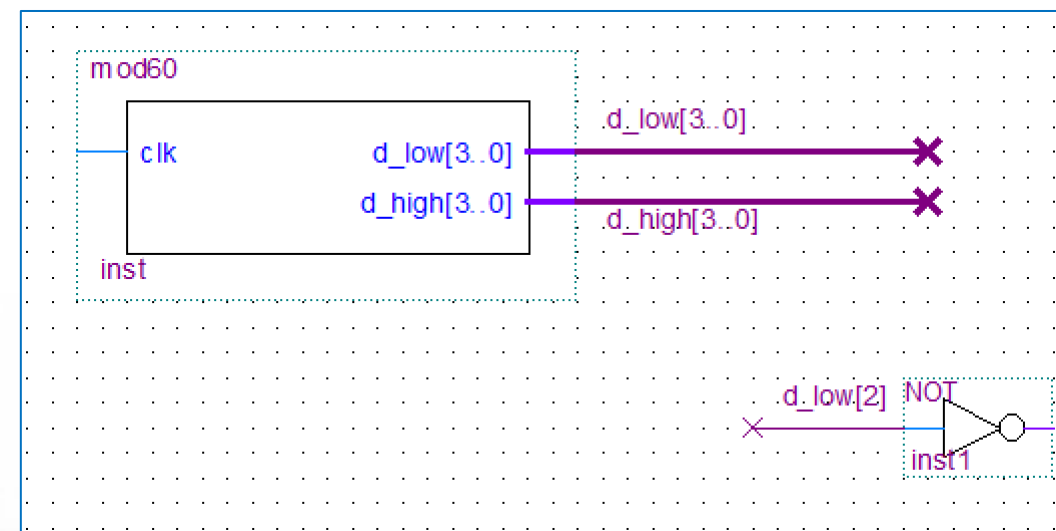
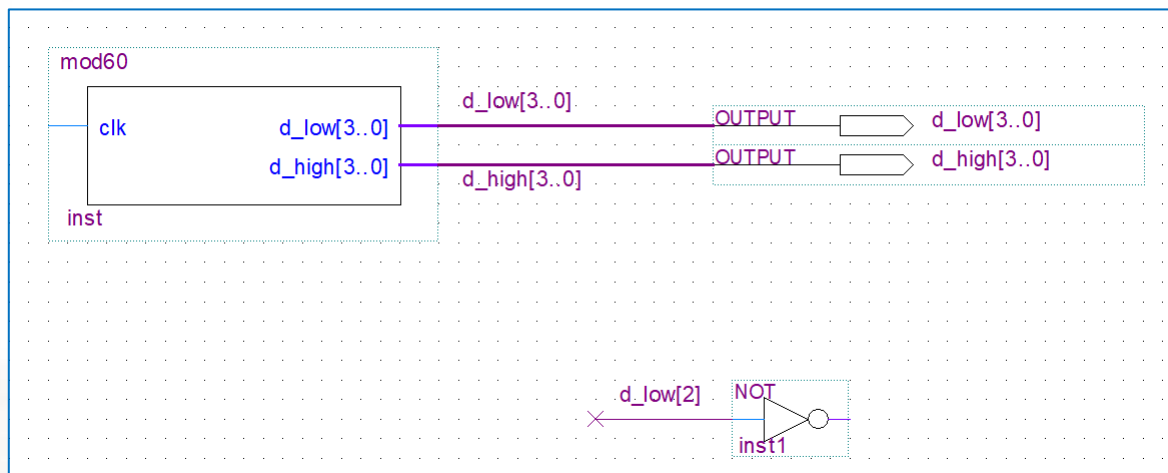
总线连接



◆ BDF中总线和节点的连接问题



◆ BDF中总线和节点的连接问题





Part 03

实验报告要求



电子技术实验 2 实验报告

学号：
班级：
姓名：
编号：

6 计数器设计与应用

一 实验内容

模 16 计数器的实现

二 实验原理

1. 异步计数器的电路分析
2. 同步计数器的电路设计
3. 计数器实现分频器的原理分析

三 实验步骤

包括创建工程、
计数器设计实现、分频器设计实现
自底向上构建完整工程设计
引脚分配
下载验证

四 实验结果

主要是仿真结果、实验箱验证结果

五 总结和思考题

1. D 触发器为基础的异步计数器的优点是什么？缺点是什么？
2. 为克服 1 中的缺点，D 触发器为基础的同步计数器的优点是什么？又带来了什么样的缺点？
3. 总结对比自顶向下和自底向上的数字电路设计方法