卷一：

一. 单选题（共21题，42分）

1. (单选题, 2分)【单选题】冯.诺依曼结构的计算机中数据采用二进制编码,主要原因是(    )。

I、二进制运算规则简单

II、制造两个稳定状态的物理器件技术上容易实现

III、便于逻辑门电路实现算术运算

IV、可靠性高

A. 仅  I、II

B. 仅  I、III

C. 仅  II、III

D. 以上都对

2. (单选题, 2分)【单选题】冯.诺依曼计算机的设计思想主要有(    )。

I.存储程序 II.二进制表示   III.微程序方式    IV.局部性原理

A. I、III B. II、III C. II、IV D. I、II

3. (单选题, 2分)【单选题】下列选项中,描述浮点数操作速度的指标是(    )。

A. MIPS B. CPI C. MFLOPS D. MAR

4. (单选题, 2分)【单选题】在链式查询方式下,若有N个设备,则(    )。

A. 需要N条总线请求线

B. 需要1条总线请求线

C. 视情况而定,可能一条,也可能N条

D. 以上说法都不对

2分

5. (单选题, 2分)【单选题】SRAM芯片容量为16K×8位,该芯片的地址线和数据线数分别为(    )。

A. 14、16 B. 16、16 C. 14、8 D. 16、8

6. (单选题, 2分)【单选题】在主存储器和CPU间增加cache的目的是(    )。

A. 解决CPU和主存储器之间的速度匹配问题

B. 扩大CPU中通用寄存器的数量

C. 扩大主存储器的容量

D. 既扩大主存储器的容量又扩大CPU中通用寄存器的数量

7. (单选题, 2分)【单选题】关于cache替换策略的说法,正确的是(     )。

A. 随机替换的速度最快,先进先出FIFO算法的命中率最高

B. 先进先出FIFO算法的速度最快,近期最少使用LRU算法的命中率最高

C. 近期最少使用LRU算法的速度最快,随机替换的命中率最高

D. 随机替换的速度最快,近期最少使用LRU算法的命中率最高

8. (单选题, 2分)【单选题】下列有关I/O接口的叙述中,不正确的是(   )。

A. 采用统一编址方式时,CPU不能用访存指令访问I/O端口

B. 采用独立编址方式时,I/O端口地址和主存地址可能相同

C. I/O接口中CPU可访问的寄存器称为I/O端口

D. 状态端口和控制端口可以合用同一个寄存器

9. (单选题, 2分)【单选题】计算机系统中禁止中断的功能由(    )完成。

A. 中断屏蔽触发器

B. 中断允许触发器

C. 中断触发器

D. 中断请求触发器

10. (单选题, 2分)【单选题】下列哪个选项不是浮点数加法的步骤?

A. 对阶,使两数的小数点位置对齐

B. 将对阶后的两个尾数按定点补码加法运算规则求和

C. 将对阶后的两个尾数按定点原码加法运算规则求和

D. 求和后的尾数按舍入规则规格化,并判断溢出

11. (单选题, 2分)【单选题】下列关于算术移位和逻辑移位的说法,不正确的是(   )。

A. 有符号的移位称为算术移位,无符号数的移位称为逻辑移位

B. 逻辑左移时,高位移丢,低位补0;逻辑右移时,低位移丢,高位补0

C. 负数的补码算术左移时,高位移丢,低位补0;负数的补码算术右移时,低位移丢,高位补1

D. 正数的补码算术左移时,高位移丢,低位补0;正的补码算术右移时,低位移丢,高位补1

12. (单选题, 2分)【单选题】浮点数的表示范围由浮点数的(    )部分决定。

A. 尾数 B. 阶码 C. 基数 D. 尾数和阶码

13. (单选题, 2分)【单选题】下列关于RISC的描述,正确的是(    )。

I、支持的寻址方式更多

II、大部分指令在一个机器周期完成

III、通用寄存器的数量多

IV 、指令字长不固定

A. I、IV B. II、III C. I、II、III D. I、II、III、IV

14. (单选题, 2分)【单选题】假设某计算机的存储系统由 Cache 和主存组成,某程序执行过程中访存 1000 次,其中访 问 Cache 缺失(未命中)50 次,则 Cache 的命中率是( )

A. 5% B. 9.5% C. 50% D. 95%

15. (单选题, 2分)【单选题】设某计算机的CACHE共有16块,采用2路组相联映射方式(即每组2块)。每个主存块为32字节,按字节编址。主存129号单元所在主存块应装入到的CACHE组号是(   )。

A. 0 B. 2 C. 4 D. 6

16. (单选题, 2分)【单选题】在计数器定时查询方式下,正确的描述是(    )。

A. 总线设备的优先级可变

B. 越靠近控制器的设备,优先级越高

C. 各设备的优先级相等

D. 对硬件电路故障敏感

17. (单选题, 2分)【单选题】关于cache的说法,不正确的是(    )。

A. 采用cache结构的主要目的是解决主存与CPU速度不匹配问题

B. 采用cache结构可扩大主存储器的存储空间

C. cache的内容只是主存中部分内容的副本

D. 采用cache结构的主要依据局部性原理

18. (单选题, 2分)【单选题】操作数的真实地址等于指令字中的形式地址的寻址方式称为(     )。

A. 间接寻址 B. 直接寻址 C. 寄存器间接寻址 D. 寄存器寻址

19. (单选题, 2分)【单选题】下列叙述中\_\_\_\_\_\_是错误的。

A. 采用微程序控制器的处理器称为微处理器;

B. 在微指令编码中,编码效率最低的是直接编码方式;

C. 在各种微地址形成方式中,增量计数器法需要的顺序控制字段较短;

D. CMAR是控制器中存储地址寄存器。

20. (单选题, 2分)【单选题】某计算机按字节编址,指令字长固定且只有两种指令格式,其中,三地址指令29条,二地址指令107条,每个地址字段为6位,则指令字长至少应该是(   )。

A. 24 B. 26 C. 28 D. 32

21. (单选题, 2分)【单选题】在独立请求方式下,若有N个设备,则\_\_\_\_\_\_。

A. 有一个总线请求信号和一个总线响应信号;

B. 有N个总线请求信号和N个总线响应信号;

C. 有一个总线请求信号和N个总线响应信号;

D. 有N个总线请求信号和一个总线响应信号。

二. 填空题（共6题，20分）

22. (填空题, 4分)【填空题】CPU响应中断时要保护现场,包括对\_\_\_\_和、\_\_\_\_、的保护,前者通过\_\_\_\_实现,后者可通过、\_\_\_\_实现。

正确答案：

(1) PC内容；程序计数器;程序断点

(2) 寄存器内容;CPU内部各寄存器内容

(3) 硬件自动；中断隐指令；硬件自动（或中断隐指令）

(4) 软件编程；中断服务程序;在中断服务程序中用机器指令编程；编程

23. (填空题, 4分)【填空题】动态RAM靠\_\_\_\_的原理存储信息,因此一般在、\_\_\_\_时间内必须刷新一次,刷新与、\_\_\_\_址有关,该地址由、\_\_\_\_给出。

正确答案：

(1) 电容存储电荷；电容储存电荷 (2) 2ms (3) 行；行地址 (4) 刷新地址计数器

24. (填空题, 2分)【填空题】在微程序控制器中,一条机器指令对应一个\_\_\_\_,若某机有35条机器指令,通常可对应、\_\_\_\_。

正确答案：(1) 微程序 (2) 38个微程序

25. (填空题, 4分)【填空题】设浮点数阶码为8位(含1位阶符),尾数为24位(含1位数符),则32位二进制补码浮点规格化数对应的十进制真值范围是:最大正数为\_\_\_\_、最小正数为\_\_\_\_、最大负数为\_\_\_\_、最小负数为\_\_\_\_。

正确答案：

(1) 2127(1-2-23);(1-2^(-23))\*2^127

(2) 2-129；2∧-129

(3) 2-128(-2-1-2-23);( -2^-1 - 2^-23 )\*2^(-128)

(4) -2127；-2∧127

26. (填空题, 4分)【填空题】指令寻址的基本方式有两种,一种是\_\_\_\_寻址方式、其指令地址由\_\_\_\_给出、另一种是\_\_\_\_寻址方式、其指令地址由、\_\_\_\_给出。

正确答案：(1) 顺序 (2) 程序计数器；程序计数器PC (3) 跳跃 (4) 指令本身

27. (填空题, 2分)【填空题】一个浮点数,当其尾数右移时,欲使其值不变,阶码必须\_\_\_\_。、尾数右移1位,阶码\_\_\_\_。

正确答案：(1) 增加 (2) 加1；加一；增加1

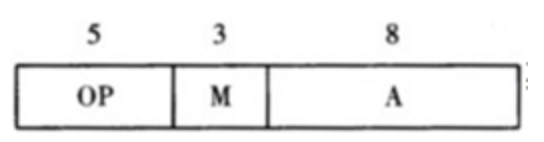
三. 简答题（共5题，50分）

28. (简答题, 10分)假设阶码取3位,尾数取6位(均不包含符号位),按机器补码浮点运算步骤计算: 3.25+1.375

1. (简答题, 10分)在一个32位的总线系统中,总线的时钟频率为66MHZ,假设总线最短传输周期为4个时钟周期,试计算总线的最大数据传输率。若想提高数据传输率,可采取什么措施?

30. (简答题, 10分)

设某机存储字长、指令字长和机器字长均相等，该机的指令格式如下：



其中，A为形式地址，补码表示（包括一位符号位）；M为寻址方式

M＝0立即寻址；

M＝1直接寻址（此时A视为无符号数）；

M＝2间接寻址（此时A视为无符号数）；

M＝3变址寻址（变址寄存器为Ri ，16位 ）；

M＝4基址寻址（基址寄存器为Rb ，16位 ）；

M＝5相对寻址。

写出各种寻址方式的有效地址的计算表达式。

31. (简答题, 10分)

设主存容量为512KB，Cache 容量为4KB，16字/块，32位/字。

（1）cache地址有多少位？可容纳多少字块？

（2）主存地址有多少位？可容纳多少字块？

（3）采用直接映射，主存地址各字段应该如何分配？

（4）采用四路组相联映射，主存地址各字段应该如何分配？

（5）采用全相联映射，主存地址各字段应该如何分配？

32. (简答题, 10分)

设CPU有16根地址线，8根数据线，并用作访存控制信号（低电平有效），用作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4位RAM；4K×8位RAM；8K×8位RAM；2K×8位ROM；4K×8位ROM；8K×8位ROM及74LS138译码器和各种门电路，如图所示。画出CPU与存储器的连接图，要求

（1）主存地址空间分配：

6000H～67FFH为系统程序区；

6800H～6BFFH为用户程序区。

（2）合理选用上述存储芯片，说明各选几片？

（3）详细画出存储芯片的片选逻辑图。

