# 计算机组成原理试卷一

### 一、选择题

1.CPU 响应中断的时间是**执行周期结束**；

2.指令的地址码给出存储器地址的加法指令，在执行周期一定访存；

3.垂直型微指令的特点是**采用微操作码**；

4.基址寻址方式中，操作数的有效地址是**基址寄存器内容加上形式地址（位移量）**；

5.常用的虚拟存储器寻址系统由**主存－辅存**两级存储器组成；

6.DMA 访问主存时，让CPU处于等待状态，等 DMA 的一批数据访问结束后，CPU 再恢复工作，这种情况称作**停止 CPU 访问主存**；

7.在运算器中不包含**地址寄存器**；（状态寄存器；数据总线；ALU）

8.计算机操作的最小单位时间是**时钟周期**；

9.用以指定待执行指令所在地址的是**程序计数器**；

10.一台计算机包括输入、输出、控制、存储及算逻运算五个单元；

11.总线通信中的同步控制是**由统一时序控制的方式**；

12.一个 16K×32 位的存储器，其地址线和数据线的总和是**46**；

13.某计算机字长是 16 位，它的存储容量是 1MB，按字编址，它的寻址范围是**512K**；（存储器 5）

14.中断服务程序可以是操作系统模块；中断向量法可以提高识别中断源的速度；软件查询法和硬件法都能找到中断服务程序的入口地址。

15.浮点数的表示范围和精度取决于**阶码的位数和尾数的位数**；

16.响应中断请求的条件是**外设工作完成和中断标记触发器为“1”时；**；

17.取指令操作是控制器固有的功能，不需要在操作码控制下完成；在指令长度相同的情况下，所有指令的取指操作都是相同的；一条指令包含取指、分析、执行三个阶段。

18.在微指令编码中，编码效率最低的是直接编码方式；在各种微地址形成方式中，增量计数器法需要的顺序控制字段较短；CMAR 是控制器中存储地址寄存器。

19.中断向量可提供**中断服务程序入口地址**；

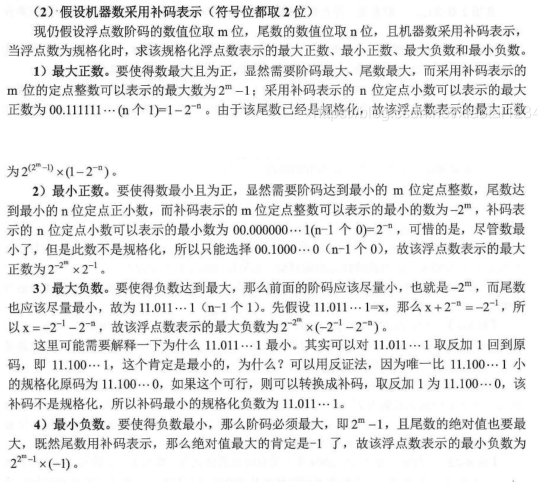
20.在中断周期中，将允许中断触发器置“0”的操作由**硬件**完成。

### 二、填空题（共 20 分，每空 1 分）

1. 在 DMA 方式中，CPU 和 DMA 控制器通常采用三种方法来分时使用主存，它们是

**停止CPU访问主存** 、 **周期挪用** 和 **DMA和CPU交替访问主存**。

1. 设 n = 8 （不包括符号位），则原码一位乘需做  **8**  次移位和最多  **8**  次加法，补码 Booth 算法需做  **8**  次移位和最多  **9**  次加法。
2. 设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 **2127(1-2-23)** ，最小正数为 **2－129** ，最大负数为 **2－128(-2－1-2－23)**，最小负数为 **-2127** 。



1. 一个总线传输周期包括 **申请分配阶段** 、 **寻址阶段**、 **传输阶段** 和 **结束阶段** 四个阶段。
2. CPU 采用同步控制方式时，控制器使用 **机器周期** 和 **节拍** 组成的多极时序系统。
3. 在组合逻辑控制器中，微操作控制信号由 **指令操作码** 、**时序** 和 **状态条件** 决定。

### 三、名词解释（共 10 分，每题 2 分）

1. **机器周期**

答：机器周期：基准，存取周期。

1. **周期挪用**

答：周期挪用：DMA 方式中由 **DMA 接口向 CPU 申请占用总线**，占用一个存取周期。

1. **双重分组跳跃进位**

答：n 位全加器分成若干大组，大组内又分成若干小组，**大组中小组的最高位进位同时产生，大组与大组间的进位串行传送**。

1. **水平型微指令**

答：水平型微指令的特点是**一次能定义并执行多个并行操作的微命令**。从编码方式看， **直接编码、字段直接编码、字段间接编码以及直接编码和字段直接和间接混合编码**都属水平型微指令。其中直接编码速度最快，字段编码要经过译码，故速度受影响。

1. **超标量**

答：超标量（Super scalar）技术是指**在每个时钟周期内可同时并发多条独立指令**，即以并行操作方式将两条或两条以上指令编译并执行，在一个时钟周期内需要多个功能部件。

# 计算机组成试卷二

### 一、选择题

1.冯·诺伊曼机工作方式的基本特点是按**地址访问**并**顺序执行**指令；

2.程序控制类指令的功能是**改变程序执行的顺序**；

3.水平型微指令的特点是**一次可以完成多个操作**；

4.存储字长是指存放在**一个存储单元**中的**二进制代码位数**；

5.CPU 通过**执行 I/O 指令**启动通道

6.对有关数据加以分类、统计、分析，这属于计算机在**数据处理**方面的应用。

7.总线中地址线的作用是用于选择**指定存储器单元**和 I/O 设备接口电路的**地址**；

8.总线的异步通信方式不采用**时钟信号**，只采用**握手信号**；

9.存储周期是指存储器进行**连续读或写**操作所允许的**最短间隔时间**；

10.在程序的执行过程中，Cache 与主存的地址映射是由**硬件自动完成的**；

11.中断方式一般用于处理随机出现的服务请求；

12.加法器采用先行进位的目的是**加速**传递进位信号；

13.变址寻址方式中，操作数的有效地址是**变址寄存器内容**加上**形式地址**；

14.**指令寄存器的位数**取决于**指令字长**；

15.在控制器的控制方式中，机器周期内的**时钟周期个数可以不相同**，这属于**同步控制**；

16.微程序控制器比硬连线控制器更加灵活；

17.CPU 中的译码器主要用于**指令译码**；

18.**直接寻址**的无条件转移指令功能是将指令中的地址码送入**PC**；

19.DMA 方式的接口电路中有程序中断部件，其作用是**向 CPU 提出传输结束**；

20.下列器件中存取速度最快的是**寄存器**；

### 二、填空题（共 20 分，每题 1 分）

1. 完成一条指令一般分为  **取指**  周期和 **执行** 周期，前者完成 **取指令和分析指令** 操作，后者完成 **执行指令** 操作。
2. 设**指令字长等于存储字长**，均为 **24 位**，若某指令系统可完成 **108 种**操作，操作码长度固定，且具有**直接、间接（一次间址）、变址、基址、相对、立即**等寻址方式，则在保证最大范围内直接寻址的前提下，指令字中操作码占 **7**  位，寻址特征位占 **3**  位，可直接寻址的范围是 **214**  ，一次间址的范围是 **224**  。
3. **微指令格式**可分为 **垂直** 型和  **水平** 型两类，其中 **垂直**  型 微指令用较长的微程序结构换取较短的微指令结构。
4. 在写操作时，对 Cache 与主存单元**同时修改**的方法称作 **写直达法** ，若每次只**暂时写入** Cache，直到**替换时才写入**主存的方法称作 **写回法**。
5. I/O 与主机交换信息的方式中，**程序查询方式**和 **中断方式** 都需通过程序实现数据传送，其中  **程序查询方式** 体现 CPU 与设备是串行工作的。
6. 在小数定点机中，采用 1 位符号位，若寄存器内容为 10000000，当它分别表示为原

码、补码和反码时，其对应的真值分别为 **-0、 -1**和 **-127/128** （ 均用十进制表示）。

### 三、名词解释（共 10 分，每题 2 分）

1. **时钟周期**

答：时钟周期：节拍，时钟频率的倒数，**机器基本操作的最小单位**。

1. **向量地址**

答：向量地址：中断方式中由硬件产生向量地址，**可由向量地址找到入口地址**。

1. **系统总线**

答：系统总线是指 CPU、主存、I/O（通过 I/O 接口）**各大部件之间的信息传输线**。按传输信息的不同，又分数据总线、地址总线和控制总线。

1. **机器指令**

答：**机器指令由 0、1 代码组成**，**能被机器直接识别**。机器指令可由有序微指令组成的微程序来解释，微指令也是由 0、1 代码组成，也能被机器直接识别。

1. **超流水线**

答：超流水线（Super pipe lining）技术是**将一些流水线寄存器插入到流水线段中**，好比将流水线再分道，提高了原来流水线的速度，在一个时钟周期内一个功能部件被使用多次。

# 计算机组成原理试卷三

### 一、选择题

1.直接、间接、立即三种寻址方式指令的执行速度，由快至慢的排序是**立即、直接、间接；**

2.存放**欲执行指令**的寄存器是**IR**。

3.在**独立请求方式**下，若有 N 个设备，则**有 N 个总线请求信号和 N 个总线响应信号；**

4. 半导体 RAM 是易失性 RAM，而**静态 RAM 只有在电源不掉时**，所存信息是不

易失的。

5.DMA 访问主存时，向 CPU 发出请求，**获得总线使用权时再进行访存**，这种情况称

作**周期挪用；**

6.计算机中表示地址时，采用**无符号数。**

7.采用**变址寻址**可扩大寻址范围，且**变址寄存器内容由用户确定，在程序执行过程中可变；**

8.由编译程序**将多条指令组合成一条指令**，这种技术称做**超长指令字技术；**

9.计算机执行**乘法指令**时，由于其操作较复杂，需要更多的时间，通常采用**中央与局部控制相结合**的控制方式。

10.**微程序**放在**控制存储器**中

11.在 CPU 的寄存器中，**指令寄存器**对用户是完全透明的。

12.**运算器**由许多部件组成，其核心部分是**算术逻辑运算单元；**

13.DMA 接口**内有中断机制；**

14.CPU **响应中断**的时间是**执行周期结束；**

15.直接寻址的无条件转移指令功能是将指令中的地址码送入PC

16.三种集中式总线控制中，**链式查询方式**对电路故障最敏感。

18.指令周期的第一个操作是**取指令**；取指令操作是控制器自动进行的；指令**第一字节**含操作码。

19.主存和 CPU 之间增加高速缓冲存储器的目的是**解决 CPU 和主存之间的速度匹配问题；**

20.DMA 和 CPU 必须分时使用总线；DMA 的数据传送**不需 CPU 控制**；DMA 中有中断机制。

### 二、填空（共 20 分，每空 1 分）

1. 设 24 位长的浮点数，其中阶符 1 位，阶码 5 位，数符 1 位，尾数 17 位，阶码和尾数均用补码表示，且尾数采用规格化形式，则它能表示最大正数真值是 **231(1-2－17)**， 非零最小正数真值是 **2－33**  ，绝对值最大的负数真值是 **-231** ，绝对值最小的负数真值是  **2－31(-2－1-2－17)**  （均用十进制表示）。
2. 变址寻址和基址寻址的区别是：在基址寻址中，基址寄存器提供  **基地址** ， 指令提供  **偏移量**  ； 而在变址寻址中，变址寄存器提供 **偏移量** ，指令提供 **基地址** 。
3. 影响**流水线性能**的因素主要反映在 **访存冲突** 和 **相关问题** 两个方面。
4. **运算器**的技术指标一般用 **机器字长** 和  **运算速度**  表示。
5. 缓存是设在  **CPU** 和 **主存** 之间的一种存储器，其速度 **与CPU速度**  匹配，其容量与  **缓存中数据的命中率**  有关。
6. CPU **响应中断时要保护现场**，包括对 **PC内容** 和 **寄存器内容** 的保护，前者通过 **硬件自动（或中断隐指令）** 实现，后者可通过  **软件编程** 实现。

### 三、名词解释(共 10 分，每题 2 分)

1. **微程序控制**

答：**采用与存储程序类似的方法来解决微操作命令序列的形成**，将一条机器指令编写成一个微程序，每一个微程序包含若干条微指令，每一条指令包含一个或多个微操作命令。

1. **存储器带宽**

答：**每秒从存储器进出信息的最大数量**，单位可以用字/秒或字节/秒或位/秒来表示。

1. **RISC**

答：RISC 是**精简指令系统计算机**，通过有限的指令条数**简化处理器设计**，以达到提高系统执行速度的目的。

1. **中断隐指令及功能**

答：中断隐指令是**在机器指令系统中没有的指令**，它是 CPU 在中断周期内**由硬件自动完成**的一条指令，其功能包括保护程序断点、寻找中断服务程序的入口地址、关中断等功能。

1. **机器字长**

答：**CPU 一次能处理的数据位数**，它与 CPU 中**寄存器的位数**有关。

# 计算机组成原理试卷四

### 一、选择题

1.一条指令中包含的信息有**操作码、地址码。**

2.在各种异步通信方式中，**不互锁**速度最快。

3.一个 512KB 的存储器，其地址线和数据线的总和是**27；（19+8）**

4.在下列因素中，与 Cache 的命中率**无关**的是**主存的存取时间**。

5.在计数器**定时查询方式**下，若计数从 0 开始，则**设备号小的优先级高**；

6.Cache 的地址映象中，若主存中的任一块均可映射到 Cache 内的任一块的位置上，称作**全相联映象**；

7.**中断服务程序**的最后一条指令是**中断返回指令**。

8.微指令操作控制字段的**每一位代表一个控制信号**，这种微程序的控制（编码）方式是**直接编码；**

9.在取指令操作之后，程序计数器中存放的是**下一条指令的地址。**

10.RISC 机一定采用流水技术；

11.在一地址格式的指令中，可能有一个操作数，也可能有两个操作数；

12.在浮点机中，判断原码规格化形式的原则是**尾数的第一数位为 1，数符任意；**

13.I/O 采用**不统一编址时**，进行输入输出操作的指令是**输入输出指令**

14.设机器字长为 64 位，存储容量为 128MB，若按字编址，它的寻址范围是16M

15.**变址寻址**寻址便于处理**数组问题**

16.**超标量技术**是**在每个时钟周期内同时并发多条指令；**

17.取指令操作是控制器固有的功能，不需要在操作码控制下完成；在指令长度相同的情况下，所有指令的取指操作都是相同的。

18.I/O 与主机交换信息的方式中，中断方式的特点是**CPU 与设备并行工作，传送与主程序串行工作；**

19.设寄存器内容为 11111111，若它等于 +127，则为**移码**。

20.设机器数采用补码形式（含 l 位符号位），若寄存器内容为 9BH，则对应的十进制数为-101；

### 二、填空题（共 20 分，每空 1 分）

1. DMA 的数据块传送可分为 **预处理**、 **数据传送** 和 **后处理** 阶段。
2. 设 n = 16 （不包括符号位），机器完成一次加和移位各需 100ns，则原码一位乘最多需  **3200** ns,补码 Booth 算法最多需 **3300**  ns。

原码一位乘:两个n位数相乘，共需要进行n次加法运算和n次移位操作。

1. 设相对寻址的**转移指令占 2 个字节**，第一字节为操作码，第二字节是位移量（**用补码表示**），每当 CPU 从存储器取出一个字节时，即自动完成（pc）+ 1→ pc。设当前指令地址为 3008H，要求转移到 300FH， 则该转移指令第二字节的内容应为 **05H** 。若当前指令地址为 300FH，要求转移到 3004H，则该转移指令第二字节的内容为  **F3H** 。

（转移指令是2字节，所以300FH转移后，变成300FH+2=3011H，300FH+2转移到 3004H，需要减13，-13用补码表示，-13的补码11110011，16进制是F3H，所以-13的补码为F3H.）

1. 设浮点数阶码为 8 位（含 1 位阶符），用移码表示，尾数为 24 位（含 1 位数符），用补码规格化表示，则对应其最大正数的机器数形式为 1,1111111;0.11……1（23 个 1），真值为 2127ⅹ(1-2-23)（十进制表示）；对应其绝对值最小负数的机器数形式为 0,0000000;1.01……1（22 个 1） ，真值为 -2-128ⅹ(2-1+2-23) （十进制表示）。
2. I/O 的编址方式可分为  **不统一编址**  和 **统一编址** 两大类，前者需有独立的 I/O 指令，后者可通过 **访存 指令**和设备交换信息。
3. 动态 RAM 靠  **电容存储电荷** 的原理存储信息，因此一般在 **2ms** 时间内必须刷新一次，刷新与 **行**  址有关，该地址由 **刷新地址计数器**  给出。
4. 在微程序控制器中，一条机器指令对应一个 **微程序** ，若某机有 35 条机器指令，通常可对应  **38个微程序**  。

### 三、名词解释(20 分)

**1.CMAR**

答：CMAR **控制存储器地址寄存器**，用于**存放微指令的地址**，当采用增量计数器法形成后继微指令地址时，CMAR 有计数功能。

**2.总线**

答：总线是**连接多个部件（模块）的信息传输线**，是各部件共享的传输介质。

**3.指令流水**

答：指令流水就是**改变各条指令按顺序串行执行的规则**，使机器在执行上一条指令的同时，取出下一条指令，即**上一条指令的执行周期和下一条指令的取指周期同时进行**。

**4.单重分组跳跃进位**

答：**n 位全加器分成若干小组**，小组内的进位同时产生，**小组与小组之间采用串行进位**。

**5.寻址方式**

答：是指**确定本条指令的数据地址，以及下一条将要执行的指令地址的方法**

# 计算机组成原理试卷五

### 一、选择题

1.设寄存器内容为 80H，若它对应的真值是 – 127，则该机器数是反码；

2.程序中断方式和 DMA 方式中都有中断请求，但目的不同；

3.设机器数字长为 32 位，一个容量为 16MB 的存储器，CPU 按**半字寻址**，其寻址范围是**2^23** ；

（1.假如按字节编址，那么，一个内存单元的大小就是一个字节，那么16MB的内存空间一共有 2的24次方个内存单元；寻址范围是0~16M-1，寻址范围的大小是16M，即**2^24**；

2.假如按字编址，那么一个内存单元的大小就是一个字长，就是32bit，也就是4B，类似于上面，其寻址范围是0~4M-1；寻址范围大小是**2^22**；

3.假如按半字编址那就是半个机器字长，就是16bit,也就是2B；按双字编址，那就是8B；寻址范围都类似于上面。）

4. 在中断接口电路中，向量地址可通过**数据线**送至 CPU。

5.在程序的执行过程中，Cache 与主存的地址映象是由**硬件自动完成的**。

6.总线复用方式可以**减少总线中信号线的数量；**

7.单体多字存储器主要解决**访存速度**的问题；

8.在采用增量计数器法的微指令中，下一条微指令的地址**在微指令地址计数器中；**

9.由于 CPU 内部操作的速度较快，而 CPU 访问一次存储器的时间较长，因此机器周

期通常由**存取周期**来确定。

10.RISC 机器**一定采用流水技术；**

11.在下列寻址方式中， **变址寻址**方式需要先计算，再访问主存。

12.在浮点机中，判断补码规格化形式的原则是**尾数的符号位与第一数位不同；**

13.I/O 采用统一编址时，进行输入输出操作的指令是**访存指令**；

14.设机器字长为 32 位，存储容量为 16MB，若按双字编址，其寻址范围是**2M**

15.**相对寻址**寻址对于**实现程序浮动**提供了较好的支持

16.超流水线技术是**缩短原来流水线的处理器周期；**

17.指令周期的第一个操作是取指令；取指令操作是控制器自动进行的；指令周期的第一个操作是取数据

18.I/O 与主主机交换信息的方式中，DMA 方式的特点是**CPU 与设备并行工作，传送与主程序并行工作；**

19.若 9BH 表示移码（含 1 位符号位）．其对应的十进制数是**27**

20.在二地址指令中**运算结果通常存放在其中一个地址码所提供的地址中**是正确的。

### 二、填空题（共 20 分，每空 1 分）

1．32 位字长的浮点数，其中阶码 8 位（含 1 位阶符），基值为 2，尾数 24 位（含 1 位数符），则其对应的最大正数是 2127 ×(1-2-23)，最小的绝对值是 2-127×2-23  ；若机器数采用补码表示，且尾数为规格化形式，则对应的最小正数是 2-128×2-1，最小负数是-2127。（均用十进制表示）

1. CPU从主存取出一条指令并执行该指令的时间叫  **指令周期** ，它通常包 含若干个  **机器周期** ，而后者又包含若干个 **节拍** 。

**机器周期** 和 **节拍** 组成多级时序系统。

1. 假设微指令的**操作控制字段**共 18 位，若采用**直接控制**，则一条微指令最多可同时启动 **18**  个微操作命令。若采用**字段直接编码控制**，并要求一条微指令能同时启动 3个微操作，则微指令的操作控制字段应分  **3** 段，若每个字段的微操作数相同，这样的微指令格式最多可包含  **192**  个微操作命令。（18/3=6 3\*26=192）
2. 一个 8 体**低位交叉**的存储器，假设存取周期为 T，CPU 每隔 t（T = 8t）时间启动一个存储体，则依次从存储器中取出 16 个字共需 **23/8** 存取周期。

( t=1/8T, t总=T+(16-1)t=(23/8)T )

1. I/O 与主机交换信息的控制方式中， **程序查询** 方式 CPU 和设备是**串行**工作的。 DMA和 **程序中断** 方式 CPU 和设备是**并行**工作的，前者传送与主程序是并行的，后者传送和主机是串行的。
2. 设 n =16 位（不包括符号位在内），原码两位乘需做 **8**  次移位，最多做

**9** 次加法；补码 Booth 算法需做  **16**  次移位，最多做  **17**  次加法。

**当乘数的位数为偶数时，需要做n/2次移位，最多做(n/2)+1次加法；**

**当乘法的位数为奇数时，需要做(n/2)+1次移位，最多做(n/2)+1次加法。**

### 三、名词解释（共 10 每题 2 分）

**1.同步控制方式**

答：任何一条指令或指令中的任何一个微操作的执行，都**由事先确定且有统一基准时标的时序信号所控制的方式**，叫做同步控制方式。

**2.周期窃取**

答：周期窃取：DMA 方式中**由 DMA 接口向 CPU 申请占用总线，**占用一个存取周期。

**3.双重分组跳跃进位**

答：n 位全加器**分成若干大组**，大组内又分成若干小组，大组中小组的最高位进位同时产生，大组与大组间的进位串行传送。

**4.直接编码**

答：在**微指令的操作控制字段**中，**每一位代表一个微命令**，这种编码方式即为直接编码方式。

**5.硬件向量法**

答：硬件向量法就是**利用硬件产生向量地址**，再**由向量地址找到中断服务程序的入口地址**。

# 计算机组成原理试卷六

### 一、选择题

1.某机字长 8 位，采用补码形式（其中 1 位为符号位），则机器数所能表示的范围是

-128 ～ +127；

2.在**三总线**的计算机系统中，外设可以和主存储器单元统一编址，因此可以不使用 I/O

指令。

3.某计算机字长是 32 位，它的存储容量是 64KB．按字编址，它的寻址范围是16K；

4.中断向量可提供**中断服务程序入口地址**；

5.Cache 的地址映象中**全相联映象**比较多的采用“**按内容寻址**”的相联存储器来实现。

6.总线的异步通信方式**不采用时钟信号，只采用握手信号；**

7.在磁盘存储器中，查找时间是**使磁头移动到要找的柱面上所需的时间；**

8.在**控制器的控制信号**中，相容的信号是**可以同时出现**的信号。

9.计算机操作的最小单位时间是**时钟周期。**

10.CPU 不包括**地址译码器**；

11.**变址寻址**寻址便于处理数组问题

12.设寄存器内容为 10000000，若它等于 **0**，则为移码



13.若一个 8 比特组成的字符至少需 10 个比特来传送，这是**异步**传送方式

14.设机器字长为 32 位，存储容量为 16MB，若按双字编址，其寻址范围是2M

15.**相对寻址**对于实现程序浮动提供了较好的支持

16.超标量技术是**在每个时钟周期内同时并发多条指令；**

17.在控制器的控制方式中，机器周期内的时钟周期个数可以不相同，这属于**同步控制**

18.I/O 与主机交换信息的方式中，中断方式的特点是**CPU 与设备并行工作，传送与主程序串行工作；**

19.当定点运算发生溢出时，应**发出出错信息；**

20.在一地址格式的指令中，**可能有一个操作数，也可能有两个操作数**。

### 二、填空题（共 20 分，每空 1 分）

1. 1．设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 **2127(1-2-23)，**最小正数为 **2-129**，最大负数为 **2－128(-2－1-2－23)**，最小负数为 **-2127** 。

2．在总线复用的 CPU 中， **地址线** 和 **数据线** 共用一组总线，必须采用 **分时** 控制的方法，先给 **地址** 信号，并用 **地址锁存** 信号将其保存。

1. 微指令格式可分为 **垂直**  型和  **水平** 型两类，其中 **垂直**  型微指令用较长的微程序结构换取较短的微指令结构。
2. 如果 Cache 的容量为 128 块，在直接映象下，主存中第 *i* 块映象到缓存第 **imod128**  块 。
3. I/O 和 CPU 之间不论是采用串行传送还是并行传送，它们之间的联络方式（定时方式）可分为 **立即响应** 、 **异步定时** 、 **同步定时** 三种。

6．设 n = 4 位（不包括符号位在内），原码两位乘需做 2 次移位，最多做 3 次加法；补码 Booth 算法需做 4 次移位，最多做 5 次加法。

### 三、名词解释（共 10 每题 2 分）

1. **异步控制方式**

答：**异步控制不存在基准时标信号**，微操作的**时序是由专用的应答线路控制的**，即控制器发出某一个微操作控制信号后，等待执行部件完成该操作时所发回的“回答”或“终了” 信号，再开始下一个微操作。（控制器控制方式如下：

**同步控制**是指任何一条指令或指令中任何一个微操作的执行都是事先确定的，并且都受同一基准时标的时序信号所控制的方式。

**异步控制**无基准时标信号，微操作的时序是由专门的应答线路控制，即控制单元发出执行某一微操作的控制信号后，等待执行部件完成了该操作后发回“回答”或“结束”信号，再开始新的微操作。

**联合控制**是同步控制和异步控制相结合的方式，即大多数操作（如CPU内部各操作）在同步时序信号的控制下进行，少数时间难以确定的微操作（如涉及I/O操作）采用异步控制。）

1. **向量地址**

答：向量地址是**存放服务程序入口地址的存储单元地址**，它由硬件形成

1. **双重分组跳跃进位**

答：n 位全加器**分成若干大组**，大组内又分成若干小组，大组中小组的**最高位进位同时产生**，大组与大组间的进位串行传送。

1. **字段直接编码**

答：字段直接编码就是**将微指令的操作控制字段分成若干段**，将一组互斥的微命令放在一个字段内，通过对这个字段译码，便可对应每一个微命令，这种方式因**靠字段直接译码发出微命令**，故又有显式编码之称。

1. **多重中断**

答：多重中断即指 **CPU 在处理中断的过程中**，**又出现了新的中断请求**，此时若 **CPU 暂停现行的中断处理，转去处理新的中断请求**，即多重中断。

# 计算机组成原理试卷七

### 一、选择题

1.指令系统中**采用不同寻址方式**的目的主要是**缩短指令字长，扩大寻址空间，提高编程灵活性**；

2.计算机使用总线结构的主要优点是便于实现积木化，缺点是**两种信息源的代码在总线中不能同时传送；**

4.主存可由 RAM 和 ROM 组成；

5.在三种集中式总线控制中**，独立请求方式**响应时间最快。

6.可编程的只读存储器**不一定是可改写的；**

7.**在键盘输入过程中，每按一次键**这种情况会提出**中断请求**。.

8.在微指令编码中，**编码效率最低的是直接编码方式**；在各种微地址形成方式中，**增量计数器法需要的顺序控制字段较短**；

9.直接寻址的无条件转移指令功能是将指令中的地址码送入PC

10.响应中断请求的条件是**外设工作完成和系统允许时。**

11.变址寻址和基址寻址的有效地址形成方式类似，但是**在程序执行过程中，基址寄存器的内容不可变，变址寄存器中的内容可变；**

12.在原码**加减交替除法**中，符号位单独处理，参加操作的数是**绝对值的补码；**

13.DMA 方式**不能取代中断方式；**

14.设机器字长为 32 位，存储容量为 16MB，若按双字编址，其寻址范围是2M

15.设变址寄存器为 X，形式地址为 D，某机具有先间址后变址的寻址方式，则这种寻址方式的有效地址为**EA = (X) + (D)；**

16.程序计数器 PC 属于**控制器**

17.计算机执行乘法指令时，由于其操作较复杂，需要更多的时间，通常采用**中央与局部控制相结合的控制方式。**

18.目前在**小型和微型计算机里**最普遍采用的**字母与字符编码**是**ASCII 码；**

19.设寄存器内容为 10000000，若它等于 **-0**，则为**原码**

20.在有关**不恢复余数法**何时需恢复余数的说法中，**最后一次余数为负时，要恢复一次余数；**

### 二、填空题（共 20 分，每空 1 分）

1. I/O 与主机交换信息的方式中， **程序查询方式**  和 **中断方式**  都需通过程序实现数据传送，其中 **程序查询方式** 体现 CPU 与设备是串行工作的。
2. 设 n = 8 （不包括符号位），机器完成一次加和移位各需 100ns，则原码一位乘最多需  **1600** ns,补码 Booth 算法最多需 **1700** ns。
3. 对于一条**隐含寻址**的算术运算指令，其指令字中不明确给出 **操作数的地址** ，其中一个操作数通常隐含在 **累加器**  中。
4. 设浮点数阶码为 4 位（含 1 位阶符），用移码表示，尾数为 16 位（含 1 位数符），用补码规格化表示，则对应其最大正数的机器数形式为 **1,111;0.11……1（15 个 1）** ，真值为  **27ⅹ(1-2-15)**  （十进制表示）；对应其绝对值最小负数的机器数形式为 **0,000;1.01……1（14 个 1）** ，真值为  **-2-8ⅹ(2-1+2-15)**（十进制表示）。
5. 在总线的异步通信方式中，通信的双方可以通过 **不互锁**  、 **半互锁**  和  **全互锁**  三种类型联络。

6. 磁表面存储器的记录方式总的可分为  **归零制**  和 **不归零制**  两大类，前者的特点是 不论记录的代码是 0 或 1，**在记录下一个信息之前，记录电流要恢复到零电流**  后者的特点是 **磁头线圈中始终有电流**

7.在微程序控制器中，一条机器指令对应一个  **微程序** ，若某机有 38 条机器指令，通常可对应 **41个微程序**  。

### 三、名词解释(20 分)

1. **CMDR**

答：CMDR 是**控存数据寄存器**，用来**存放从控存读出的微指令**；顺序逻辑是用来控制微指令序列的，具体就是**控制形成下一条微指令（即后继微指令）的地址**，其输入与微地址形成部件（与指令寄存器相连）、微指令的下地址字段以及外来的标志有关。

1. **总线判优**

答：总线判优就是**当总线上各个主设备同时要求占用总线时**，通过总线控制器，**按一定的优先等级顺序确定某个主设备可以占用总线。**

1. **系统的并行性**

答：所谓**并行包含同时性和并发性两个方面**。前者是指**两个或多个事件在同一时刻发生** ，后者是指**两个或多个事件在同一时间段发生**。也就是说，在**同一时刻或同一时间段内完成两种或两种以上性质相同或不同的功能，只要在时间上互相重叠，就存在并行性。**

1. **进位链**

答：进位链是**传递进位的逻辑电路。**

1. **间接寻址**

答：间址需**通过访存**（若是多次间址还需多次访存）**得到有效地址。**

# 计算机组成原理试卷八

### 一、选择题

1.**零地址运算指令**在指令格式中不给出操作数地址，它的操作数来自**栈顶和次栈顶；**

2.**控制器**可区分**存储单元中存放的是指令还是数据**。

3.所谓三总线结构的计算机是指**I/O 总线、主存总线和 DMA 总线三组传输线；**

4.某计算机字长是 32 位，它的存储容量是 256KB，按字编址，它的寻址范围是64K

5.主机与设备传送数据时，采用**程序查询方式**，主机与设备是串行工作的

6.在整数定点机中，三种机器数**均可表示 -1**；

7.变址寻址方式中，操作数的有效地址是**变址寄存器内容加上形式地址**；

8.向量中断是**由硬件形成向量地址，再由向量地址找到中断服务程序入口地址；**

9.一个节拍信号的宽度是指**时钟周期；**

10.将微程序存储在 **EPROM** 中的控制器是**静态微程序**控制器；

11.隐指令是指**指令系统中没有的指令。**

12.当用一个 16 位的二进制数表示浮点数时，下列方案中第\_\_\_\_\_种最好

**阶码取 5 位（含阶符 1 位），尾数取 11 位（含数符 1 位）；**（阶5，尾11；阶4，尾12；阶8，尾8；阶6，尾12）

13.**DMA 方式不能取代中断方式；**

14.在中断周期中，由**中断隐指令**将允许中断触发器置“0”

15.在**单总线结构**的 CPU 中，连接在总线上的多个部件**某一时刻只有一个可以向总线发送数据，但可以有多个同时从总线接收数据；**

16.三种集中式总线控制中，链式查询方式对电路故障最敏感

17.一个 16K×8 位的存储器，其地址线和数据线的总和是22。 （14+8）

18.在间址周期中，**对于存储器间接寻址或寄存器间接寻址的指令，它们的操作是不同的；**

19.EPROM 是**可改写**的，但它**不能用作为随机存储器用**；

20.打印机的分类方法很多，若按能否打印汉字来区分，可分为**点阵式打印机和活字式打印机；**

### 二、填空（共 20 分，每空 1 分）

1. 设浮点数阶码为 8 位（含 1 位阶符），尾数为 24 位（含 1 位数符），则 32 位二进制补码浮点规格化数对应的十进制真值范围是：最大正数为 **2127(1-2-23)，**最小正数为 **2-129**，最大负数为 **2－128(-2－1-2－23)**，最小负数为 **-2127** 。
2. 指令寻址的基本方式有两种，一种是  **顺序** 寻址方式，其指令地址由  **程序计数器**  给出，另一种是  **跳跃**  寻址方式，其指令地址由 **指令本身**  给出。
3. 在一个有**四个过程段**的浮点加法器流水线中，假设四个过程段的时间分别是 *T*1 = 60ns

﹑*T*2 = 50ns﹑*T*3 = 90ns﹑*T*4 = 80ns。则加法器流水线的时钟周期至少为 **90ns** 。如果采用同样的逻辑电路，但不是流水线方式，则浮点加法所需的时间为 **280ns** 。

**（流水线时钟周期为最大的那个，T3=90ns 不是流水线就是所有时间加起来，T1+T2+T3+T4=280ns）**

1. 一个浮点数，当其尾数右移时，欲使其值不变，阶码必须  **增加** 。尾数右移

1 位，阶码 **加1** 。

1. 存储器由 *m*（*m*＝1，2，4，8„）个模块组成，每个模块有自己的 **地址** 和

**数据**  寄存器，若存储器采用 **模m**  编址，存储器带宽可增加到原来的 **m** 倍。

1. 按序写出多重中断的中断服务程序包括 **保护现场 、 开中断 、 设备服务、 恢复现场** 和中断返回几部分。

### 三、名词解释(共 10 分，每题 2 分)

**1. 微操作命令和微操作**

答：微操作命令是**控制完成微操作的命令**；微操作是由微操作命令**控制实现的最基本操作**。

1. **快速缓冲存储器**

答：快速缓冲存储器是**为了提高访存速度，在 CPU 和主存之间增设的高速存储器**， 它对用户是透明的。只要将 CPU 最近期需用的信息从主存调入缓存，这样 CPU 每次只须访问快速缓存就可达到访问主存的目的，从而提高了访存速度。

1. **基址寻址**

答：基址寻址有效地址等于**形式地址加上基址寄存器的内容**。

1. **流水线中的多发技术**

答：为了提高流水线的性能，**设法在一个时钟周期（机器主频的倒数）内产生更多条指令的结果**，这就是流水线中的多发技术。

1. **指令字长**

答：指令字长是指**机器指令中二进制代码的总位数**。

# 计算机组成原理试卷九

### 一、选择题

1.用户与计算机通信的界面是**外围设备**；

2.**零地址运算指令**在指令格式中不给出操作数地址，它的操作数来自**栈顶和次栈顶；**

3.**水平型微指令**的特点是**一次可以完成多个操作；**

4.有些计算机将一部分软件**永恒地存于**只读存储器中，称之为**固件**

5.主机与设备传送数据时，采用**程序查询方式**，主机与设备是**串行工作**的

6.计算机中有关 ALU 的描述：只做算术运算，不做逻辑运算；只做加法；能存放运算结果；以上答案都不对。

7.所谓三总线结构的计算机是指**I/O 总线、主存总线和 DMA 总线三组传输线；**

8.集中式总线控制中，链式查询方式对电路故障最敏感。

9.某一 RAM 芯片，其容量为 512×8 位，除电源和接地端外，该芯片引出线的最少数

目是19；（容量是512，512是2的9次方，需要地址线9根，8位则意味着有8根数据线，芯片还需要1根片选线，1根读写线，一共是19根。)

10.活动头磁盘存储中，信息**写入或读出**磁盘是**串行方式进行**的。

11.中断方式一般用于处理随机出现的服务请求；

12.任何十进制小数都可用二进制表示。这种说法有误差。

13.堆栈寻址方式中，设 A 为累加器，SP 为堆栈指示器，MSP为 SP 指示的栈顶单元，如果进栈操作的动作顺序是(SP – 1) → SP，(A) → MSP，那么出栈操作的动作顺序应为

**(MSP) → A，(SP) + 1 → SP；**

14.指令寄存器的位数取决于**指令字长**；

15.在控制器的控制方式中，机器周期内的**时钟周期个数可以不相同**，这属于**同步控制**；

16.**微程序控制器比硬连线控制器更加灵活**；

17.CPU 中的译码器主要用于**指令译码**；

18.直接寻址的无条件转移指令功能是将指令中的地址码送入PC

19.通道程序是由**通道控制字（或称通道指令）**组成

20.在磁盘和磁带两种磁表面存储器中，存取时间与存储单元的物理位置有关，按存储

方式分，**磁盘是部分串行存取，磁带是串行存取；**

### 二、填空题（共 20 分，每题 1 分）

1. 完成一条指令一般分为 **取指**  周期和 **执行**  周期，前者完成 **取指令和分析指令**  操作，后者完成 **执行指令** 操作。
2. 常见的数据传送类指令的功能可实现  **寄存器** 和 **寄存器** 之间，或 **寄存器** 和 **存储器** 之间的数据传送。
3. 微指令格式可分为 **垂直** 型和 **水平**  型两类，其中  **垂直** 型微指令用较长的微程序结构换取较短的微指令结构。
4. 在 Cache－主存的地址映象中， **全相联映象** 灵活性强， **全相联映象** 成本最高。
5. 若采用硬件向量法形成中断服务程序的入口地址，则 CPU 在中断周期需完成  **保护程序断电** 、 **硬件关中断**  和 **向量地址送至PC**  操作。
6. 某小数定点机，字长 8 位（含 1 位符号位），当机器数分别采用原码、补码和反码时，其对应的真值范围分别是  **-127/128 ～ +127/128** 、 **-1 ～ +127/128** 、 **-127/128 ～ +127/128**（均用十进制表示）。

### 三、名词解释（共 10 分，每题 2 分）

1. **时钟周期**

答：时钟周期：节拍，时钟频率的倒数，**机器基本操作的最小单位。**

1. **刷新**

答：动态 **RAM 靠电容存储电荷原理存储信息，电容上的电荷要放电，信息即丢失**。**为了维持所存信息，需在一定时间（2ms）内，将所存信息读出再重新写入（恢复），这一过程称作刷新**，刷新是一行一行进行的，由 CPU 自动完成。

**3．总线仲裁**

答：总线仲裁即**总线判优**，主要**解决在多个主设备申请占用总线时，由总线控制器仲裁出优先级别最高的设备，允许其占用总线。**

1. **机器指令**

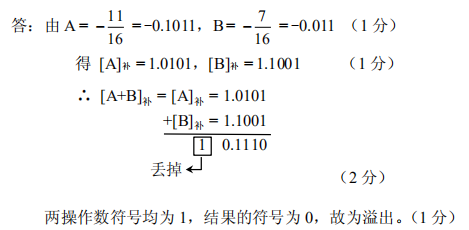
答：**机器指令由 0、1 代码组成，能被机器直接识别**。机器指令可由有序微指令组成的微程序来解释，微指令也是由 0、1 代码组成，也能被机器直接识别。

1. **超流水线**

答：超流水线（Super pipe lining）技术是**将一些流水线寄存器插入到流水线段中，**好比将流水线再分道，提高了原来流水线的速度，在一个时钟周期内一个功能部件被使用多次。

# 计算题（5 分）

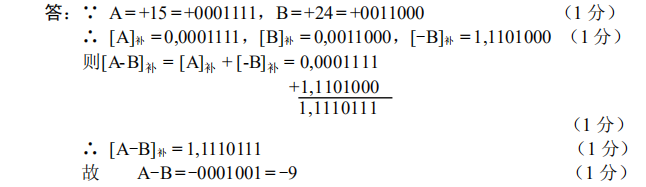
1. **已知：A=-11/16 ，B=-7/16 求：[A+B]补**



**注：11D=1011B，11/16=0.1011，-11/16=-0.1011，[A]补=1.0101（原码求补码：符号位和最后一个1中间的各位取反）**

**7D=0111B, 7/16=0.0111, -7/16=-0.0111,（上面答案这一步给错了） [B]补=1.1001**

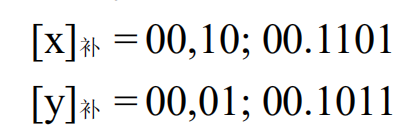
1. **设机器数字长为 8 位（含一位符号位在内），若 A= +15，B= +24，求 [A-B]补并还原成真值。**



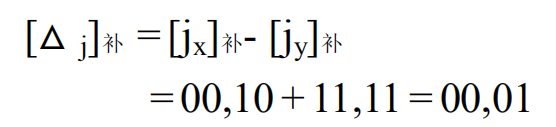
**注：正数的原码=反码=补码；由[B]补求[-B]补，除了从右数第一个1后面的数，前面全部各位取反；补码求原码：符号位和最后一个1中间的数各位取反。**

1. **已知：两浮点数 x= 0.1101×210，y= 0.1011×201 求：x + y**

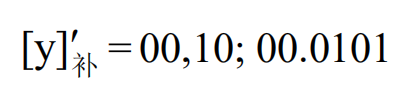
**答：x、y 在机器中以补码表示为（1 分）**

****

**① 对阶 （2 分）**

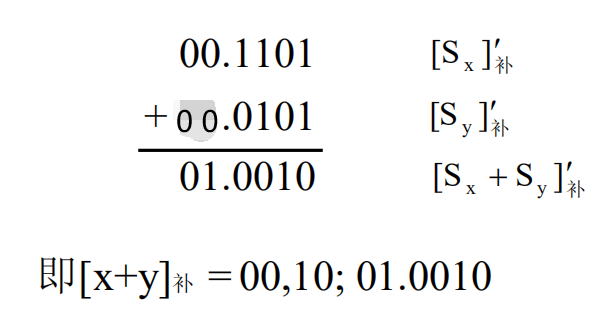
****

**即△j=1，表示y的阶码比x的阶码小1，因此将 y 的尾数向右移 1 位，阶码相应加 1,即**

****

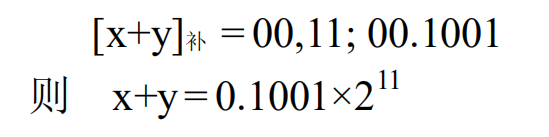
**这时[y]’补的阶码与[x]补的阶码相等，阶差为 0，表示对阶完毕。**

**② 求和 （2 分）**



**③ 右规（1 分）**

**运算结果两符号位不等，表示尾数之和绝对值大于 1，需右规，即将尾数之和向右移 1 位，阶码加 1，故得**



1. **设某机主频为 8MHz，每个机器周期平均含 2 个时钟周期，每条指令平均有 2.5 个机器周期，试问该机的平均指令执行速度为多少MIPS？若机器主频不变，但每个机器周期平均含 4 个时钟周期，每条指令平均有 5 个机器周期，则该机的平均指令执行速度又是多少 MIPS？**

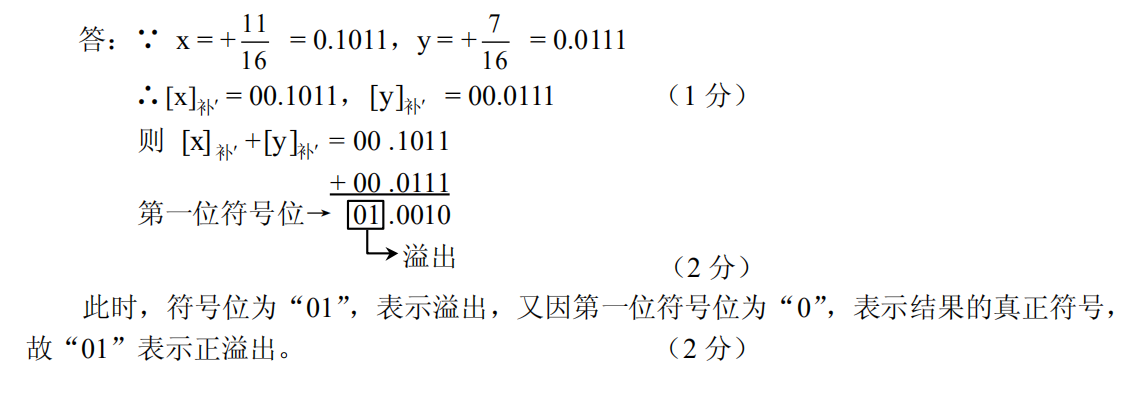
**答：**

**根据主频为 8MHz ，得时钟周期为 1/8 = 0.125 s，机器周期为 0.125×2 = 0.25s，指令周期为 0.25×2.5 = 0.625s。（2 分）**

**（1）平均指令执行速度为 1/0.625 = 1.6MIPS。（1 分）**

**（2）若机器主频不变，机器周期含 4 个时钟周期，每条指令平均含 5 个机器周期，则指令周期为 0.125×4×5 = 2.5 s ，故平均指令执行速度为 1/2.5 = 0.4MIPS。（2 分）**

1. **设 x = +11/16 ，y= +7/16 ，试用变形补码计算 x + y。**



1. **设浮点数字长为 32 位，欲表示±6 万的十进制数，在保证数的最大精度条件下，除阶符、数符各取 1 位外，阶码和尾数各取几位？按这样分配，该浮点数溢出的条件是什么？**

**答：因为 216= 65536**

**则±6 万的十进制数需 16 位二进制数表示。**

**对于尾数为 16 位的浮点数，因 16 需用 5 位二进制数表示，即**

**(16)D = (10000)B，**

**故除阶符外，阶码至少取 5 位。为了保证数的最大精度，**

**最终阶码取 5 位，尾数取 32 -1 - 1 - 5 = 25 位。**

**按这样分配，当阶码大于 +31 时，浮点数溢出，需中断处理。**

1. **设机器A的主频为8MHz，机器周期含4个时钟周期，且该机的平均指令执行速度是0.4MIPS，试求该机的平均指令周期和机器周期。每个指令周期包含几个机器周期？如果机器B的主频为12MHz，且机器周期也含4个时钟周期，试问B机的平均指令执行速度为多少MIPS？**

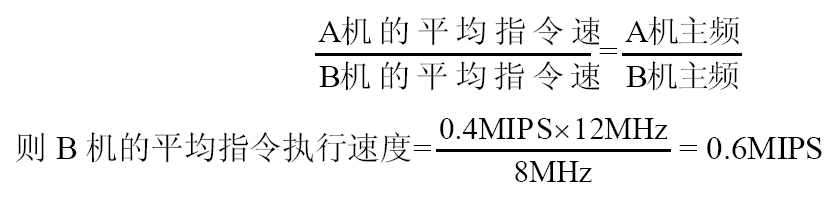
**答：根据机器A的主频为8MHz，得时钟周期为1/8MHz= 0.125s**

**（1）机器周期 = 0.125×4 = 0.5s**

**（2）平均指令执行时间是1/0.4= 2.5s**

**（3）每个指令周期含5.05.2= 5个机器周期**

**（4）在机器周期所含时钟周期数相同的前提下，两机平均指令执行速度与它们的主频有关，即**



1. **设机器数字长为8位（含1位符号位），设A＝9/64，B＝-13/32，计算[A+-B]补，并还原成真值。**

**答： [A+B]补＝1.1011110， A+B ＝（-17/64）**

**[A-B]补＝0.1000110， A-B ＝（35/64）**

1. **同6**

# 五、简答题（15分）

**1．某机主存容量为4M×16位，且存储字长等于指令字长，若该机的指令系统具备97种操作。操作码位数固定，且具有直接、间接、立即、相对、基址五种寻址方式。（5分）**

**（1）画出一地址指令格式并指出各字段的作用；**

**（2）该指令直接寻址的最大范围（十进制表示）；**

**（3）一次间址的寻址范围（十进制表示）；**

**（4）相对寻址的位移量（十进制表示）。**

**答（1）一地址指令格式为（1分）**



**OP 操作码字段，共7位，可反映120种操作；**

**M 寻址方式特征字段，共3位，可反映5种寻址方式；**

**A 形式地址字段，共16 – 7 – 3 = 6位 （1分）**

**（2）直接寻址的最大范围为26 = 64 （1分）**

**（3）由于存储字长为16位，故一次间址的寻址范围为216 = 65536**

**（4）相对寻址的位移量为 -32 ~** **+31 （1分）**

**2.**

1. **指出零的表示是唯一形式的机器数，并写出其二进制代码（机器数字长自定）。（2 分）**
2. **除了采用高速芯片外，分别指出存储器、运算器、控制器和 I/O 系统各自可采用什么方法提高机器速度，各举一例简要说明。（4 分）**
3. **总线通信控制有几种方式，简要说明各自的特点。（4 分）**
4. **以 I/O 设备的中断处理过程为例，说明一次程序中断的全过程。（5 分）**

**(1)．答： 补码 0.0000000**

**移码 1.0000000**

**(2)．答： 存储器：采用多体交叉存储器**

**运算器：采用快速进位链**

**控制器：采用指令流水**

**I/O 系统：采用 DMA 方式**

**(3)．答： 同步通信：通信双方由统一时标控制数据传送**

**异步通信：采用应答方式通信。**

**半同步通信：统一时钟，可插入等待信号**

**分离式通信：都是主设备，充分发挥总线的有效占用。**

**(4)．答： 一次程序中断大致可分为五个阶段。**

**中断请求**

**中断判优**

**中断响应**

**中断服务**

**中断返回**

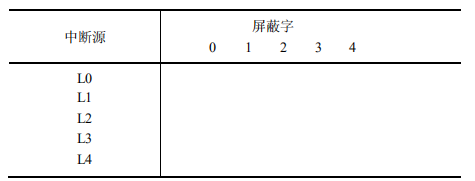
**注:中断服务 程序的流程分四部分：保护现场、中断服务、恢复现场、中断返回。**

**3.**

**（1）．完整的总线传输周期包括哪几个阶段？简要叙述每个阶段的工作。（4 分）**

**（2）．除了采用高速芯片外，从计算机的各个子系统的角度分析，指出 6 种以上（含 6 种）提高整机速度的措施。（6 分）**

**（3）．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4，现要求优先顺序改为 L3,L2,L4,L0,L1，写出各中断源的屏蔽字。（5 分）**



**（4）．某机主存容量为 4M×16 位，且存储字长等于指令字长，若该机的指令系统具备 120种操作。操作码位数固定，且具有直接、间接、立即、相对四种寻址方式。（5 分）**

**①画出一地址指令格式并指出各字段的作用；**

**②该指令直接寻址的最大范围（十进制表示）；**

**③一次间址的寻址范围（十进制表示）；**

**④相对寻址的位移量（十进制表示）**

1. **．**

**总线在完成一次传输周期时，可分为四个阶段：**

**申请分配阶段：由需要使用总线的主模块（或主设备）提出申请，经总线仲裁机构决定下一传输周期的总线使用权授于某一申请者；**

**寻址阶段：取得了使用权的主模块，通过总线发出本次打算访问的从模块（或从设备）的存储地址或设备地址及有关命令，启动参与本次传输的从模块；**

**传数阶段：主模块和从模块进行数据交换，数据由源模块发出经数据总线流入目的模块；**

**结束阶段：主模块的有关信息均从系统总线上撤除，让出总线使用权。**

**（2）．**

**针对存储器，采用高速芯片**

**针对存储器，可以采用 Cache-主存层次的设计和管理提高整机的速度；**

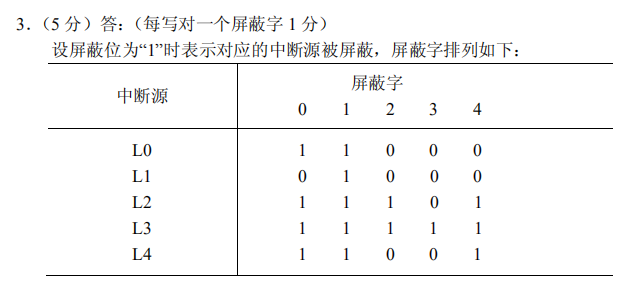
**针对存储器，可以采用多体并行结构提高整机的速度；**

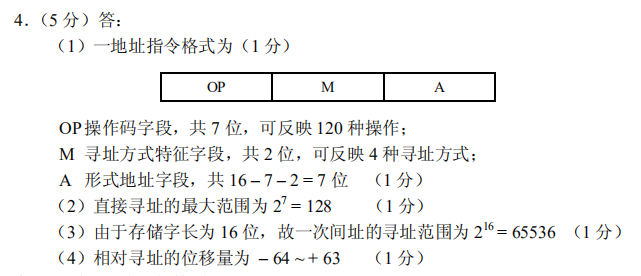
**针对控制器，可以通过指令流水设计技术提高整机的速度；**

**针对控制器，可以通过超标量设计技术提高整机的速度；**

**针对运算器，可以对运算方法加以改进，如两位乘，或用快速进位链；**

**针对 I/O 系统，可以运用DMA 技术不中断现行程序，提高 CPU 的效率。**





**4.**

**（1）．CPU 包括哪几个工作周期？每个工作周期的作用是什么。（4 分）**

**（2）．什么是指令周期、机器周期和时钟周期？三者有何关系?（6**

**分）**

**（3）．某机有五个中断源，按中断响应的优先顺序由高到低为L0,L1,L2,L3,L4，现要求优先顺序改为L3,L2,L4,L1,L0，写出各中断源的屏蔽字。（5 分）**

**（4）．某机主存容量为 4M×16 位，且存储字长等于指令字长，若该机的指令系统具备 56 种操作。操作码位数固定，且具有直接、间接、立即、相对、变址五种寻址方式。（5 分）**

**①画出一地址指令格式并指出各字段的作用； 6/3/7**

**②该指令直接寻址的最大范围（十进制表示）； 27= 128**

**③一次间址的寻址范围（十进制表示）；216 = 65536**

**④相对寻址的位移量（十进制表示） – 64 ~ + 63**

**（1）.（4 分）答：取指周期是为了取指令**

**间址周期是为了取有效地址**

**执行周期是为了取操作数**

**中断周期是为了保存程序断点**

1. **.（6 分）答：**

**指令周期是 CPU 取出并执行一条指令所需的全部时间，即完成一条指令的时间。**

**机器周期是所有指令执行过程中的一个基准时间，通常以存取周期作为机器周期。**

**时钟周期是机器主频的倒数，也可称为节拍，它是控制计算机操作的最小单位时间。**

**一个指令周期包含若干个机器周期，一个机器周期又包含若干个时钟周期，每个指令周期内的机器周期数可以不等，每个机器周期内的时钟周期数也可以不等。（3 分）**

1. **.略**
2. **.略过程**

**5.（1）．某机主存容量为 4M×32 位，且存储字长等于指令字长，若该机的指令系统具备 129种操作。操作码位数固定，且具有直接、间接、立即、相对、基址、变址六种寻址方式。（5 分）**

**①画出一地址指令格式并指出各字段的作用；**

**②该指令直接寻址的最大范围（十进制表示）；**

**③一次间址的寻址范围（十进制表示）；**

**④相对寻址的位移量（十进制表示）**

**（2）．能不能说机器的主频越快，机器的速度就越快，为什么？**

**（3）．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4，现要求优先顺序改为 L3,L2,L4,L1,L0，写出各中断源的屏蔽字。（5 分）**

**（2）.答：不能说机器的主频越快，机器的速度就越快。因为机器的速度不仅与主频有关，还与机器周期中所含的时钟周期数以及指令周期中所含的机器周期数有关。同样主频的机器，由于机器周期所含时钟周期数不同，机器的速度也不同。机器周期中所含时钟周期数少的机器，速度更快。**

**此外，机器的速度还和其他很多因素有关，如主存的速度、机器是否配有 Cache、总线的数据传输率、硬盘的速度、以及机器是否采用流水技术等等。机器速度还可以用 MIPS（每秒执行百万条指令数）和 CPI（执行一条指令所需的时钟周期数来衡量）。**

1. **.略**

**6.（1）．某机主存容量为 4M×16 位，且存储字长等于指令字长，若该机的指令系统具备 85种操作。操作码位数固定，且具有直接、间接、立即、相对、基址、变址六种寻址方式。（5 分）**

**①画出一地址指令格式并指出各字段的作用； 7/3/6**

**②该指令直接寻址的最大范围（十进制表示）； 26 =64**

**③一次间址的寻址范围（十进制表示）；216= 65536**

**④相对寻址的位移量（十进制表示）– 32 ~ + 31**

**（2）．程序查询方式和程序中断方式都要由程序实现外围设备的输入/输出，它们有何不同？（5 分）**

**（3)．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4，现要求优先顺序改为 L4,L3,L2,L1,L0，写出各中断源的屏蔽字。（5 分）**

**(2)．程序查询方式是用户在程序中安排一段输入输出程序，它由 I/O 指令、测试指令和转移指令等组成。CPU 一旦启动 I/O 后，就进入这段程序，时刻查询 I/O 准备的情况，若未准备就绪就踏步等待；若准备就绪就实现传送。在输入输出的全部过程中，CPU停止自身的操作。**

**程序中断方式虽也要用程序实现外部设备的输入、输出，但它只是以中断服务程序的形式插入到用户现行程序中。即 CPU 启动 I/O后，继续自身的工作，不必查询 I/O 的状态。而 I/O 被启动后，便进入自身的准备阶段，当其准备就绪时，向 CPU 提出中断请求，此时若满足条件，CPU 暂停现行程序，转入该设备的中断服务程序，在服务程序中实现数据的传送**

**7.(1)．说明微程序控制器中微指令的地址有几种形成方式。（6 分）答：**

**·直接由微指令的下地址字段指出。**

**·根据机器指令的操作码形成。**

**·增量计数器法。**

**·根据各种标志决定微指令分支转移的地址。**

**·通过测试网络形成。**

**·由硬件产生微程序入口地址。**

1. **．什么是计算机的主频，主频和机器周期有什么关系？（4 分）（CU 4）**

**答：一台机器时钟信号的频率即为主频，主频的倒数称作时钟周期，机器周期内包含若干个时钟周期。**

**(3)．某机有五个中断源，按中断响应的优先顺序由高到低为 L0,L1,L2,L3,L4，现要求优先顺序改为L3,L2,L0,L4,L1，写出各中断源的屏蔽字。（5 分）**

**(4）．某机主存容量为 4M×16 位，且存储字长等于指令字长，若该机的指令系统具备 65 种操作。操作码位数固定，且具有直接、间接、立即、相对、变址五种寻址方式。（5 分）7/3/6//64//65536//– 32~ + 31**

**8.**

1. **．异步通信与同步通信的主要区别是什么，说明通信双方如何联络。（4 分）**

**答： 同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序，统一的传输周期进行信息传输，通信双方按约定好的时序联络。后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。**

1. **．为什么外围设备要通过接口与 CPU 相连？接口有哪些功能？（6 分）**

**答：外围设备要通过接口与 CPU 相连的原因主要有：**

**（1）一台机器通常配有多台外设，它们各自有其设备号（地址），通过接口可实现对设备的选择。**

**（2）I/O 设备种类繁多，速度不一，与 CPU 速度相差可能很大，通过接口可实现数据缓冲，达到速度匹配。**

**（3）I/O 设备可能串行传送数据，而 CPU 一般并行传送，通过接口可实现数据串并格式转换。**

**（4）I/O 设备的入/出电平可能与 CPU 的入/出电平不同，通过接口可实现电平转换。**

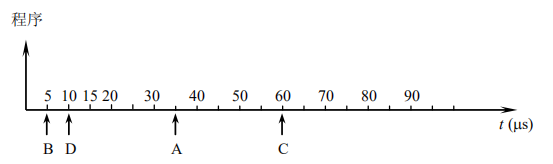
**（5）CPU 启动 I/O 设备工作，要向外设发各种控制信号，通过接口可传送控制命令。**

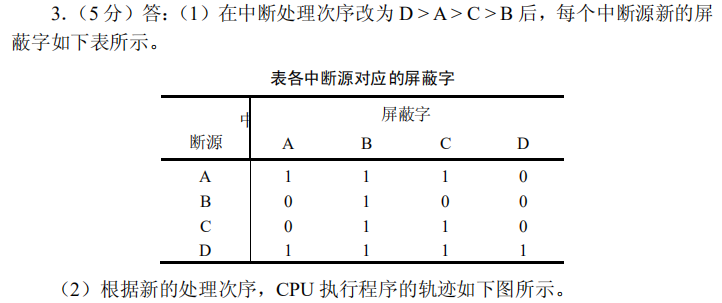
**（6）I/O 设备需将其工作状况（“忙”、“就绪”、“错误”、“中断请求”等）及时报告 CPU，通过接口可监视设备的工作状态，并保存状态信息，供 CPU 查询。**

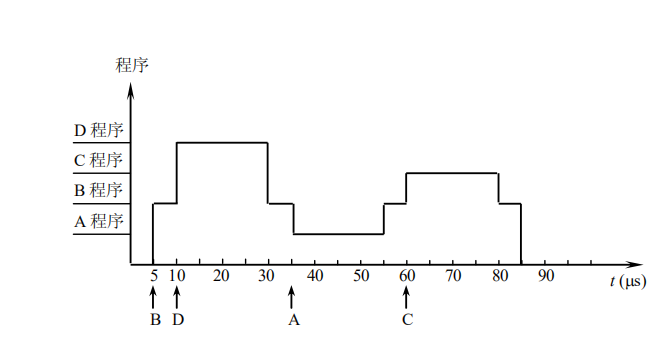
**可见归纳起来，接口应具有选址的功能、传送命令的功能、反映设备状态的功能以及传送数据的功能（包括缓冲、数据格式及电平的转换）。**

**(3)．设某机有四个中断源 A、B、C、D，其硬件排队优先次序为 A > B > C > D，现要求将中断处理次序改为 D > A > C > B。（5 分）①写出每个中断源对应的屏蔽字。**

**②按下图时间轴给出的四个中断源的请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20s。**





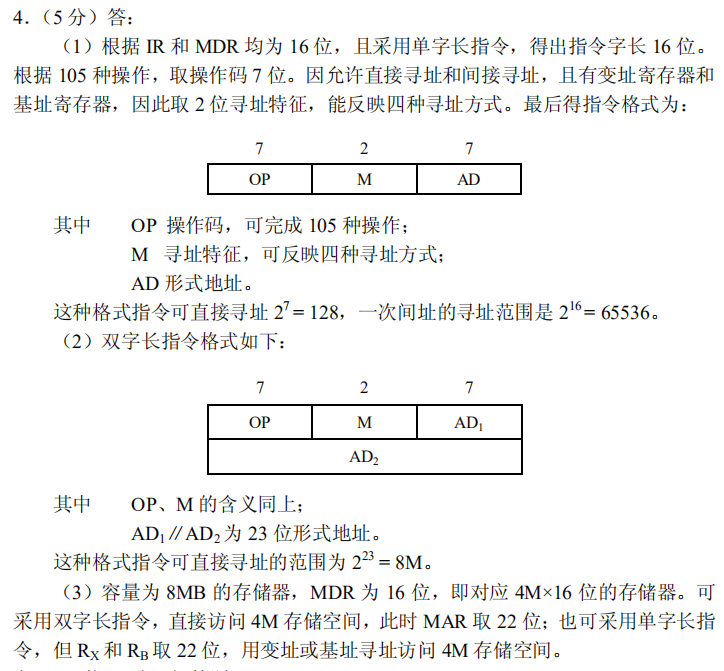


**（4）．某机器采用一地址格式的指令系统，允许直接和间接寻址。机器配备有如下硬件：ACC、MAR、MDR、PC、X、MQ、IR 以及变址寄存器 RX和基址寄存器 RB，均为 16 位。（5 分）**

**①若采用单字长指令，共能完成 105 种操作，则指令可直接寻址的范围是多少？一次间址的寻址范围是多少？画出其指令格式并说明各字段的含义。**

**②若采用双字长指令，操作码位数及寻址方式不变，则指令可直接寻址的范围又是多少？画出其指令格式并说明各字段的含义。**

**③若存储字长不变，可采用什么方法访问容量为 8MB 的主存？需增设那些硬件？**



**9.（1）．“在计算机中，原码和反码不能表示 -1。”这种说法是否正确，为什么？（2 分）**

**答：“在计算机中，原码和反码不能表示 -1。”这种说法是错误的。因为对于整数而言，这种说法不成立。假设机器字长为 8 位（含 1 位符号位），在整数定点机中，[-1]原 = 1,0000001 [-1]补 = 1,1111111 [-1]反 = 1,1111110。在小数定+机中，-1 的原码和反码不能表示，而[-1]补 = 1.0000000。**

**（2）．除了采用高速芯片外，分别指出存储器、运算器、控制器和 I/O 系统各自可采用什么方法提高机器速度，各举一例简要说明。答： 存储器：采用多体交叉存储器（1 分）**

**运算器：采用快速进位链（1 分）**

**控制器：采用指令流水（1 分）**

**I/O 系统：采用 DMA 方式（1 分）**

**（3）．异步通信与同步通信的主要区别是什么，说明通信双方如何联络。（4 分）**

**答： 同步通信和异步通信的主要区别是前者有公共时钟，总线上的所有设备按统一的时序，统一的传输周期进行信息传输，通信双方按约定好的时序联络。后者没有公共时钟，没有固定的传输周期，采用应答方式通信，具体的联络方式有不互锁、半互锁和全互锁三种。不互锁方式通信双方没有相互制约关系；半互锁方式通信双方有简单的制约关系；全互锁方式通信双方有完全的制约关系。其中全互锁通信可靠性最高。**

**（4）．在 DMA 方式中，CPU 和 DMA 接口分时使用主存有几种方法？简要说明之。**

**答：**

**① 停止 CPU 访问主存。这种方法 DMA 在传送一批数据时，独占主存，CPU 放弃了地址线、数据线和有关控制线的使用权。在一批数据传送完毕后，DMA 接口才把总线的控制权交回给 CPU。显然，这种方法在 DMA 传送过程中，CPU 基本处于不工作状态或保持原状态。**

**② 周期挪用。这种方法 CPU 按程序的要求访问主存，一旦 I/O 设备有 DMA 请求，则由 I/O 设备挪用一个存取周期。此时 CPU 可完成自身的操作，但要停止访存。显然这种方法既实现了 I/O 传送，又较好地发挥了主存和 CPU 的效率，是一种广泛采用的方法。**

**③ DMA 与 CPU 交替访存。这种方法适合于 CPU 的工作周期比主存的存取周期长的情况。如 CPU 的工作周期大于主存周期的两倍，则每个 CPU 周期的上半周期专供 DMA 接口访存，下半周期专供 CPU 访存。这种交替访问方式可使 DMA 传送和 CPU 工作效率最高，**

**但相应的硬件逻辑更复杂。**

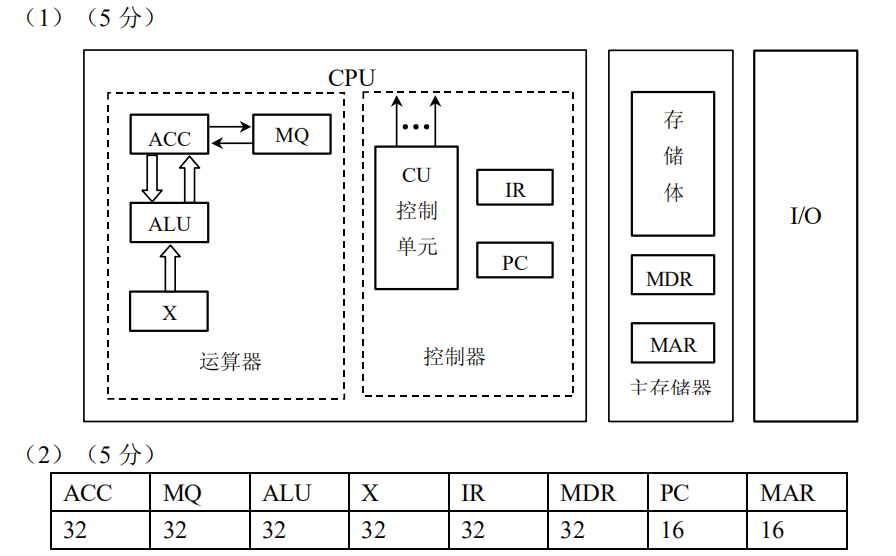
# 六、问答题

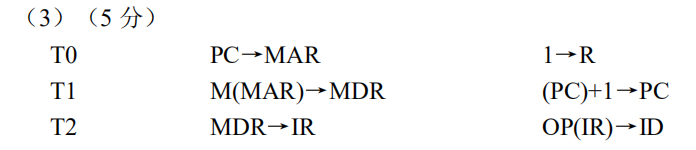
**1.（1）画出主机框图（要求画到寄存器级）；**

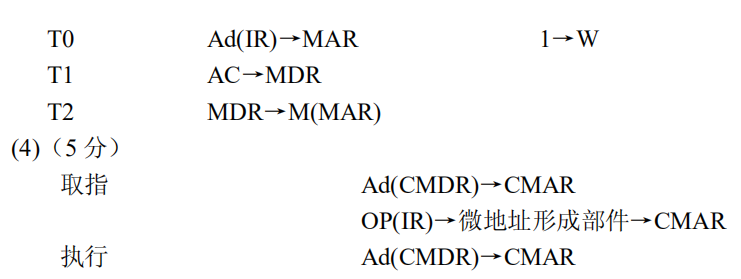
**（2）若存储器容量为 64K×32 位，指出图中各寄存器的位数；**

**（3）写出组合逻辑控制器完成 STA X （X 为主存地址）指令发出的全部微操作命令及节拍安排。**

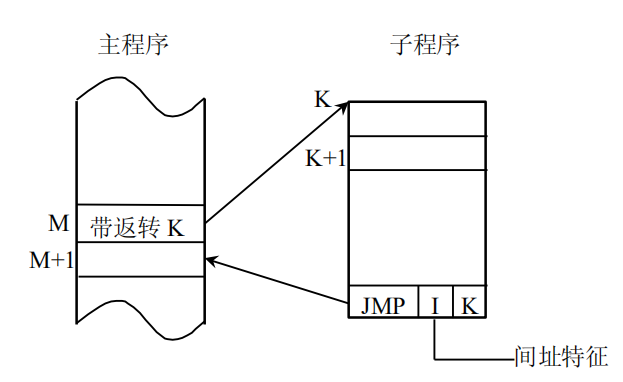
**（4）若采用微程序控制，还需增加哪些微操作？**



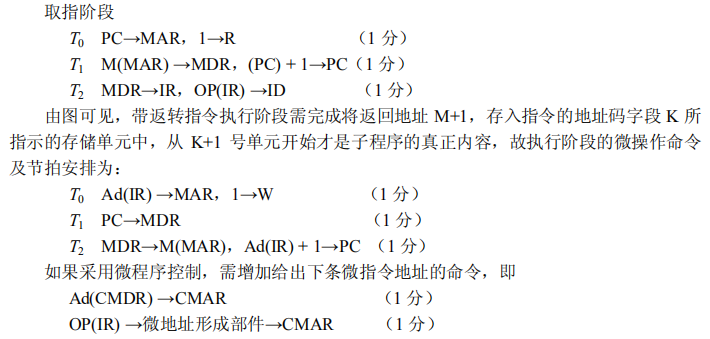




**2.（1）．已知带返转指令的含义如下图所示，写出机器在完成带返转指令时，取指阶段和执行阶段所需的全部微操作命令及节拍安排。如果采用微程序控制，需增加哪些微操作命令？（8 分）**



**答：**



1. **太长了不写了m d，自己看试题2.**
2. **写过了自己看五.8.（3）**

**3.**

**（1）．假设 CPU 在中断周期用堆栈保存程序断点，而且进栈时指针减 1，出栈时指针加 1。分别写出组合逻辑控制和微程序控制在完成中断返回指令时，取指阶段和执行阶段所需的全部微操作命令及节拍安排。（8 分）**

**假设进栈操作是先修改堆栈指针后存数，则出栈操作是先读数后修改堆栈指针。**

**（1）①完成中断返回指令组合逻辑控制的微操作命令及节拍安排（4 分）**

**取指阶段**

**T0 PC→MAR，1→R**

**T1 M(MAR)→MDR，(PC)+1→PC**

**T2 MDR→IR，OP(IR)→ID**

**执行阶段**

**T0 SP→MAR，1→R**

**T1 M(MAR)→MDR**

**T2 MDR→PC，(SP)+1→SP**

**②完成中断返回指令微程序控制的微操作命令及节拍安排（4 分）**

**取指阶段**

**T0 PC→MAR，1→R**

**T1 Ad(CMDR)→CMAR**

**T2 M(MAR)→MDR，(PC)+1→PC**

**T3 Ad(CMDR)→CMAR**

**T4 MDR→IR**

**T5 OP(IR)→微地址形成部件→CMAR**

**执行阶段**

**T0 SP→MAR，1→R**

**T1 Ad(CMDR)→CMAR**

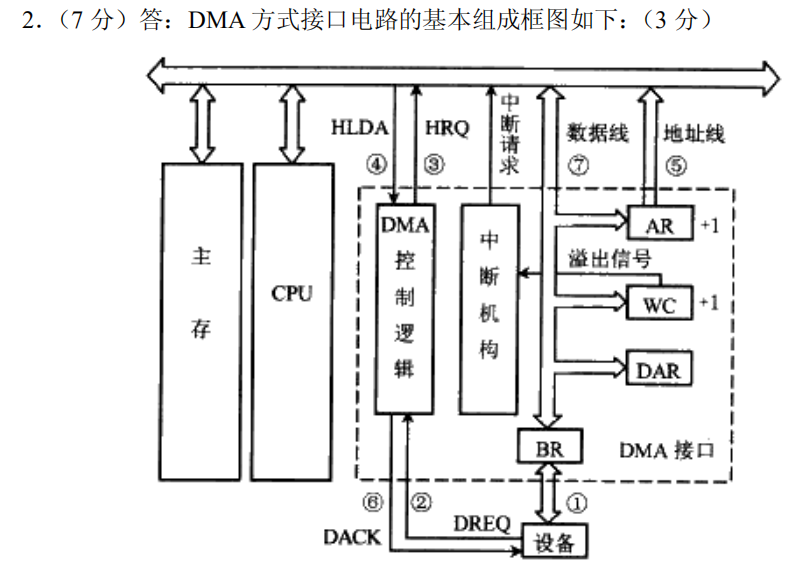
**T2 M(MAR)→MDR**

**T3 Ad(CMDR)→CMAR**

**T4 MDR→PC，(SP)+1→SP**

**T5 Ad(CMDR)→CMAR**

**（2）．画出 DMA 方式接口电路的基本组成框图，并说明其工作过程（以输入设备为例）。**



**以数据输入为例，具体操作如下：（4 分）**

**① 从设备读入一个字到 DMA 的数据缓冲寄存器 BR 中，表示数据缓冲寄存器“满”（如果 I/O 设备是面向字符的，则一次读入一个字节，组装成一个字）；**

**② 设备向 DMA 接口发请求（DREQ）；**

**③ DMA 接口向 CPU 申请总线控制权（HRQ）；**

**④ CPU 发回 HLDA 信号，表示允许将总线控制权交给 DMA 接口；**

**⑤ 将 DMA 主存地址寄存器中的主存地址送地址总线；**

**⑥ 通知设备已被授予一个 DMA 周期（DACK），并为交换下一个字做准备；**

**⑦ 将 DMA 数据缓冲寄存器的内容送数据总线；**

**⑧ 命令存储器作写操作；**

**⑨ 修改主存地址和字计数值；**

**⑩ 判断数据块是否传送结束，若未结束，则继续传送；若己结束，（字计数器溢出），则向 CPU 申请程序中断，标志数据块传送结束。**

**4.**

**（1）．按序写出完成一条加法指令 ADD α(α为主存地址)两种控制器所发出的微操作命令及节拍安排。（8 分）**

**答：组合逻辑控制器完成 ADD α 指令的微操作命令及节拍安排为：**

**取指周期 （2 分）**

**T0 PC→MAR，1→R**

**T1 M(MAR) →MDR，(PC)+1→PC**

**T2 MDR→IR，OP(IR) →ID**

**执行周期（2 分）**

**T0 Ad(IR) →MAR，1→R（即α →MAR）**

**T1 M(MAR) →MDR**

**T2 (ACC)+(MDR)→ACC**

**微程序控制器完成 ADD α 指令的微操作命令及节拍安排为：**

**取指周期（2 分）**

**T0 PC→MAR，1→R**

**T1 Ad(CMDR) →CMAR**

**T2 M(MAR) →MDR，(PC)+1→PC**

**T3 Ad(CMDR) →CMAR**

**T4 MDR→IR**

**T5 OP(IR) →微地址形成部件→CMAR**

**执行周期（2 分）**

**T0 Ad(IR) →MAR，1→R（即α →MAR）**

**T1 Ad(CMDR) →CMAR**

**T2 M(MAR) →MDR**

**T3 Ad(CMDR) →CMAR**

**T4 (ACC)+(MDR) →ACC**

**T5 Ad(CMDR) →CMAR**

1. **．假设磁盘采用 DMA 方式与主机交换信息，其传输速率为**

**2MB/s，而且 DMA 的预处理需 1000 个时钟周期，DMA 完成传送后处理中断需 500 个时钟周期。如果平均传输的数据长度为 4KB，试问在硬盘工作时，50MHz 的处理器需用多少时间比率进行 DMA 辅助操作（预处理和后处理）。（7 分）（输入输出 4）**

**答：DMA 传送过程包括预处理、数据传送和后处理三个阶段。传送 4KB 的数据长度需**

**4KB/2MB/s = 0.002 秒 （2 分）**

**如果磁盘不断进行传输，每秒所需 DMA 辅助操作的时钟周期数为**

**(1000 + 500)/0.002 = 750000（2 分）**

**故 DMA 辅助操作占用 CPU 的时间比率为**

**[750000 /(50 × 106)] ×100% = 1.5 %（3 分）**

**5.**

**（1）画出主机框图（要求画到寄存器级）；**

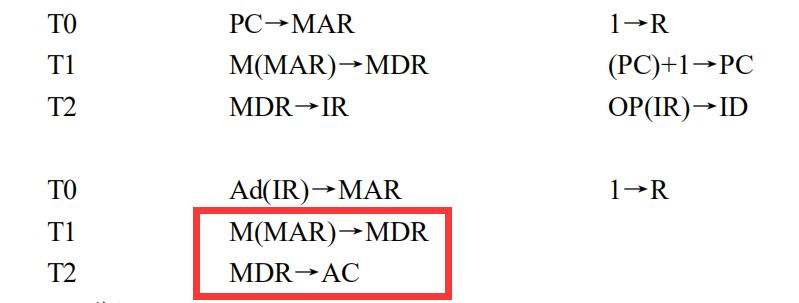
**（2）若存储器容量为 64K×32 位，指出图中各寄存器的位数；**

**（3）写出组合逻辑控制器完成 LDA X （X 为主存地址）指令发出的全部微操作命令及节拍安排。**

**（4）若采用微程序控制，还需增加哪些微操作？**

**答：（1）、（2）、（4）答案同试题1；**

**（3）答案如下：**



**6.**

**（1）画出主机框图（要求画到寄存器级）；**

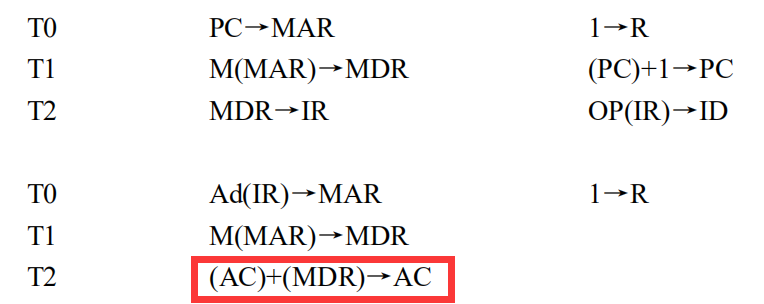
**（2）若存储器容量为 64K×32 位，指出图中各寄存器的位数；**

**（3）写出组合逻辑控制器完成 ADD X （X 为主存地址）指令发出的全部微操作命令及节拍安排。**

**（4）若采用微程序控制，还需增加哪些微操作？**

**答：（1）、（2）、（4）答案同试题1；**

**（3）答案如下：**



**7.（1）．按序写出完成一条加法指令 SUB α (α 为主存地址)两种控制器所发出的微操作命令及节拍安排。（8 分）**

**(2)．假设磁盘采用 DMA 方式与主机交换信息，其传输速率为**

**2MB/s，而且 DMA 的预处理需 1000 个时钟周期，DMA 完成传送后处理中断需 500 个时钟周期。如果平均传输的数据长度为 4KB，试问在硬盘工作时，50MHz 的处理器需用多少时间比率进行 DMA 辅助操作（预处理和后处理）。（7 分）**

**(1)．（8 分）组合逻辑控制器完成 SUB α 指令的微操作命令及节拍安排为：**

**取指周期 （2 分）**

**T0 PC→MAR，1→R**

**T1 M(MAR) →MDR，(PC)+1→PC**

**T2 MDR→IR，OP(IR) →ID**

**执行周期（2 分）**

**T0 Ad(IR) →MAR，1→R（即α →MAR）**

**T1 M(MAR) →MDR**

**T2 (ACC)–(MDR)→ACC**

**微程序控制器完成 ADD α 指令的微操作命令及节拍安排为：**

**取指周期（2 分）**

**T0 PC→MAR，1→R**

**T1 Ad(CMDR) →CMAR**

**T2 M(MAR) →MDR，(PC)+1→PC**

**T3 Ad(CMDR) →CMAR**

**T4 MDR→IR**

**T5 OP(IR) →微地址形成部件→CMAR**

**执行周期（2 分）**

**T0 Ad(IR) →MAR，1→R（即α →MAR）**

**T1 Ad(CMDR) →CMAR**

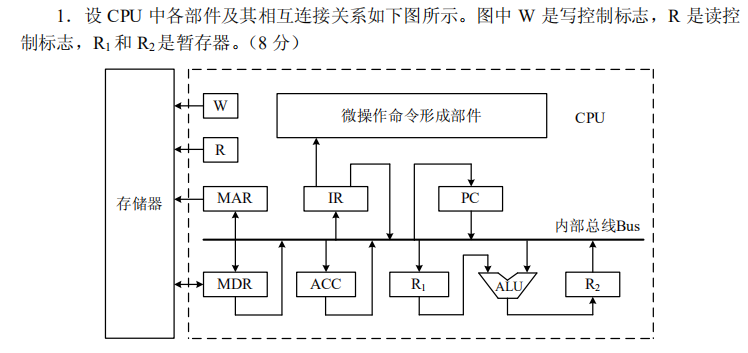
**T2 M(MAR) →MDR**

**T3 Ad(CMDR) →CMAR**

**T4 (ACC)+(MDR) →ACC**

**T5 Ad(CMDR) →CMAR**

1. **见4.（2）**

**8.**

**①假设要求在取指周期由 ALU 完成 (PC) +1→PC 的操作（即 ALU 可以对它的一个源操作数完成加 1 的运算）。要求以最少的节拍写出取指周期全部微操作命令及节拍安排。**

**②写出指令 ADD # α（#为立即寻址特征，隐含的操作数在 ACC 中）在执行阶段所需的微操作命令及节拍安排。**

**答：**

**①由于 (PC)+1→PC 需由 ALU 完成，因此 PC 的值可作为 ALU 的一个源操作数，靠控制 ALU 做＋1 运算得到 (PC) + 1，结果送至与 ALU 输出端相连的 R2，然后再送至 PC。此题的关键是要考虑总线冲突的问题，故取指周期的微操作命令及节拍安排如下：**

**T0 PC→MAR，1→R**

**T1 M(MAR)→MDR，(PC)+1→R2**

**T2 MDR→IR，OP(IR)→微操作命令形成部件**

**T3 R2→PC**

**②立即寻址的加法指令执行周期的微操作命令及节拍安排如下：**

**T0 Ad(IR)→R1 ；立即数→R1**

**T1 (R1)+(ACC)→R2 ；ACC 通过总线送 ALU**

**T2 R2→ACC ；结果→ACC**

**（2）．DMA 接口主要由哪些部件组成？在数据交换过程中它应完成哪些功能？画出 DMA工作过程的流程图（不包括预处理和后处理）**

**答：DMA 接口主要由数据缓冲寄存器BR、主存地址计数器AR、字计数器WC、设备地址寄存器DAR、中断机构和 DMA 控制逻辑等组成。在数据交换过程中，DMA 接口的功能有：**

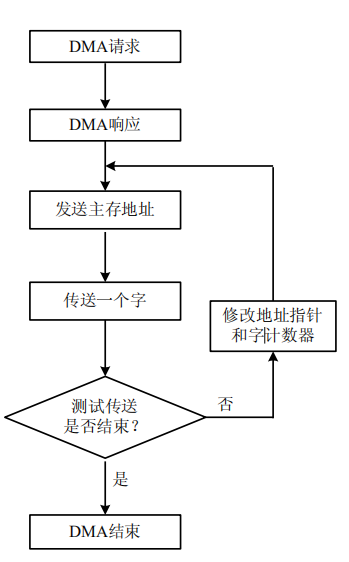
**①向 CPU 提出总线请求信号；**

**②当 CPU 发出总线响应信号后， 接管对总线的控制；  
③向 存储器发地址信号（并能自动修改地址指针）；**

**④向 存储器发读/写等控制信号，进行数据传送；**

**⑤修改字计数器，并根据传送字数， 判断 DMA 传送是否结束；**

**⑥发 DMA 结束信号，向 CPU 申请程序中断，报告一 组数据传送完毕。DMA 工作过程流程如图所示。**



**9.同第2套**

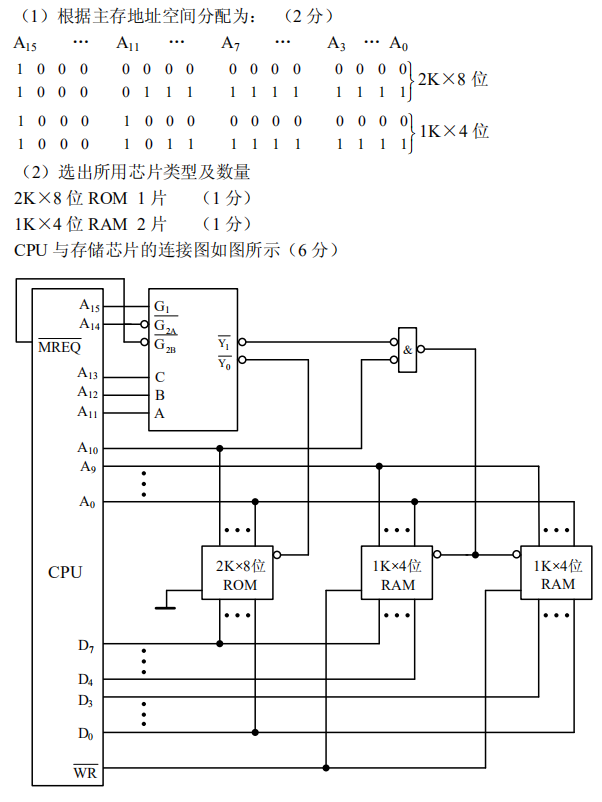
# 七：设计题

**1.设 CPU 共有 16 根地址线，8 根数据线，并用作访存控制信号（低电平有效），用作读写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4 位 RAM，4K×8 位 RAM，2K×8 位 ROM，以及 74138 译码器和各种门电路，如图所示。画出 CPU与存储器连接图，要求：**

**（1）主存地址空间分配：8000H～87FFH 为系统程序区；8800H～8BFFH 为用户程序区。**

**（2）合理选用上述存储芯片，说明各选几片？**

**（3）详细画出存储芯片的片选逻辑。**

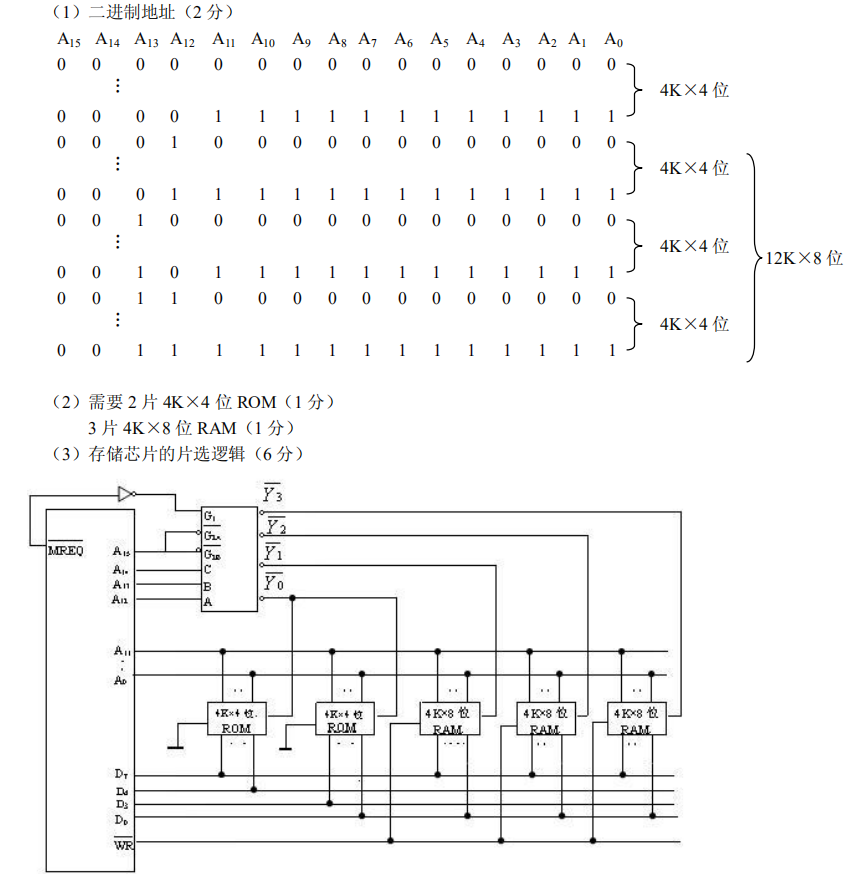


**2.设 CPU 共有 16 根地址线，8 根数据线，并用（低电平有效）作访存控制信号，作读写命令信号（高电平为读，低电平为写）。现有下列存储芯片：ROM（2K×8 位，4K×4 位，8K×8 位），RAM（1K×4 位，2K×8 位，4K×8 位）及 74138 译码器和其他门电路（门电路自定）。试从上述规格中选用合适芯片，画出 CPU 和存储芯片的连接图。要求：**

**（1）最小 4K 地址为系统程序区，4096~16383 地址范围为用户程序区；**

**（2）指出选用的存储芯片类型及数量；**

**（3）详细画出片选逻辑。**



**3.设 CPU 有 16 根地址线，8 根数据线，并用作访存控制信号（低电平有效），用作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4 位 RAM；4K×8 位 RAM；8K×8 位 RAM；2K×8 位 ROM；4K×8 位 ROM；8K×8 位 ROM 及74LS138译码器和各种门电路，如图所示。画出 CPU 与存储器的连接图，**

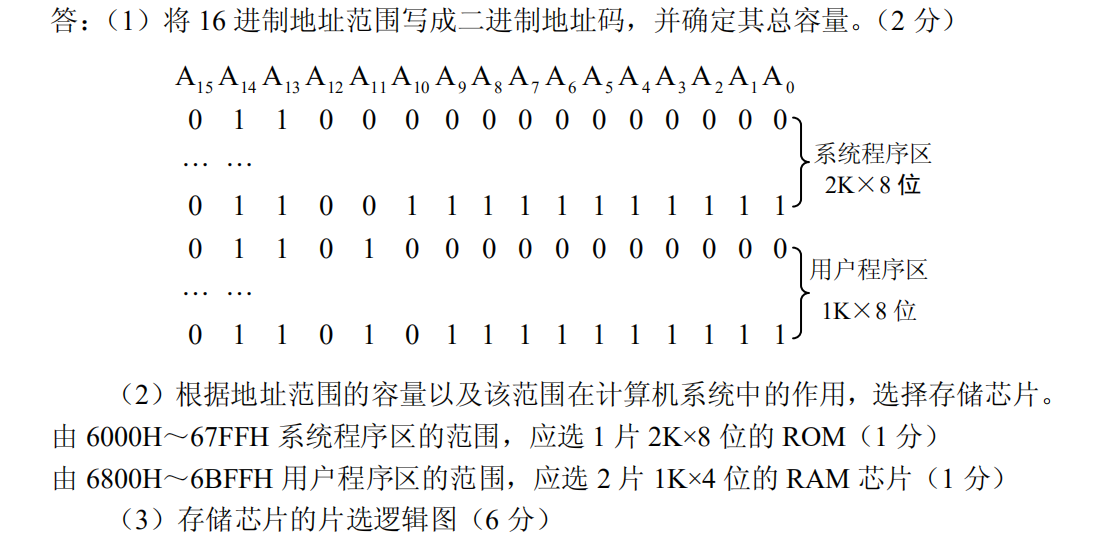
**要求（1）主存地址空间分配：**

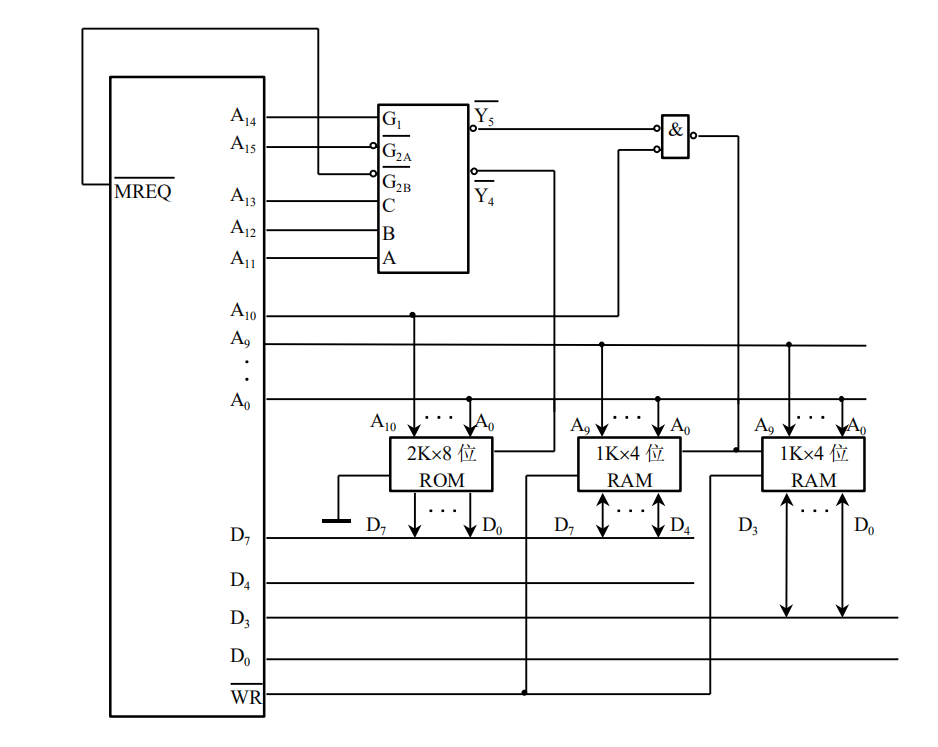
**6000H～67FFH 为系统程序区；**

**6800H～6BFFH 为用户程序区。**

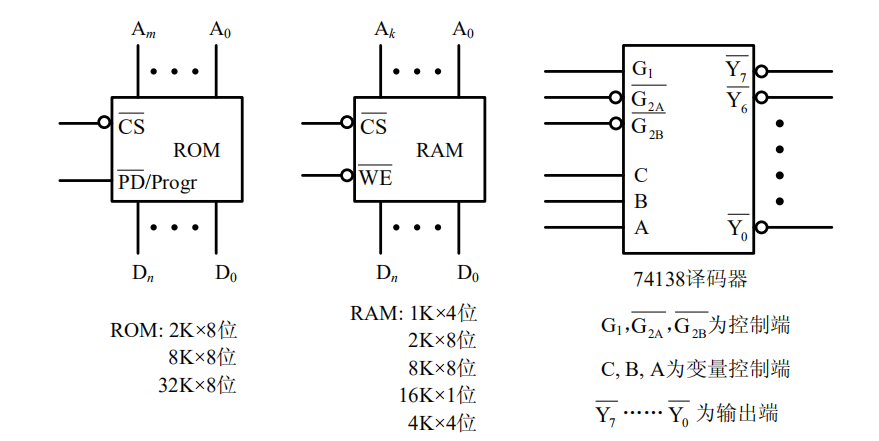
**（2）合理选用上述存储芯片，说明各选几片？**

**（3）详细画出存储芯片的片选逻辑图**





**4.设 CPU 共有 16 根地址线，8 根数据线，并用作访存控制信号（低电平有效），用作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。**

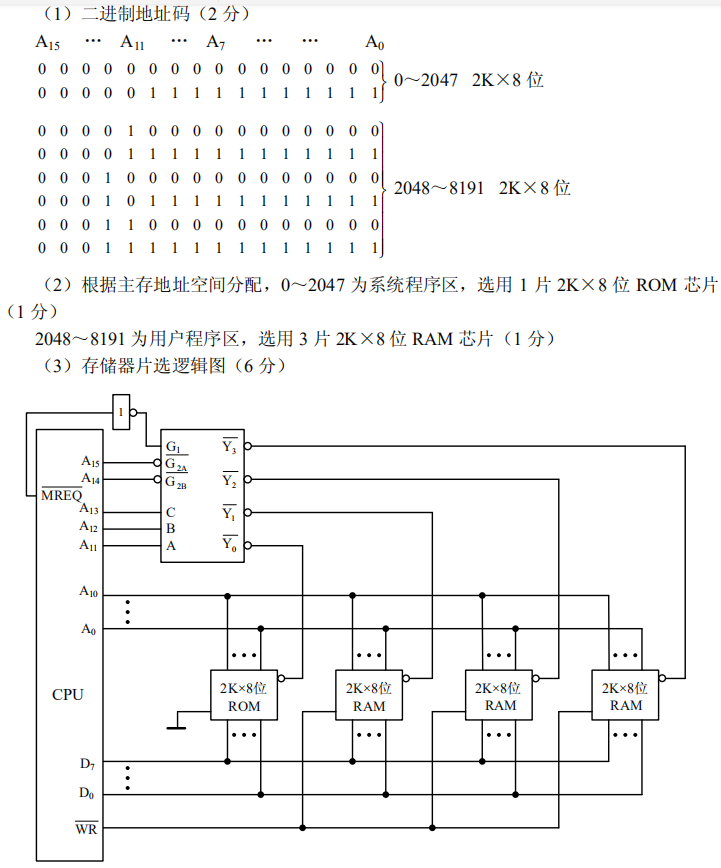


**画出 CPU 与存储器的连接图，要求：**

**（1）存储芯片地址空间分配为：0～2047 为系统程序区；2048～8191 为用户程序区。**

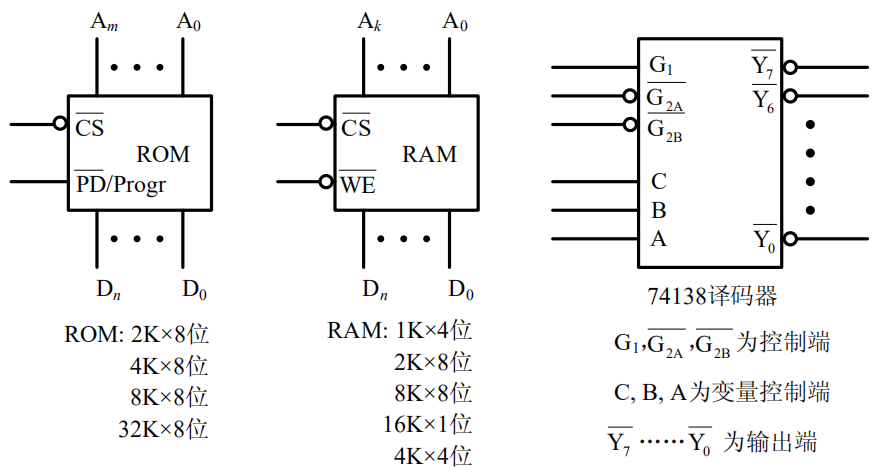
**（2）指出选用的存储芯片类型及数量；**

**（3）详细画出片选逻辑**



**5.设 CPU 共有 16 根地址线，8 根数据线，并用作访存控制信号（低电平有效），用作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自**

**定），如图所示。画出 CPU 与存储器的连接图，要求：**

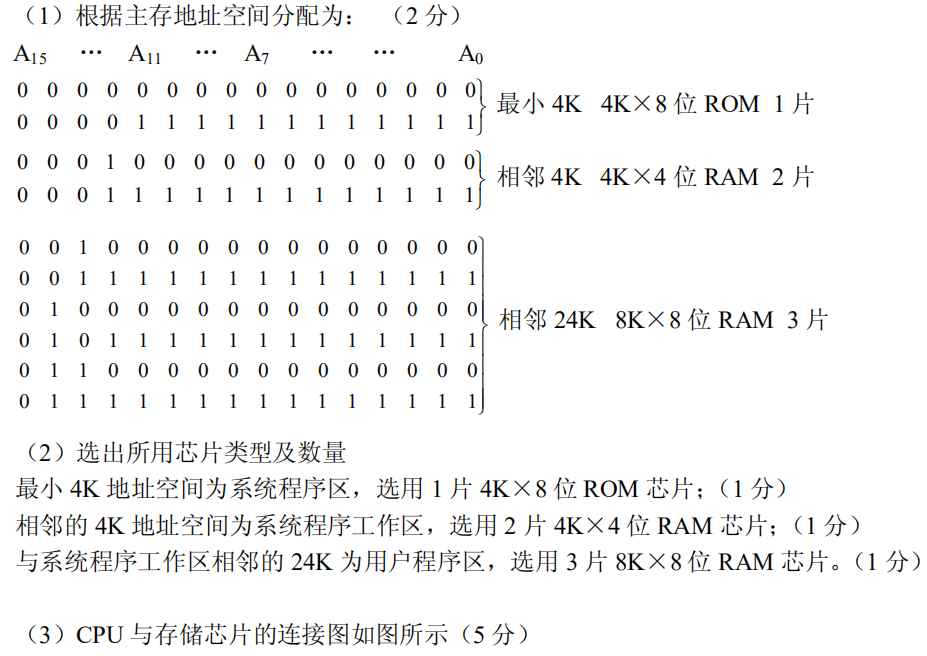
****

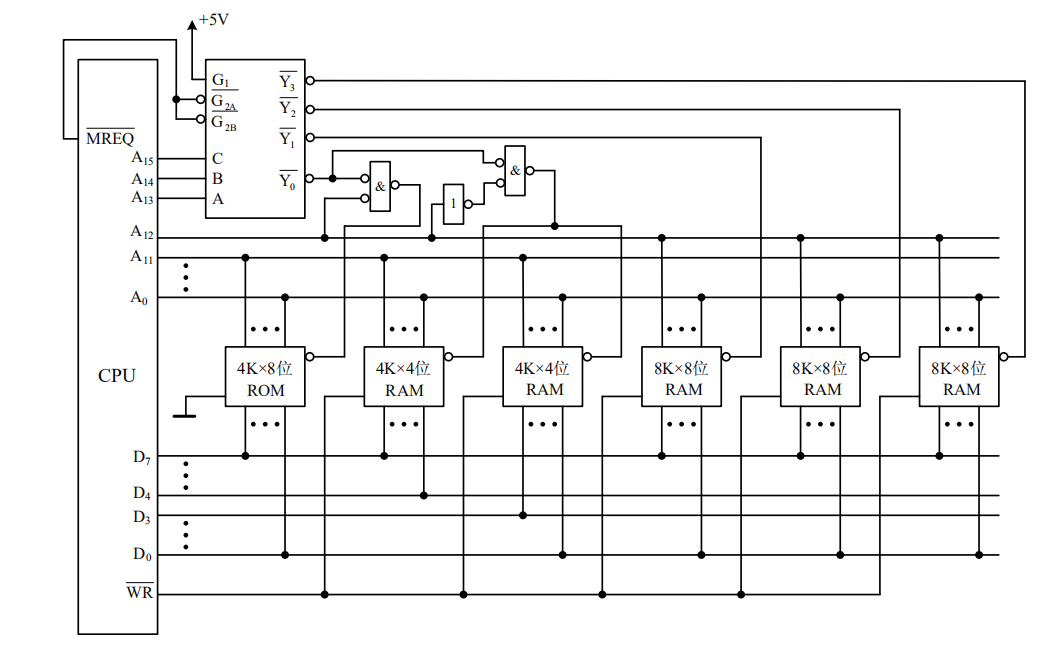
**（1）存储芯片地址空间分配为：最小 4K 地址空间为系统程序区，相邻的 4K 地址空间**

**为系统程序工作区，与系统程序工作区相邻的是 24K 用户程序区；**

**（2）指出选用的存储芯片类型及数量；**

**（3）详细画出片选逻辑**





**6.设 CPU 共有 16 根地址线，8 根数据线，并用作访存控制信号（低电平有效）用**

**作读写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4 位 RAM，4K**

**×8 位 RAM，2K×8 位 ROM，以及 74138 译码器和各种门电路，如图所示。画出 CPU 与**

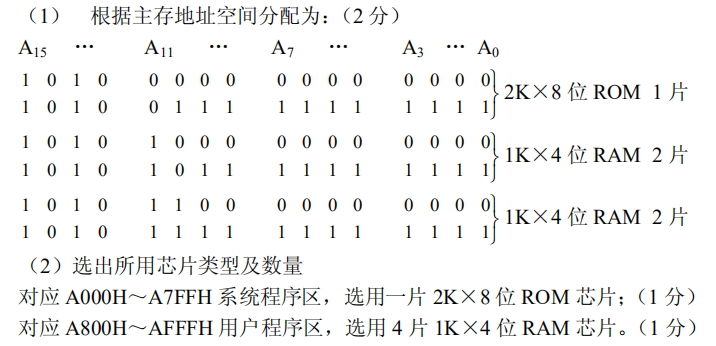
**存储器连接图，要求：**

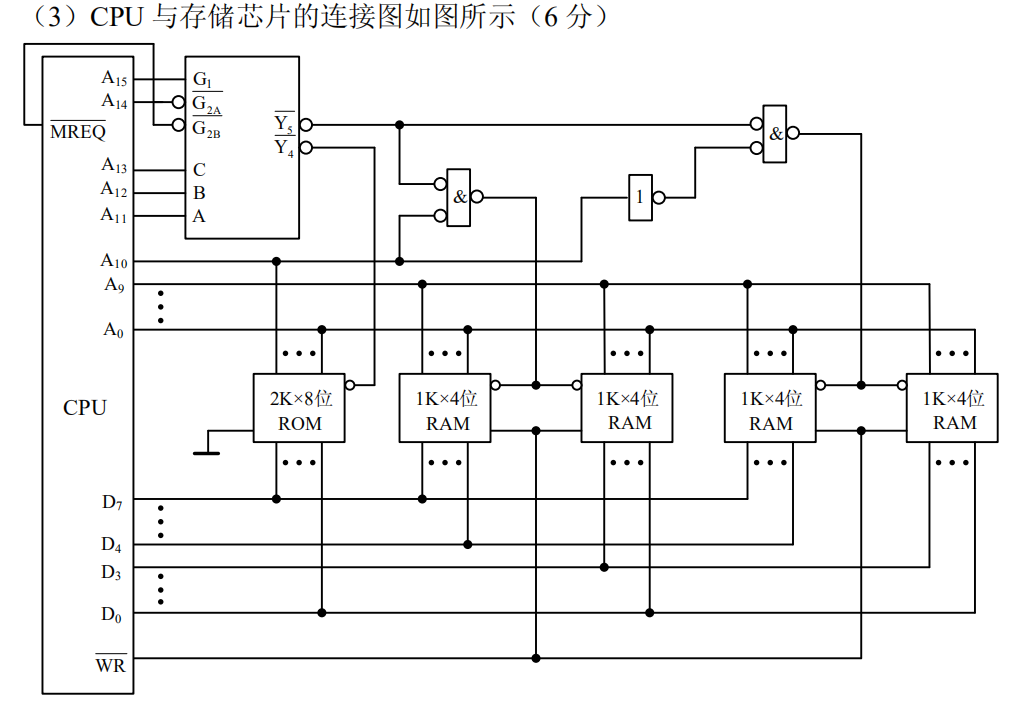
**（1）主存地址空间分配：A000H～A7FFH 为系统程序区；A800H～AFFFH 为用户程**

**序区。**

**（2）合理选用上述存储芯片，说明各选几片，并写出每片存储芯片的二进制地址范围。**

**（3）详细画出存储芯片的片选逻辑。**



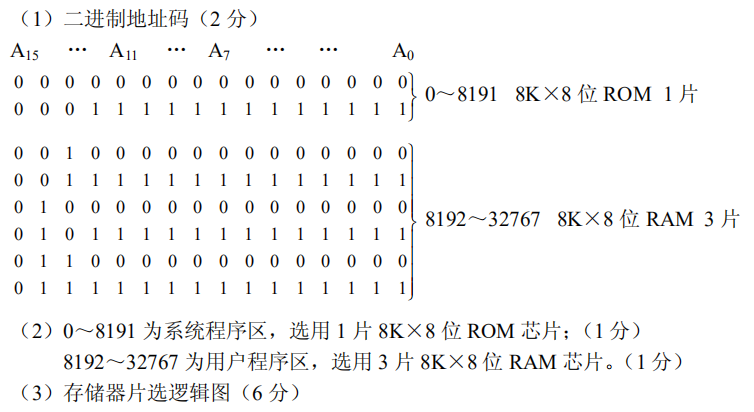


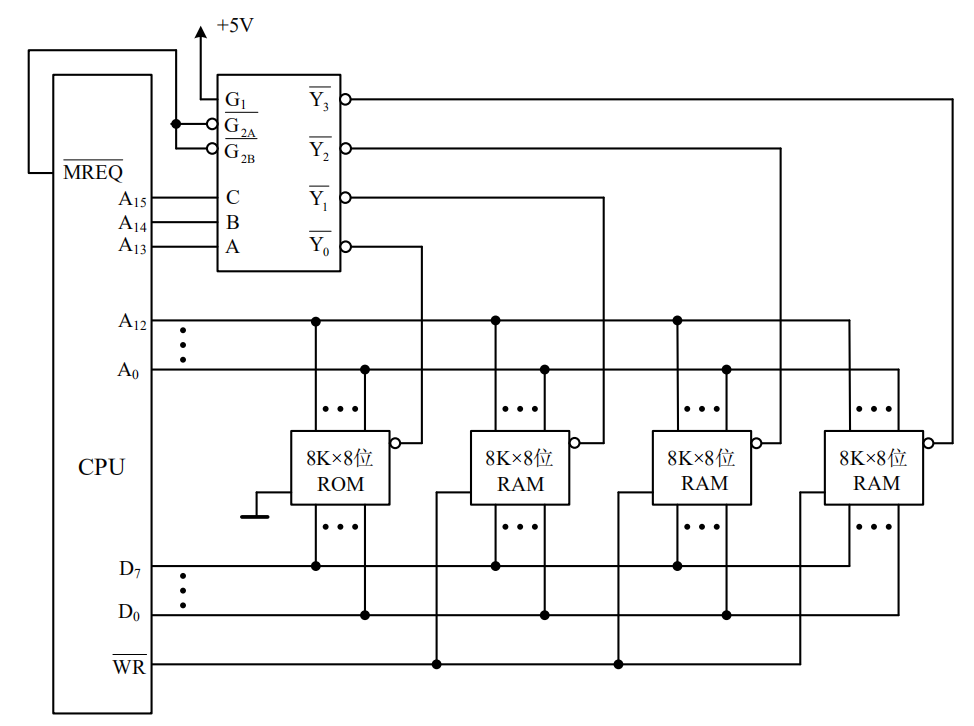
**7.设 CPU 共有 16 根地址线，8 根数据线，并用作访存控制信号（低电平有效），用 作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路自定），如图所示。画出 CPU与存储器的连接图，要求：**

**（1）存储芯片地址空间分配为：0～8191 为系统程序区；8192～32767 为用户程序区。**

**（2）指出选用的存储芯片类型及数量；**

**（3）详细画出片选逻辑。**





**8.**

**设 CPU 共有 16 根地址线，8 根数据线，并用作访存控制信号（低电平有效），**

**用作读写控制信号（高电平为读，低电平为写）。现有下列芯片及各种门电路（门电路**

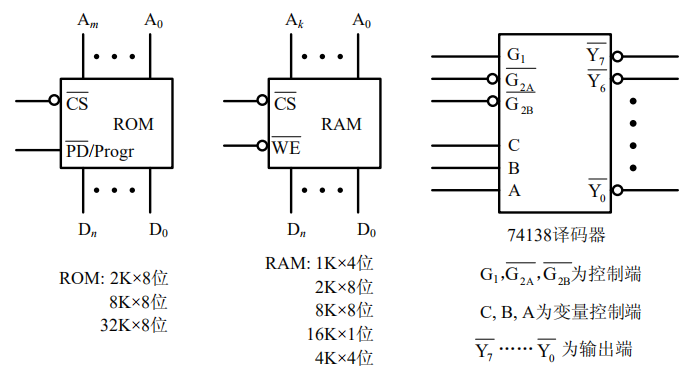
**自定），如图所示。画出 CPU 与存储器的连接图，要求：**

**（1）存储芯片地址空间分配为：最大 4K 地址空间为系统程序区，相邻的 4K 地址空间**

**为系统程序工作区，最小 16K 地址空间为用户程序区；**

**（2）指出选用的存储芯片类型及数量；**

**（3）详细画出片选逻辑。**

****

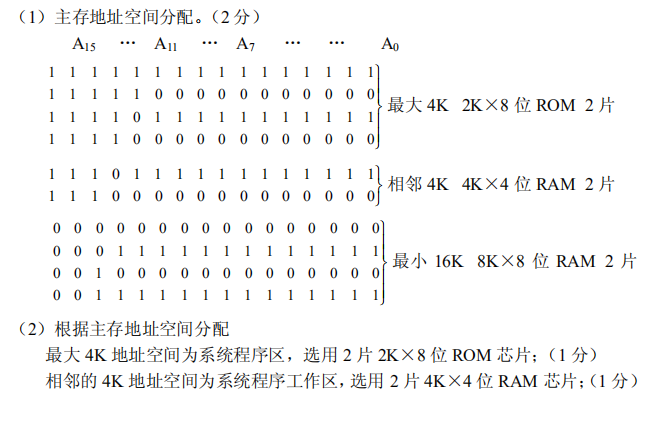
**（1）主存地址空间分配：**

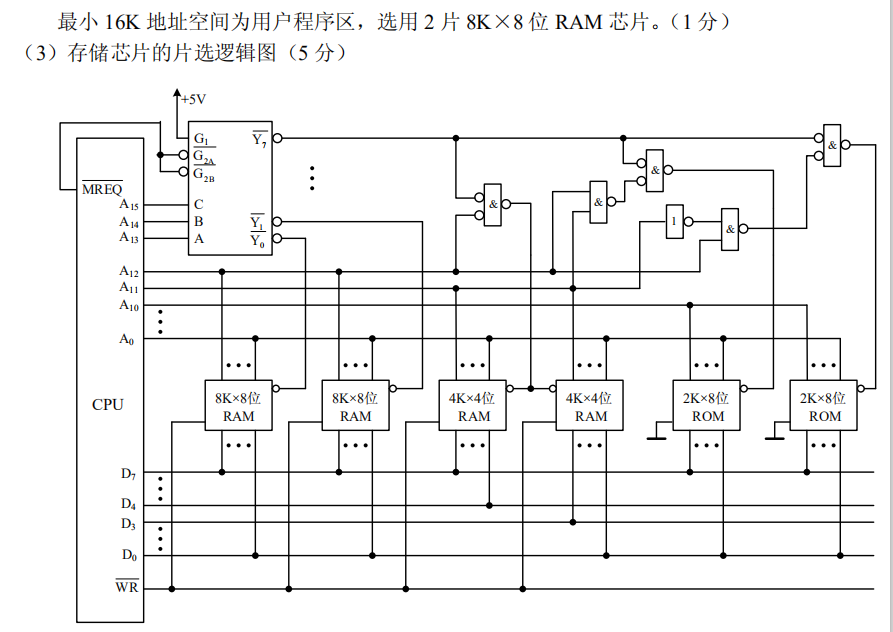
**6000H～67FFH 为系统程序区；**

**6800H～6BFFH 为用户程序区。**

**（2）合理选用上述存储芯片，说明各选几片？**

**（3）详细画出存储芯片的片选逻辑图。**





**9.设 CPU 共有 16 根地址线和 8 根数据线，并用 作访存控制信号，作读写命令**

**信号（高电平读，低电平写）。设计一个容量为 32KB，地址范围为 0000H~7FFFH，且采用**

**低位交叉编址的四体并行存储器。要求：**

**（1）采用下图所列芯片，详细画出 CPU 和存储芯片的连接图。**

**（2）指出图中每个存储芯片的容量及地址范围（用十六进制表示）**

