## 单选题（共12题,6 ）11946年研制成功的第一台电子数字计算机称为（   ）。（ ）A、EDVAC B、 ENIACC、EDSACD、UNIVACI   B

**2完整的计算机系统应该包括（   ）。（ ）A、运算器、存储器、控制器B、外部设备和主机C、主机和应用程序D、主机、外部设备、配套的软件系统   D**

## 3冯.诺依曼结构的计算机中数据采用二进制编码，主要原因是（  ）。I、二进制运算规则简单II、制造两个稳定状态的物理器件技术上容易实现III、便于逻辑门电路实现算术运算IV、可靠性高（ ）A、仅 I、II仅 I、IIIC、仅 II、IIID、以上都对 D  D

## 4冯.诺依曼计算机的设计思想主要有（    ）。I.存储程序II.二进制表示  III.微程序方式  IV.局部性原理（ ）A、I、IIIB、II、IIIC、II、IVD、I、II D  D

## 5冯.诺依曼计算机中指令和数据均以二进制数形式存放在存储器中，CPU区分它们的依据是（   ）。（ ）A、指令操作码的译码结果B、指令和数据的寻址方式C、指令周期的不同阶段D、指令和数据所在的存储单元 C  C

## 6计算机硬件能够直接执行的是（   ）。I.机器语言程序II.汇编语言程序III.硬件描述语言程序IV.高级语言程序（ ）A、I、IIB、IC、I、IIID、I、II、III、IV B  B

## 7（     ）可区分存储单元中存放的是指令还是数据。（ ）A、存储器B、运算器C、用户D、控制器 D  D

## 8关于机器字长的描述，不正确的是（   ）。（ ）A、机器字长是指CPU一次能处理数据的二进制位数B、机器字长取决于CPU寄存器的位数C、机器字长取决于CPU数据线的位数D、机器字长会影响机器的运算速度 C  C

## 9下面的指标中，不能用来衡量CPU的运算速度的是（  ）。（ ）A、CPIB、MIPSC、MFLOPSD、MDR D  D

## 10计算机的算术逻辑单元和控制单元合称为（    ）。（ ）A、ALUB、CADC、MARD、CPU D  D

## 11只有当程序要执行时，它才会将源程序翻译成机器语言，而且一次只能读取、翻译并执行源程序中的一行语句，此程序称为（   ）。（ ）A、目标程序B、编译程序C、解释程序D、汇编程序 C  C

## 12下列选项中，描述浮点数操作速度的指标是（  ）。（ ）A、MIPSB、CPIC、MFLOPSD、MAR C  C

## 填空题（共4题,4 ）1计算机的软件通常又可以分为      和       两大类。（1 ） ：第一空： 系统软件第二空： 应用软件 ：

## 2计算机系统由     和       两大部分组成。（1 ） ：第一空： 硬件系统；硬件；计算机硬件；计算机硬件系统第二空： 软件系统；软件；计算机软件；计算机软件系统 ：  1 第一空： 硬件系统第二空： 软件系统

## 3ALU（ArithmeticLogicUnit）叫做算术逻辑运算单元，用来完成       运算，它是      的核心部件。（1 ） ：第一空： 算术逻辑；算逻；算术逻辑运算；算逻运算第二空： CPU；中央处理器 ：   第一空： 算数逻辑第二空： CPU

## 4机器字长是指CPU一次能处理的      ，通常与CPU的        有关。（1 ） ：第一空： 数据位数；二进制数据位数第二空： 寄存器位数；寄存器字长 ：   第一空： 数据位数第二空： 寄存器字长一

## .单选题（共20题,10 ）

## 1在系统总线的数据线上，不可能传输的是（  ）。A、指令 B、操作数 C、握手应答信号D、中断类信号  C  C

## 2下列关于总线的说法中，正确的是（  ）。I.使用总线结构减少了信息传输量 II.使用总线的优点是数据信息和地址信号可以同时传送III.使用总线结构可以提高信息的传输速度IV.使用总线结构可以减少信息传输线的条数A、I、II、IIIB、II、III、IV  C、III、IV  D、IV D  D

## 3下列选项中，在I/O总线的数据线上传输的信息包括（）。I. I/O接口中的命令字  II. I/O接口中的状态字  III.中断类型号  A、仅I、II  B、仅I、III  C、II、III  D、I、II、III D  D

## 4下列关于USB总线特性的描述，不正确的是（  ）。A、可实现外设的即插即用和热插拔B、可通过级联方式连接多台外设C、可同时传输两位数据，数据传输率高D、是一种通信总线，可连接不同外设 C  C

## 5按数据传送格式，总线常被划分为（  ）。A、并行总线和串行总线  B、同步总线和异步总线C、系统总线与外部总线 D、存储总线与I/O总线 A  A

## 6控制总线主要用来传输（    ）。I.存储器和I/O设备的地址码          II.所有存储器和I/O设备的时序信号III.所有存储器和I/O设备的控制信号    IV.来自I/O设备和存储器的响应信号A、II、III  B、I、III、IV  C、III、IV  D、II、III、IV D  D

## 7设某系统总线在一个总线周期中并行传输4B信息，1个总线周期占用2个时钟周期，总线时钟频率为10MHZ，则总线带宽为（    ）。A、10MBps  B、20MBps  C、40MBps  D、80MBps B  B

## 8内部总线是指（   ）。A、CPU内部连接各寄存器及运算部件之间的总线B、CPU和计算机系统的其它高速部件之间的总线C、系统总线与外部总线多个计算机系统之间相互连接的总线D、计算机系统和其他系统之间相互连接的总线 A  A

## 9下列关于总线设计的描述中，不正确的是（  ）。A、并行总线传输比串行总线传输的速度快B、采用信号线复用技术可减少信号线的数量C、采用突发传输方式可提高总线数据传输率D、采用分离事务通信方式可提高总线的利用率 A  A

## 10下列关于多总线结构的叙述中，不正确的是（   ）。A、靠近CPU的总线速度较快B、存储器总线可支持突发传送方式C、总线之间需要通过桥接器相连D、PCI-Express×16采用并行传输方式 D  D

## 11下列选项的英文缩写中均为总线标准的是（  ）。A、PCI、CRT、USB、EISA  B、ISA、CPI、VESA、EISAC、ISA、SCSI、RAM、MIPS  D、ISA、EISA、PCI、PCI-Express D  D

## 12在一次总线事务中，主设备只需给出一个首地址，从设备就能从首地址开始的若干连续单元读出或写入多个数据，这种总线事务方式称为（）。A、并行传输  B、串行传输   C、突发传输  D、 同步传输 C  C

## 13总线宽度与（   ）有关。A、控制线的条数  B、数据线的条数 C、地址线的条数  D、以上都不对 B  B

## 14按照连接部件不同，总线可分为（  ）。A、数据总线、地址总线、控制总线  B、主存总线、I/O总线、DMA总线C、片内总线、系统总线、通信总线 D、ISA总线、VESA总线、PCI总线 C  C

## 15某总线系统共有88根信号线，其中数据总线32根，地址总线20根，控制总线36根，总线工作频率为66MHZ，则总线宽度为（   ）。A、32bit  B、 20bit  C、36bit  D、88bit A  A

## 16某总线系统共有88根信号线，其中数据总线32根，地址总线20根，控制总线36根，总线工作频率为66MHZ，则总线传输率为（）。A、132MBps  B、264MBps  C、 528MBps   D、1056MBps B  B

## 17在集中式总线控制中，响应时间最快的是（   ）。A、链式查询  B、计数器定时查询C、独立请求  D、分组链式查询 C  C

## 18下列关于总线仲裁的说法中，正确的是（  ）。I.独立请求方式响应时间最快，是以增加处理器开销和控制线的数量为代价II.计数器定时查询方式下，有一根总线请求线和一根设备地址线，若每次计数都从0开始，则设备号小的优先级较高III.链式查询方式对电路故障最敏感IV.分布式仲裁控制逻辑分散在总线各部件中，不需要中央仲裁器A、III、IV  B、I、III、IV  C、I、II、IV  D、II、III、IV   B  B

## 19在计数器定时查询方式下，正确的描述是（  ）。A、总线设备的优先级可变 B、越靠近控制器的设备，优先级越高C、各设备的优先级相等   D、对硬件电路故障敏感 A  A

## 20在链式查询方式下，若有N个设备，则（  ）。A、需要N条总线请求线 B、需要1条总线请求线C、视情况而定，可能一条，也可能N条D、以上说法都不对 B  B

## 一.单选题（共22题,10 ）

## 1SRAM芯片容量为16K×8位，该芯片的地址线和数据线数分别为（  ）。A、14、16 B、16、16  C、14、8D、16、8 C  C

## 2存储器是计算机系统中的记忆设备，它主要用来（  ）。A、存放数据B、存放程序C、存放数据和程序D、存放微程序 C  C

## 3和辅存相比，主存的特点是（  ）。A、容量小，速度快，成本高  B、容量小，速度快，成本低C、容量大，速度快，成本高D、容量大，速度慢，成本低 A  A

## 4设某存储芯片容量为16K\*32位，关于该芯片地址线和数据线的说法，正确的是（  ）。A、地址线为16根，数据线为32根B、地址线为32根，数据线为16根C、地址线为32根，数据线为32根D、地址线为14根，数据线为32根 D  D

## 5关于DRAM刷新的说法，正确的是（   ）。A、一次性地刷新全部存储单元  B、一次刷新一列  C、一次刷新一个存储单元 D、一次刷新一行   D  D

## 6需要（    ）4K×4位的SRAM芯片构成容量为16K×32位的存储器。A、64片B、32片C、16片D、8片 B  B

## 7若存储器的数据总线宽度为32位，存取周期为200ns，该存储器的带宽是（  ）。A、40MbpsB、80MbpsC、160MbpsD、320Mbps C  C

## 8某机器字长为32位，存储容量是64KB，按字编址其寻址范围是（  ）。A、64K字B、32K字C、16K字D、8K字 C  C

## 9某机器字长为32位，存储容量是16K字，按字节编址其寻址范围是（  ）。A、128KBB、64KBC、32KBD、16KB B  B

## 10某机器字长为32位，存储容量是16K字，按字节编址其寻址范围是（  ）。A、128KBB、64KBC、32KBD、16KB B  B

## 11下列存储器中，在工作期间需要周期性刷新的是（）。A、SRAMB、SDRAMC、ROM D、FlashMemory B  B

## 12下述说法中正确的是（  ）。I.半导体RAM信息可读写，且断电后仍能保持记忆II.动态RAM是易失性存储器,而静态RAM是非易失性存储器III.半导体RAM是易失性存储器，但只要电源不断电，所存信息就不会丢失IV.半导体RAM是非易失性存储器A、I、II B、III  C、 II、IV  D、都不对 D  D

## 13某计算机存储器按字节编址，主存地址空间为64MB，现用4K×8位的RAM芯片组成32MB的主存储器，则该计算机存储器地址寄存器MAR的位数为（  ）。A、23位B、24位 C、25位 D、26位 D  D

## 14某计算机主存容量为64KB，其中ROM区4KB，其余为RAM区，按字节编址，用2K×8位的ROM芯片和4K×4位的RAM芯片来设计该存储器，则分别需要上述规格的ROM和RAM芯片的数量为（  ）。A、1，15  B、2，15C、1，30  D、2，30 D  D

## 15下列关于FlashMemory的叙述中，不正确的是（   ）。A、信息可读、写，且读、写速度一样快B、存储元由MOS管组成，是一种半导体存储器C、断电后信息不丢失，是一种非易失性存储器D、采用随机访问方式，可替代计算机外部存储器 A  A

## 16下列关于RAM和ROM的叙述中，正确的是（   ）。I.RAM是易失性存储器，ROM是非易失性存储器II.RAM和ROM都采用随机存取方式进行信息访问III.RAM和ROM都可用作CacheIV.RAM和ROM都需要进行刷新A、I、II B、II、IV  C、I、II、III  D、II、III、IV   A  A

## 17下列各类存储器中，不采用随机存取方式的是（）。A、EPROM  B、CDROM  C、DRAM  D、SRAM B  B

## 18根据存储器内容来存取的存储器称为（  ）。A、双端口存储器 B、相联存储器C、交叉存储器  D、串行存储器 B  B

## 19某机器的主存储器共32KB，由16片16K\*1位（内部采用128\*128存储阵列）的DRAM芯片通过字和位同时扩展构成，若采用集中式刷新方式，且刷新周期为2ms，问所有存储单元全部刷新一遍需要（   ）个存储周期。提示：集中刷新时每个存储周期刷新1行A、256B、128C、1024 D、16384 B  B

## 20某SRAM芯片，容量为512\*8位，除电源和接地线外，该芯片引出线的最小数目为（）。A、23   B、25C、50D、19 D  D

## 21若某存储芯片有6条地址输入线，用单译码（即线选法）方式时译码输出线为（  ）；若用双译码（即重合法）方式时译码输出线为（   ）。A、64,32 B、64,16C、32,16  D、16,64 B  B

## 22某容量为256MB的存储器由若干个4M\*8位的DRAM芯片构成，该DRAM芯片的地址引脚和数据引脚的总数是（  ）。A、19B、22C、30D、36 A  C

## 单选题（共20题,10 ）

## 1在主存储器和CPU间增加cache的目的是（  ）。（ ）A、解决CPU和主存储器之间的速度匹配问题B、扩大CPU中通用寄存器的数量C、扩大主存储器的容量D、既扩大主存储器的容量又扩大CPU中通用寄存器的数量 A  A

## 2采用虚拟存储器的主要目的是（  ）。（ ）A、提高主存储器的存取速度 B、扩大主存的存储空间 C、 提高外存储器的存取速度D、扩大外存储器的存储空间 B  B

## 3关于cache的说法，不正确的是（  ）。（ ）A、采用cache结构的主要目的是解决主存与CPU速度不匹配问题B、采用cache结构可扩大主存储器的存储空间C、cache的内容只是主存中部分内容的副本D、采用cache结构的主要依据局部性原理 B  B

## 4局部性原理分为时间局部性和空间局部性，程序员是否编写出高速缓存友好的代码，取决于时间和空间的局部性，对下面的函数，说法正确的是（  ）。intsumVec（intv[N]）{     inti,sum=0;     for(i=0;i<N;i++){       sum=sum+v[i];       returnsum;}（ ）A、对于变量i和sum，循环体具有良好的时间局部性B、对于变量i、v[N]和sum，循环体具有良好的时间局部性C、对于变量i和sum，循环体具有良好的空间局部性D、对于变量i、v[N]和sum，循环体具有良好的空间局部性 A  A

## 5某C语言程序段如下： for(i=0;i<9;i++){   temp=1;   for(j=0；j<=i;j++)    temp=temp+a[j];    sum=sum+temp;}下列关于数组a的访问局部性的描述中，正确的是(  )。（ ）A、时间局部性和空间局部性皆无B、时间局部性和空间局部性皆有C、有时间局部性，无空间局部性D、无时间局部性，有空间局部性 B  B

## 6设某计算机主存容量为16MB，cache容量为8KB，每个字块8个字，每个字32位，采用四路组相联映射方式，设cache的初始状态为空，CPU依次从主存第0，1，2，....99号单元读出100个字（主存每次读出一个字），并重复该次序6次，命中率是（  ）。（ ）A、98.72%B、97.83%C、97.43%D、95.23% B  B

## 7设某计算机的存储系统由cache和主存组成，某程序执行过程中共访存1000次，其中访问cache未命中50次，则cache的命中率为（   ）。（ ）A、 50% B、5% C、95%D、9.5% C  C

## 8某计算机系统的存储系统由Cache\_主存系统构成，Cache的存储周期为10ns，主存的存储周期为50ns，在CPU执行一段程序时，Cache完成存取的次数为4800次，主存完成的存取次数为200次，该Cache\_主存系统的效率为（  ）。（ ）A、0.833B、0.862C、0.958D、0.856 B  B

## 9某计算机的Cache共有16块，采用两路组相联映射方式，每个主存块大小为32B，按字节编址，主存129号单元所在的主存块应装入到（  ）号Cache。设Cache的组号和主存的块号都从0开始编号。（ ）A、0B、2C、4D、6 C  C

## 10采用指令cache与数据cache分离的主要目的是（  ）。（ ）A、降低cache的缺失损失B、提高cache的命中率C、降低CPU平均访存时间 D、减少指令流水线资源冲突 D  D

## 11下列关于存储器的说法，正确的是（   ）。（ ）A、多体交叉存储器主要解决扩充容量问题B、cache与主存统一编址，cache的地址空间是主存地址空间的一部分C、cache的功能全部由硬件实现D、主存储器全部由易失性的随机读写存储器构成 C  C

## 12关于Cache的3种基本映射方式，下面的叙述不正确的是（）。（ ）A、Cache地址映射有全相联映射、直接地址映射、组相联地址映射B、直接映射是全相联映射和组相联映射的折衷方案，有利于提高命中率C、多路组相联映射是全相联映射和直接映射的折衷方案，有利于提高命中率D、全相联地址映射方式，主存单元与Cache单元随意对应，线路过于复杂，成本较高 B  B

## 13关于cache写操作中“写直达”法的描述，不正确的是（  ）。（ ）A、写操作时，数据既写入cache又写入主存B、cache块被替换出时不需要对主存执行写操作C、cache块被替换出时需要对主存执行写操作D、写直达法保证主存和cache的数据一致，但增加了访存次数 C  C

## 14关于cache写操作中“写回法”法的描述，不正确的是（  ）。（ ）A、写操作时，只把数据写入cache而不写入主存B、cache块被替换出时不需要对主存执行写操作C、cache块被替换出时需要对主存执行写操作D、对主存的写操作只发生在块替换时，可减少主存的写操作次数 B  B

## 15关于交叉存储器的说法，正确的是（  ）。（ ）A、交叉存储器实际上是一种模块化式存储器，能并行执行多个独立的读写操作B、交叉存储器实际上是一种模块化式存储器，能串行执行多个独立的读写操作C、交叉存储器实际上是一种整体式存储器，能并行执行一个独立的读写操作D、交叉存储器实际上是一种整体式存储器，能串行执行多个独立的读写操作 A  A

## 16计算机的存储器采用分级存储器体系的主要目的是（  ）。（ ）A、便于读写数据B、便于系统升级C、减少主机箱的体积D、解决存储容量、价格和存取速度之间的矛盾 D  D

## 17关于cache替换策略的说法，正确的是（   ）。（ ）A、随机替换的速度最快，先进先出FIFO算法的命中率最高B、先进先出FIFO算法的速度最快，近期最少使用LRU算法的命中率最高C、近期最少使用LRU算法的速度最快，随机替换的命中率最高D、随机替换的速度最快，近期最少使用LRU算法的命中率最高 D  D

## 18在cache地址映射中，每个主存字块只能固定映射到cache内的某一位置，这种地址映射方式称为（ ）。（ ）A、组相联映射B、直接联映射C、全相联映射D、混合映射 B  B

## 19关于cache地址映射的说法，不正确的是（  ）。（ ）A、3种地址映射方式中，直接映射所需的逻辑电路最多，硬件成本最高B、3种地址映射方式中，全相联映射方式的cache的利用率最高C、3种地址映射方式中，全相联映射所需的逻辑电路最多，硬件成本最高D、3种地址映射方式中，组相联映射是对直接映射和全相联映射的折中 A  A

## 20在cache地址映射中，若主存中的任一字块均可映射到cache内的任一位置，这种地址映射方式称为（ ）。（ ）A、全相联映射B、组相联映射C、混合映射D、直接映射 A  ：

## 一.单选题（共25题,10 ）

## 1某计算机字长8位（其中1位符号位），采用补码表示，则机器数所能表示的范围是（  ）。A、-127~+127B、-128~+128C、-127~+128D、-128~+127 D  D

## 2计算机中表示内存单元地址时，采用（  ）表示。A、原码B、反码C、补码D、无符号数 D  D

## 3下列说法正确的是（  ）。A、采用补码表示时，0有两种编码方式B、采用原码表示时，0有两种编码方式C、采用反码表示时，0只有1种编码方式D、采用移码表示时，0有两种编码方式 B  B

## 4设机器字长为16位，用定点补码小数表示时，一个字所能表示的范围是（   ）。A、 0~（1-2-15）B、-（1-2-15）~（1-2-15）C、-1~1D、-1~（1-2-15） D  D

## 5若x=103,y=-25,则下列表达式采用8位定点补码运算时，会发生溢出的是（  ）。A、x+yB、-x+yC、x-yD、-x-y C  C

## 6由3个“1”和5个“0”组成的8位二进制补码（1位符号位），能表示的最小整数是（ ）。A、-126B、-125C、-128D、-32 B  B

## 7由3个“1”和5个“0”组成的8位二进制补码（1位符号位），能表示的最大整数是（ ）。A、127B、126C、112D、7 C  C

## 8在定点机中执行算术运算时产生溢出的原因是（  ）。A、主存容量不够B、操作数地址过大C、运算结果无法表示D、发生栈溢出 C  C

## 9若浮点数用补码表示，则判断运算结果为规格化浮点数的方法是（ ）。A、阶码符号位与尾数的符号位相同，为规格化浮点数B、小数点后第一位为1，为规格化浮点数C、尾数符号位与小数点后第1位数字相异，为规格化浮点数D、尾数符号位与小数点后第1位数字相同，为规格化浮点数 C  C

## 10组成运算器需要多个部件，下面部件中（  ）不是组成运算器的部件。A、通用寄存器B、ALUC、数据总线D、地址寄存器 D  D

## 11在用（  ）表示的机器数中，零的表示是唯一的。 A、原码B、补码C、反码D、都不对 B  B

## 12在浮点数编码表示中，(   )在机器数中不出现，是隐含的。A、阶码B、符号C、基数D、尾数 C  C

## 13浮点数的表示范围由浮点数的（  ）部分决定。A、尾数B、阶码C、基数D、尾数和阶码 B  B

## 14浮点表示的精度由浮点数的(  )部分决定。A、阶码的位数B、尾数的位数C、阶码的符号位D、尾数的符号位 B  B

## 15在规格化浮点数表示中，保持其他方面不变，将阶码部分的移码表示改为补码表示，将会使数的表示范围( )。 A、不变B、减小C、增大D、都不对 A  A

## 16在双符号位判断溢出的方案中，出现正溢出时，双符号位应当为（  ）。A、00B、01C、10D、11 B  B

## 17下列选项中，描述浮点数操作速度指标的是（  ）。A、MIPSB、CPIC、MFLOPSD、SDRM C  C

## 18下列关于浮点数加减运算溢出判断的描述，不正确的是（  ）。A、由阶码的符号位可判断是否溢出B、阶码的补码为10，xxx...x时为下溢出C、阶码的补码为01，xxx...x时为上溢出D、当补码表示的阶码的双符号位为01时，不需要作溢出处理 D  D

## 19已知x=-0.1011,y=0.0101,[x+y]补的结果是（  ）。A、0.0110B、1.1010C、1.1001D、0.1010 B  B

## 20已知x=-1001,y=-0101,[x-y]补的结果是（   ）。A、1，0010B、1，1100C、1，1011D、1，0100 B  B

## 21设机器数字长24位，欲表示±30000的十进制数，问在保证最大精度前提下，除阶符、数符各取1位外，阶码取几位？A、4B、5C、6D、7 A  A

## 22下列关于补码定点加减法运算的溢出判断的描述，不正确的是（）。A、符号不同的两个定点数相减可能发生溢出B、符号相同的两个定点数相减肯定不会发生溢出C、符号相同的两个定点数相加肯定会发生溢出D、符号不同的两个定点数相加肯定不会发生溢出 C  C

## 23下列哪个选项不是浮点数加法的步骤？A、对阶，使两数的小数点位置对齐B、将对阶后的两个尾数按定点补码加法运算规则求和C、将对阶后的两个尾数按定点原码加法运算规则求和D、求和后的尾数按舍入规则规格化，并判断溢出 C  C

## 24下列关于IEEE754标准的说法，不正确的是（    ）。A、计算机中采用IEEE754标准存放浮点数，便于软件移植B、32位浮点数的阶码采用偏移值为127的移码表示，尾数用补码表示C、32位浮点数的阶码采用偏移值为127的移码表示，尾数用原码表示D、尾数采用隐藏整数位1的技术 B  B

## 25下列关于算术移位和逻辑移位的说法，不正确的是（  ）。A、有符号的移位称为算术移位，无符号数的移位称为逻辑移位B、逻辑左移时，高位移丢，低位补0；逻辑右移时，低位移丢，高位补0C、负数的补码算术左移时，高位移丢，低位补0；负数的补码算术右移时，低位移丢，高位补1D、正数的补码算术左移时，高位移丢，低位补0；正的补码算术右移时，低位移丢，高位补1 D  ：

## 一.单选题（共22题,8 ）

## 1下列寻址方式中，（  ）方式需要先计算，再访问主存。（ ）A、直接寻址B、立即寻址C、间接寻址D、相对寻址、变址寻址 D  D

## 2在通用计算机指令系统的二地址指令中，操作数的物理地址位置可安排在（  ）。I、一个主存单元和缓冲存储器II、两个数据寄存器III、一个主存单元和一个数据寄存器IV、一个数据寄存器和一个控制存储器V、一个主存单元和一个外存单元（ ）A、II、III、IVB、II、IIIC、I、II、IIID、I、II、III、IV B  B

## 3在各种寻址方式中，指令的地址码字段可能的情况有（  ）。I、寄存器编号II、设备端口地址III、存储器的单元地址IV、数值（ ）A、II、III、IV B、II、IIIC、I、II、IIID、I、II、III、IV  D  D

## 4用二地址指令来完成算术运算时，其结果一般存放在（  ）。（ ）A、其中一个地址码提供的地址中B、栈顶C、累加器ACC中D、以上都不对 A  A

## 5四地址指令OPA1A2A3A4的功能为（A1）OP(A2)→A3，且A4给出下一条指令地址，设A1A2A3A4都为主存地址，则完成上述指令需要访存（  ）。（ ）A、2B、3C、4D、5 C  C

## 6某机器采用16位单字长指令，采用定长操作码，地址码为5位，现已定义60条二地址指令，那么单地址指令最多有（ ）条。（ ）A、4B、32C、128D、256 A  A

## 7某机器采用16位单字长指令，采用不定长操作码，地址码为5位，现已定义60条二地址指令，那么单地址指令最多有（ ）条。（ ）A、4B、32C、128D、256 C  C

## 8某计算机主存空间为4GB，字长为32位，按字节编址，采用32位定长指令格式，若指令按字边界对齐存放，则程序计数器PC和指令寄存器IR的位数至少分别是（  ）。（ ）A、30、30B、30、32C、32、30D、32、32 B  B

## 9某计算机按字节编址，指令字长固定且只有两种指令格式，其中，三地址指令29条，二地址指令107条，每个地址字段为6位，则指令字长至少应该是（  ）。（ ）A、24B、26C、28D、32 A  A

## 10操作数的真实地址等于指令字中的形式地址的寻址方式称为（   ）。（ ）A、间接寻址B、直接寻址C、寄存器间接寻址D、寄存器寻址 B  B

## 11指令系统中采用不同寻址方式的主要目的是（  ）。（ ）A、实现存储程序和程序控制B、缩短指令长度，扩大寻址空间，提高编程灵活性C、可以直接访问辅助存储器 D、提供扩展操作码的可能并降低指令译码的难度 B  B

## 12操作数在指令字中地址码字段给定的寄存器中的寻址方式称为（   ）。（ ）A、直接寻址 B、寄存器间接寻址C、寄存器寻址D、变址寻址 C  C

## 13寄存器间接寻址中，操作数的有效地址在（  ）中。（ ）A、堆栈B、主存单元C、基址寄存器D、通用寄存器  D  D

## 14变址寻址方式中，操作数的有效地址是（  ）。（ ）A、基址寄存器内容加形式地址B、程序计数器内容加形式地址C、变址寄存器内容加形式地址D、有效地址加形式地址 C  C

## 15设机器字长为16位，存储器按字节编制，对于单字长指令而言，读取该指令后，程序计数器的值自动加（）。（ ）A、1B、2C、3D、4 B  B

## 16基址寻址方式中，操作数的有效地址是（ ）。（ ）A、有效地址加形式地址B、变址寄存器内容加形式地址C、基址寄存器内容加形式地址D、程序计数器PC的内容加形式地址 C  C

## 17设机器字长为16位，存储器按字编制，对于单字长指令而言，读取该指令后，程序计数器的值自动加（ ）。（ ）A、1B、2C、3D、4 A  A

## 18下列寻址方式中，最适合按下标顺序访问一维数组的是（  ）。（ ）A、相对寻址B、寄存器寻址C、直接寻址D、变址寻址 D  D

## 19下列关于各种寻址方式获取操作数快慢的说法中，正确的是（  ）。I、立即寻址快于堆栈寻址II、堆栈寻址快于寄存器寻址III、一次间接寻址快于变址寻址IV、变址寻址快于一次间接寻址（ ）A、I、IVB、II、IIIC、III、IVD、 I、III 、IV A  A

## 20下列关于RISC的描述，正确的是（  ）。I、支持的寻址方式更多II、大部分指令在一个机器周期完成III、通用寄存器的数量多IV、指令字长不固定（ ）A、I、IV B、II、IIIC、I、II、IIID、I、II、III、IV  B  B  3.6

## 分

## 21下列关于堆栈的说法，不正确的是（）。 （ ）A、计算机中的堆栈分为软堆栈和硬堆栈B、利用主存的部分空间作堆栈称为软堆栈C、利用寄存器组作堆栈称为软堆栈D、堆栈的运行方式分为先进后出和先进先出两种方式 C  C

## 22一地址指令中为了完成两个数的算术运算，除地址码指明的一个操作数外，另一个数常采用（  ）。（ ）A、间接寻址方式B、隐含寻址方式 C、堆栈寻址方式D、立即寻址方式 B  B   二.

## 填空题（共1题,2 ）1机器指令格式如下：IMG_256寻址特征位=00：直接寻址方式；          01：基址寻址方式；BR为基址寄存器          10：变址寻址方式；IX为变址寄存器          11：相对寻址方式设(PC)=1234H，（BR）=3456H，（IX）=5678H，问“”

## （1）若指令字为2880H，该指令操作数的有效地址EA为（  ）。

## 若指令字为6960H，该指令操作数的有效地址EA为（  ）。

## （3）若指令字为8628H，该指令操作数的有效地址EA为（  ）。

## （4）若指令字为C370H，该指令的有效地址为（   ） 第一空： 80H第二空： 34B6H第三空： 56A0H第四空： 12A4H一

## .单选题（共12题,10 ）1关于通用寄存器的说法，正确的是（  ）。A、可存放指令的寄存器B、可存放程序状态的寄存器C、本身具有计数逻辑和移位逻辑的寄存器D、课存放运算结果的寄存器 D  D

## 2下列寄存器中，反汇编语言程序员可见的寄存器是（  ）。A、MAR存储器地址寄存器B、MDR存储器数据寄存器C、IR指令寄存器D、PC程序计数器 D  D

## 3下列选项中不会引起指令流水线阻塞的是（   ）。A、数据相关B、资源冲突C、旁路技术D、条件转移 C  C

## 4指令寄存器IR中存放的是（  ）。A、正在执行的指令B、下一条要执行的指令C、已执行完的指令D、要转移的指令 A  A

## 5下列部件中不属控制器的部件是（  ）。A、指令寄存器B、指令译码器C、状态条件寄存器D、程序计数器 C  C

## 6在程序执行过程中，（  ）控制计算机的运行总是处于取指令、分析指令和执行指令的循环中。A、控制器B、运算器C、指令寄存器D、指令译码器 A  A

## 7取指周期结束后，程序计数器PC中存放的是（  ）。A、当前指令的地址B、下一条要执行的指令地址C、程序中指令的数量D、已经执行完的指令数量 B  B

## 8指令译码器对（  ）进行译码。A、整条指令B、指令的操作码字段C、指令的操作数D、指令的地址码字段 B  B

## 9设指令流水线分取指IF、译码ID、执行EX、回写WR共4个子部件，每个子部件的执行时间为∆t,连续执行12条指令共需（  ）。A、14∆tB、15∆tC、16∆tD、18∆t B  B

## 10设CPU的主频为1.03GHZ，采用4级指令流水线，每个流水段执行需要1个时钟周期，假定CPU执行了100条指令，在执行这100条指条指令期间没有发生流水线的阻塞，该流水线的吞吐率为（  ）。A、IMG_256条指令/秒B、IMG_257条指令/秒C、IMG_258条指令/秒D、IMG_259条指令/秒 C  C

## 11关于超标量流水线特性的说法，正确的是（）。A、能缩短流水线功能段的处理时间B、能在一个时钟周期内同时并发多条独立指令，结合动态调整技术提高指令执行的并行性C、与单条流水线相比，处理机中不需要增加硬件开销D、超标量计算机能重新安排指令的执行顺序 B  B

## 12某计算机的指令流水线由4个功能段组成，指令流经各功能端的时间分别为100ns、90ns、88ns和95ns，则该计算机的CPU时钟周期至少是（  ）。A、88nsB、90nsC、95nsD、100ns D  D

## 单选题（共15题,10 ）1CPU内部包含程序计数器PC、存储器数据寄存器MDR、存储器地址寄存器MAR和指令寄存器IR等，执行指令MOVR1,#100(将数值100传送到R1寄存器中)，CPU首先要完成的操作是（  ）。A、100→R1B、100→MDRC、PC→MARD、PC→IR C  C

## 2下列说法中，正确的是（   ）。A、加法指令的执行周期一定要访存B、加法指令的执行周期一定不需要访存C、指令的地址码给出存储器地址的加法指令，在执行周期一定要访存D、指令的地址码给出存储器地址的加法指令，在执行周期一定不需要访存 C  C

## 3下列说法中，正确的是（  ）。A、一条微指令放在控制存储器CM的一个单元中B、微指令计数器决定机器指令的执行顺序C、采用微程序控制器是为了提高指令的执行速度D、控制存储器CM采用高速的RAM电路组成 A  A

## 4下列关于主存储器MM和控制存储器CM的说法，不正确的是（  ）。A、MM在CPU外，CM在CPU内B、MM按地址访问，CM按内容访问C、MM存储指令和数据，CM存放微程序D、MM用RAM和ROM实现，CM用ROM实现 B  C

## 5组合逻辑控制器与微程序控制器的主要区别在于（   ）。A、ALU结构不同B、数据通路不同C、CPU寄存器组织不同D、微操作信号发生器的构成方法不同 D  D

## 6相对于微程序控制器，组合逻辑控制器的特点是（   ）。A、指令执行速度慢，易于修改和扩展指令的功能B、指令执行速度慢，修改和扩展指令的功能相对困难C、指令执行速度块，易于修改和扩展指令的功能D、指令执行速度块，但修改和扩展指令的功能相对困难 D  D

## 7微程序控制器中，机器指令与微指令的关系是（  ）。A、一条机器指令由一条微指令来执行B、一条机器指令由一段用微指令编写的微程序来执行C、用机器指令编写的一段程序可由一个微程序来执行D、一条微指令由一条机器指令来执行 B  B

## 8微程序控制器的速度比组合逻辑控制器慢的主要原因是（  ）。A、增加了从磁盘存储器读取微指令的时间B、增加了从主存储器读取微指令的时间C、增加了从指令寄存器IR读取微指令的时间D、增加了从控制存储器读取微指令的时间 D  D

## 9某计算机采用微程序控制器，共有32条机器指令，假设取指周期微程序、间址周期微程序及中段周期微程序分别包含2条微指令，各机器指令对应的微程序平均由4条微指令组成，采用下地址字段确定下条微指令的地址，则微指令中下地址字段的位数至少为（  ）。A、6B、7C、8D、9 C  C

## 10在微程序控制器中，微程序的入口地址通过（ ）获得。A、程序计数器PCB、上一条微指令C、指令操作码映射D、程序计数器PC加1 C  C

## 11微指令分为水平型微指令和垂直型微指令，下列选项中不属于水平型微指令特点的是（  ）。A、执行速度更快B、并行度较低C、更多地体现了控制器的硬件细节D、微指令的长度较长 B  B

## 12微指令操作控制字段的每一位代表一个控制信号，这种微指令的编码方式称为（  ）。A、字段直接编码B、字段间接编码C、混合编码D、直接编码 D  D

## 13关于微指令操作控制字段的编码方法，下面叙述正确的是（  ）。A、直接编码法、字段直接编码法、字段间接编码法对微指令的长度没有影响B、对于相同的微命令数，采用直接编码的微指令位数最多C、对于相同的微命令数，采用字段直接编码的微指令位数最多D、对于相同的微命令数，采用字段间接编码的微指令位数最多 B  B

## 14某计算机采用微程序控制方式，微指令字长为24位，采用水平型字段直接编码控制方式和下地址方式，共有微命令30个，构成4个互斥类，各包含5个、8个、14个和3个微命令，有3个外部条件，则该计算机控制存储器的容量为（  ）。A、128\*24位B、256\*24位C、512\*24位D、1024\*24位 C  B

## 15下列关于微操作的描述中，不正确的是（  ）。A、同一个CPU周期中，相斥性微操作可以并行执行B、同一个CPU周期中，相容性微操作可以并行执行C、不同的CPU周期中，相容性微操作可以串行执行D、不同的CPU周期中，相斥性微操作可以串行执行 A  A

## 单选题（共20题,10 ）1下列有关I/O接口的叙述中，不正确的是（  ）。A、采用统一编址方式时，CPU不能用访存指令访问I/O端口B、采用独立编址方式时，I/O端口地址和主存地址可能相同C、I/O接口中CPU可访问的寄存器称为I/O端口D、状态端口和控制端口可以合用同一个寄存器 A  A

## 2下列计算机与外部设备的数据传送方式中，依赖硬件的数据传送方式是（   ）。A、程序查询方式B、程序中断方式C、DMA方式D、以上都不是 C  C

## 3下列关于中断I/O方式和DMA方式比较的叙述中，不正确的是（  ）。A、中断I/O方式请求的是CPU处理时间，DMA方式请求的是总线使用权B、中断响应发生在一条指令执行结束后，DMA响应发生在一个总线事务完成后C、中断I/O方式下数据传送通过软件完成，DMA方式下数据传送由硬件完成D、中断I/O方式适用于所有外部设备，DMA方式仅适用于快速外部设备 D  D

## 4中断服务程序的最后一条指令是（  ）。A、开中断指令B、中断返回指令C、出栈指令D、转移指令 B  B

## 5计算机的外部设备指（   ）。 A、外存储器B、输入/输出设备C、输入/输出设备和外存储器 D、以上均不正确 C  C

## 6采用总线结构的计算机，各种外部设备均通过（  ）电路，才能连到系统总线上。A、算逻单元B、内存C、中断D、I/O接口 D  D

## 7中断响应发生的时间是在（    ）。A、一条指令执行开始B、一条指令执行结束C、一条指令执行的任何时刻D、一条指令周期的取指周期结束   B  B

## 8在独立编址的方式下，计算机靠（）区分存储单元和I/O设备。A、不同的地址码B、不同的地址线 C、不同的指令D、不同的数据线 C  C

## 9某设备中断请求的响应和处理时间为100ns，中断设备每400ns发出一次中断请求，中断响应所允许的最大延迟时间为50ns，则在该设备持续工作过程中，CPU用于该设备的I/O时间占整个CPU时间的百分比为（   ）。A、50%B、37.5%C、25%D、12.5% C  C

## 10下列选项中，不能产生中断请求的是（  ）。A、一条指令执行结束 B、机器内部发生故障 C、一次I/O操作结束D、一次DMA操作结束 A  A

## 11某计算机处理器主频为50MHZ，用定时查询方式控制设备A的I/O，查询程序运行一次所用的时间至少为500个时钟周期，在设备A工作期间，为保证数据不丢失，每秒需对其查询至少200次，则CPU用于设备A的I/O时间占整个CPU时间的百分比至少是（   ）。A、0.02%B、0.05%C、0.2%D、0.5% C  C

## 12下列选项中，能够引起外部中断的事件是（   ）。A、除数为零B、键盘输入C、浮点运算发生溢出D、访问存储器失败 B  B

## 13在具有中断向量表的计算机系统中，中断向量地址是（  ）。A、子程序入口地址B、例行程序入口地址C、中断服务程序入口地址D、中断服务程序入口地址的地址 D  C

## 14在单重中断系统中，中断服务程序的执行顺序是（   ）。I.保护现场 II.开中断  III.关中断  IV.保存断点  V.中断事件处理  VI.恢复现场  VII.中断返回A、III→I→V→VII B、I→V→VI→VI→II→VIIC、 III→IV→V→VI→VII D、IV→I→V→VI→VI   B  B

## 15中断屏蔽字的作用是（   ）。A、暂停CPU对主存的访问B、暂停外设对主存的访问C、暂停对所有中断源的处理D、暂停对某些中断源的处理 D  D

## 16在DMA传送方式中，发出DMA请求的是（  ）。A、外部设备B、CPUC、DMA控制器D、主存 A  A

## 17计算机系统中禁止中断的功能由（  ）完成。A、中断屏蔽触发器B、中断允许触发器C、中断触发器D、中断请求触发器 B  B

## 18某计算机有4级中断，优先级从高到低为：1→2→3→4。若将优先级顺序修改，修改后1级中断的中断屏蔽字为1011，2级中断的中断屏蔽字为1111，3级中断的中断屏蔽字为0011，4级中断的中断屏蔽字为0001，修改后的中断优先级顺序从高到低为（  ）。A、3→2→1→4B、1→3→4→2C、2→1→3→4D、2→3→1→4 C  C

## 19在DMA方式中，周期挪用是外部设备挪用或窃取总线占用权一个或多个（   ）。A、指令周期B、时钟周期C、总线周期D、主存周期 D  A

## 20下列（   ）不是中断隐指令完成的功能。A、关中断B、开中断C、保护程序断点D、寻找中断服务程序的入口地址 B  B一.单选题（共25题,10 ）

## 1某计算机字长8位（其中1位符号位），采用补码表示，则机器数所能表示的范围是（  ）。A、-127~+127B、-128~+128C、-127~+128D、-128~+127 D  D

## 2计算机中表示内存单元地址时，采用（  ）表示。A、原码B、反码C、补码D、无符号数 D  D

## 3下列说法正确的是（  ）。A、采用补码表示时，0有两种编码方式B、采用原码表示时，0有两种编码方式C、采用反码表示时，0只有1种编码方式D、采用移码表示时，0有两种编码方式 B  B

## 4设机器字长为16位，用定点补码小数表示时，一个字所能表示的范围是（   ）。A、 0~（1-2-15）B、-（1-2-15）~（1-2-15）C、-1~1D、-1~（1-2-15） D  D

## 5若x=103,y=-25,则下列表达式采用8位定点补码运算时，会发生溢出的是（  ）。A、x+yB、-x+yC、x-yD、-x-y C  C

## 6由3个“1”和5个“0”组成的8位二进制补码（1位符号位），能表示的最小整数是（ ）。A、-126B、-125C、-128D、-32 B  B

## 7由3个“1”和5个“0”组成的8位二进制补码（1位符号位），能表示的最大整数是（ ）。A、127B、126C、112D、7 C  C

## 8在定点机中执行算术运算时产生溢出的原因是（  ）。A、主存容量不够B、操作数地址过大C、运算结果无法表示D、发生栈溢出 C  C

## 9若浮点数用补码表示，则判断运算结果为规格化浮点数的方法是（ ）。A、阶码符号位与尾数的符号位相同，为规格化浮点数B、小数点后第一位为1，为规格化浮点数C、尾数符号位与小数点后第1位数字相异，为规格化浮点数D、尾数符号位与小数点后第1位数字相同，为规格化浮点数 C  C

## 10组成运算器需要多个部件，下面部件中（  ）不是组成运算器的部件。A、通用寄存器B、ALUC、数据总线D、地址寄存器 D  D

## 11在用（  ）表示的机器数中，零的表示是唯一的。 A、原码B、补码C、反码D、都不对 B  B

## 12在浮点数编码表示中，(   )在机器数中不出现，是隐含的。A、阶码B、符号C、基数D、尾数 C  C

## 13浮点数的表示范围由浮点数的（  ）部分决定。A、尾数B、阶码C、基数D、尾数和阶码 B

## 14浮点表示的精度由浮点数的(  )部分决定。A、阶码的位数B、尾数的位数C、阶码的符号位D、尾数的符号位 B  B

## 15在规格化浮点数表示中，保持其他方面不变，将阶码部分的移码表示改为补码表示，将会使数的表示范围( )。 A、不变B、减小C、增大D、都不对 A

## 16在双符号位判断溢出的方案中，出现正溢出时，双符号位应当为（  ）。A、00B、01C、10D、11 B

## 17下列选项中，描述浮点数操作速度指标的是（  ）。A、MIPSB、CPIC、MFLOPSD、SDRM C

## 18下列关于浮点数加减运算溢出判断的描述，不正确的是（  ）。A、由阶码的符号位可判断是否溢出B、阶码的补码为10，xxx...x时为下溢出C、阶码的补码为01，xxx...x时为上溢出D、当补码表示的阶码的双符号位为01时，不需要作溢出处理 D  D

## 19已知x=-0.1011,y=0.0101,[x+y]补的结果是（  ）。A、0.0110B、1.1010C、1.1001D、0.1010 B B

## 20已知x=-1001,y=-0101,[x-y]补的结果是（   ）。A、1，0010B、1，1100C、1，1011D、1，0100 B  B

## 21设机器数字长24位，欲表示±30000的十进制数，问在保证最大精度前提下，除阶符、数符各取1位外，阶码取几位？A、4B、5C、6D、7 A  A

## 22下列关于补码定点加减法运算的溢出判断的描述，不正确的是（）。A、符号不同的两个定点数相减可能发生溢出B、符号相同的两个定点数相减肯定不会发生溢出C、符号相同的两个定点数相加肯定会发生溢出D、符号不同的两个定点数相加肯定不会发生溢出 C  C

## 23下列哪个选项不是浮点数加法的步骤？A、对阶，使两数的小数点位置对齐B、将对阶后的两个尾数按定点补码加法运算规则求和C、将对阶后的两个尾数按定点原码加法运算规则求和D、求和后的尾数按舍入规则规格化，并判断溢出 C  C

## 24下列关于IEEE754标准的说法，不正确的是（    ）。A、计算机中采用IEEE754标准存放浮点数，便于软件移植B、32位浮点数的阶码采用偏移值为127的移码表示，尾数用补码表示C、32位浮点数的阶码采用偏移值为127的移码表示，尾数用原码表示D、尾数采用隐藏整数位1的技术 B  B

## 25下列关于算术移位和逻辑移位的说法，不正确的是（  ）。A、有符号的移位称为算术移位，无符号数的移位称为逻辑移位B、逻辑左移时，高位移丢，低位补0；逻辑右移时，低位移丢，高位补0C、负数的补码算术左移时，高位移丢，低位补0；负数的补码算术右移时，低位移丢，高位补1D、正数的补码算术左移时，高位移丢，低位补0；正的补码算术右移时，低位移丢，高位补1 D  D