

Computer Architecture Project2 Report

組別：羅密歐與傅立葉

組員：黃漢威、陳冠瑜、廖彥綸

分工：

黃漢威：部分dcache_top.v, debug, 部分CPU.v

陳冠瑜：部分dcache_top.v, debug, 部分CPU.v

廖彥綸：部分dcache_top.v, register 修改, debug, 部分CPU.v

實作方式：

IF/ID、ID/EX、EX/MEM、MEM/WB、PC:

增加stall時，stall為真時跳過cycle的執行。

dcache_top.v:

若p1_tag跟sram_tag相等，且cache中的valid bit = 1時，則為hit；否則為miss。
hit時，r_hit_data要取自cache，miss時則要取自memory。
讀/寫資料時，看offset的前3個bit來決定要讀/寫在cache line的哪個位置。

state:

- idle: 沒改
- miss:
if sram dirty, 需寫回:
write_back, mem_write, mem_enable=1, state=writeback
else: mem_enable設1, state=readmiss
- writeback:
memory的ack還沒到的時候，表示memory還沒寫完資料，故繼續停在writeback state；等ack訊號來了，表示寫入完成，將mem_write和write_back設回0。
- readmiss: spinlock等到mem讀寫完成後，mem_enable=1, cache寫入該筆資料，state=readmissok
- readmissok: cache_write_enable(cache_we)=0, state=idle。

CPU.v:

沿用上次project內容，新增dcache，以dcache代替原本的DataMemory。

問題：

- offset input是五bit但是事實上只需取3bit，而且一開始endian寫相反。

解法：發現後改對。這邊卡最久。

- 123會變成000。

解法：問助教，其實兩個都有可能。

- data memory state恆為xx。

解法：

```
initial begin
    state <= STATE_IDLE;
end
```

編譯環境：

Linux上的ncverilog