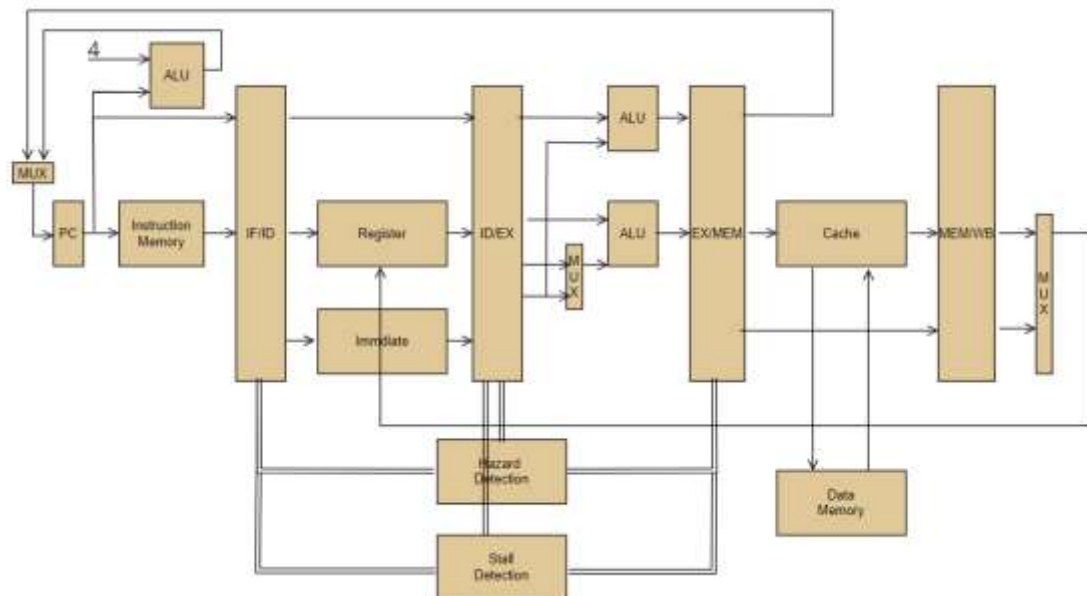


1. Block Diagram of CPU architecture



2. Data path of instructions not referred

a. JAL

和 BNE 類似，BNE 會檢查 alu 的輸出，但是 jal 不會。差別還有寫入 register，因為 jal 不用檢查要不要 jump，但 jal 需要寫入 register，所以 ALU 的輸出就直接是 PC+4。

b. JALR

和 JAL 相同，只是 jump 的標的是某個 register 的內容，因此只差在一個 MUX 而已。

c. AUIPC

只要把 PC 拉進 ALU 裡面進行加法就好，以及 immediate 的處理。不過我的 immediate 是先處理好再送進 ALU，所以在 ALU 裡面不需要處理 immediate。

d. ECALL

送一個結束的信號，結束之後任何信號就保持不動。

3. Handling of multi-cycle instructions

使用 finite state machine，有分成 single-cycle 的 state 和 multi-cycle 的 state。當程式在 multi-cycle 的狀態時，就不要繼續讀新的 instruction，也就是不要更新 PC 以及 IF/ID 等等，如上圖的 stall detection。

4. Observation

在使用比較多運算資源的程式，例如兩個遞迴算法裡面，因為 access 的記憶體數量較少，所以實作 cache 提升的速度並不明顯，但是在使用很多記憶體的程式，例如排序演算法，因為程式要一直 access 記憶體，所以實作 cache

會對程式執行速度有很顯著的提升。

5. Cache Architecture

- a. 使用 2KB Cache
- b. 一個 block 用 16bytes，總共 128bits，剛好和從 memory 來的資料相同。
- c. 總共有 16 個 blocks。
- d. 因為 test bench 是檢查最後 memory 的資料，因此如果使用 write back，等於在程式執行完之後又要將 cache 資料遍歷一遍寫進 memory，而且還要處理 read miss 的寫入，造成麻煩，因此我選擇使用 write through 的方式實作 cache。
- e. Width

由圖片可以看到最後的 total width 是 2453，小於 3000 的限制。

```
Inferred memory devices in process
in routine Cache line 1580 in file
'/home/raid7_2/userb10/b10058/ca/final/01_RTL/CHIP.v'.
=====
| Register Name | Type | Width | Bus | MB | AR | AS | SR | SS | ST |
=====
| out_mem_cen_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| out_mem_wen_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| state_r_reg | Flip-flop | 3 | Y | N | Y | N | N | N | N |
| sram_r_reg | Flip-flop | 2448 | Y | N | Y | N | N | N | N |
=====
```

6. Cache Improves time performance

| | Without cache | With cache | Speed-Up |
|----|---------------|------------|----------|
| I0 | 114 | 99 | 1.15 |
| I1 | 540 | 503 | 1.07 |
| I2 | 489 | 476 | 1.03 |
| I3 | 1726 | 1121 | 1.54 |

7. Cycle number of each instruction set

I0

```
=====
Success!
The test result is .....PASS :)
Total execution cycle : 99
=====
```

I1

```
=====
Success!
The test result is .....PASS :)
Total execution cycle : 503
=====
```

12

```
=====
Success!
The test result is .....PASS :)
Total execution cycle :                      476
=====
```

13

```
=====
Success!
The test result is .....PASS :)
Total execution cycle :                      1121
=====
```

8. Synthesizability

Inferred memory devices in process
in routine CHIP line 779 in file
'/home/raid7_2/userb10/b10058/ca/final/01_RTL/CHIP.v'.

| Register Name | Type | Width | Bus | MB | AR | AS | SR | SS | ST |
|-------------------|-----------|-------|-----|----|----|----|----|----|----|
| state_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| alu_valid_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| PC_reg | Flip-flop | 31 | Y | N | Y | N | N | N | N |
| PC_reg | Flip-flop | 1 | N | N | N | Y | N | N | N |
| id_rs1_r_reg | Flip-flop | 5 | Y | N | Y | N | N | N | N |
| id_rs2_r_reg | Flip-flop | 5 | Y | N | Y | N | N | N | N |
| id_rd_r_reg | Flip-flop | 5 | Y | N | Y | N | N | N | N |
| id_branch_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| id_memread_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| id_memtoreg_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| id_alu_op_r_reg | Flip-flop | 2 | Y | N | Y | N | N | N | N |
| id_memwrite_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| id_alu_src_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| id_regwrite_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| id_func3_r_reg | Flip-flop | 3 | Y | N | Y | N | N | N | N |
| id_func7_r_reg | Flip-flop | 7 | Y | N | Y | N | N | N | N |
| id_jump_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| id_jr_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| id_end_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| id_imm_r_reg | Flip-flop | 64 | Y | N | Y | N | N | N | N |
| ex_pc_cal_r_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N |
| ex_memread_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |

| | | | | | | | | | | |
|--------------------|-----------|----|---|---|---|---|---|---|---|---|
| ex_memtoreg_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| ex_memwrite_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| ex_regwrite_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| ex_rs1_r_reg | Flip-flop | 5 | Y | N | Y | N | N | N | N | N |
| ex_rd_r_reg | Flip-flop | 5 | Y | N | Y | N | N | N | N | N |
| ex_result_r_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N | N |
| ex_branch_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| ex_reg_rs1_r_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N | N |
| ex_reg_rs2_r_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N | N |
| ex_imm_r_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N | N |
| ex_end_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| ex_jump_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| ex_jr_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| mem_rs1_r_reg | Flip-flop | 5 | Y | N | Y | N | N | N | N | N |
| mem_rd_r_reg | Flip-flop | 5 | Y | N | Y | N | N | N | N | N |
| mem_result_r_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N | N |
| mem_memtoreg_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| mem_regwrite_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| mem_memread_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| mem_memwrite_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| mem_reg_rs1_r_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N | N |
| mem_reg_rs2_r_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N | N |
| mem_imm_r_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N | N |
| mem_jump_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| mem_jr_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| wb_rdata_r_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N | N |
| wb_regwrite_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |
| wb_rd_r_reg | Flip-flop | 5 | Y | N | Y | N | N | N | N | N |
| finish_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N | N |

Inferred memory devices in process
in routine Reg_file line 950 in file
'/home/raid7_2/userb10/b10058/ca/final/01_RTL/CHIP.v'.

| Register Name | Type | Width | Bus | MB | AR | AS | SR | SS | ST |
|---------------|-----------|-------|-----|----|----|----|----|----|----|
| mem_reg | Flip-flop | 995 | Y | N | Y | N | N | N | N |
| mem_reg | Flip-flop | 29 | Y | N | N | Y | N | N | N |

Statistics for MUX_OPs

| block name/line | Inputs | Outputs | # sel inputs |
|-----------------|--------|---------|--------------|
| Reg_file/906 | 32 | 32 | 5 |
| Reg_file/907 | 32 | 32 | 5 |

Statistics for case statements in always block at line 1035 in file
'/home/raid7_2/userb10/b10058/ca/final/01_RTL/CHIP.v'

| Line | full/ parallel |
|------|----------------|
| 1036 | auto/auto |

Statistics for case statements in always block at line 1072 in file
'/home/raid7_2/userb10/b10058/ca/final/01_RTL/CHIP.v'

| Line | full/ parallel |
|------|----------------|
| 1073 | auto/auto |
| 1080 | auto/auto |
| 1137 | auto/auto |

Statistics for case statements in always block at line 1202 in file
'/home/raid7_2/userb10/b10058/ca/final/01_RTL/CHIP.v'

| Line | full/ parallel |
|------|----------------|
| 1203 | auto/auto |

Inferred memory devices in process
in routine MULDIV_unit line 1222 in file
'/home/raid7_2/userb10/b10058/ca/final/01_RTL/CHIP.v'.

| Register Name | Type | Width | Bus | MB | AR | AS | SR | SS | ST |
|---------------|-----------|-------|-----|----|----|----|----|----|----|
| sum_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N |
| minus_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N |
| out_r_reg | Flip-flop | 64 | Y | N | Y | N | N | N | N |
| done_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| state_reg | Flip-flop | 2 | Y | N | Y | N | N | N | N |
| operand_a_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N |
| operand_b_reg | Flip-flop | 32 | Y | N | Y | N | N | N | N |
| inst_reg | Flip-flop | 3 | Y | N | Y | N | N | N | N |
| counter_r_reg | Flip-flop | 16 | Y | N | Y | N | N | N | N |
| alu_r_reg | Flip-flop | 64 | Y | N | Y | N | N | N | N |

Statistics for case statements in always block at line 1413 in file
'/home/raid7_2/userb10/b10058/ca/final/01_RTL/CHIP.v'

| Line | full/ parallel |
|------|----------------|
| 1414 | auto/auto |

Inferred memory devices in process
in routine Cache line 1580 in file
'/home/raid7_2/userb10/b10058/ca/final/01_RTL/CHIP.v'.

| Register Name | Type | Width | Bus | MB | AR | AS | SR | SS | ST |
|-------------------|-----------|-------|-----|----|----|----|----|----|----|
| out_mem_cen_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| out_mem_wen_r_reg | Flip-flop | 1 | N | N | Y | N | N | N | N |
| state_r_reg | Flip-flop | 3 | Y | N | Y | N | N | N | N |
| sram_r_reg | Flip-flop | 2448 | Y | N | Y | N | N | N | N |

Statistics for MUX_0Ps

| block name/line | Inputs | Outputs | # sel inputs |
|-----------------|--------|---------|--------------|
| Cache/1340 | 16 | 128 | 4 |
| Cache/1424 | 16 | 25 | 4 |

Presto compilation completed successfully.