Bitácora del proyecto 1

Jeremy Serracin Oporta Sebastián Manyusly Chen Cerdas

Fundamentos de Arquitectura de Computadores Instituto Tecnológico de Costa Rica

13 de septiembre de 2024

1. 20/08/2024

Se hizo una reunión presencial para realizar un análisis exhaustivo del proyecto. En esta reunión no hubo avance con ninguna herramienta ya que solo se discutió como íbamos a abordar el proyecto, con lo que se determino que se utilizaría Excel para la creación de las Tablas de Verdad y el procesamiento de varios datos, además se acordó buscar herramientas para simplificar ecuaciones booleanas de gran tamaño y herramientas para obtener circuitos lógicos equivalentes a partir de estas.

$2. \quad 23/08/2024$

Se hizo una reunión virtual para crear las tablas de verdad del decodificador 1 utilizando Excel para trabajar en conjunto y automatizar procesos a la hora de crear el resultado del álgebra booleana. Se genero tablas de verdad para el Decodificador 1. Este se dividió en 2 circuitos, el primero transforma la entrada de los dedos(4 bits) a su forma binaria restándole 1, esto para que se pueda trabajar con 2 bits de salida. Estos 2 bits los toma el acumulador como input y los procesa junto a los datos de almacenados del estado actual, para dar el resultado requerido, que es básicamente sumar la entrada con lo almacenado. Finalmente se obtuvo una formula a partir de la suma de productos y esta se simplifico usando una herramienta de simplificación.

| Dedos a binario | | | | | | | | | | | |
|-----------------|---|-----|----|-----|--------|-----|--------|-----|---|-----|--------|
| T_1 | V | T_2 | ~] | T_3 | \vee | T_4 | \vee | Y_1 | V | Y_0 | \vee |
| | 1 | | 0 | | 0 | | 0 | | 0 | | 0 |
| | 1 | | 1 | | 0 | | 0 | | 0 | | 1 |
| | 1 | | 1 | | 1 | | 0 | | 1 | | 0 |
| | 1 | | 1 | | 1 | | 1 | | 1 | | 1 |

Figura 1. 4 a 2 bits.

| | | | | Acumulador | | | | |
|-----|---------------|-----|----|------------|-----|---|-------|---|
| | Current State | | | Input Next | | | State | |
| Y_2 | Y_1 | Y-0 | L1 | L0 | ٧'_ | | Y'_0 | |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 |
| | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1 |
| | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 0 |
| | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |
| | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 |
| | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |

Figura 2. Tabla de verdad del acumulador con 2 bits de entrada.

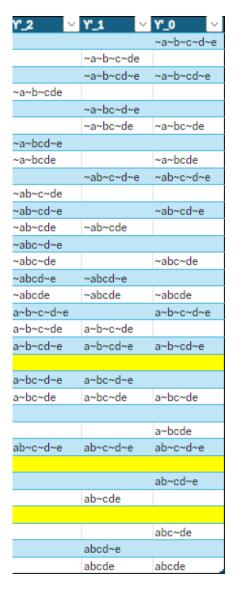


Figura 3. suma de productos para las salidas del acumulador.

Figura 4. expresión algebraica para la salida y0 con su simplificación.

Figura 5. expresión algebraica para la salida y1 con su simplificación.

Figura 6. expresión algebraica para la salida y2 con su simplificación.

$3. \quad 25/08/2024$

De forma individual Jeremy corrigió las tablas ya que se disminuyo la cantidad de bits del acumulador de 3 a 2, por lo que se debían de calcular las nuevas ecuaciones booleanas además de su simplificación. Se siguió el mismo proceso que en día 23/08/2024, pero ahora con 2 bits de acumulador, además se calculo la ecuación y su simplificación de cada una de sus salidas.

| Dedos a binario | | | | | | | | |
|-----------------|--------------|--------------|-------|----------|-----|---|--|--|
| T_1 | ▼ T_2 | ▼ T_3 | ▼ T_4 | V | Y_1 | 4 | | |
| | 1 | 0 | 0 | 0 | 0 | 0 | | |
| | 1 | 1 | 0 | 0 | 0 | 1 | | |
| | 1 | 1 | 1 | 0 | 1 | 0 | | |
| | 1 | 1 | 1 | 1 | 1 | 1 | | |

Figura 7. Tabla de verdad de 4 dedos a 2 bits.

$$\left(A\cdot B\cdot \overline{C}\cdot \overline{D}\right) + \left(A\cdot B\cdot C\cdot D\right) = A\cdot B\cdot \left(C+\overline{D}\right)\cdot \left(D+\overline{C}\right)$$

Figura 8. Y_0 de 4 dedos a 2 bits.

$$(A \cdot B \cdot C \cdot \overline{D}) + (A \cdot B \cdot C \cdot D) = A \cdot B \cdot C$$

Figura 9. Y_1 de 4 dedos a 2 bits.

| Acumulador | | | | | | | | |
|---------------|-----|---|------------|-----|------------|------|--|--|
| Current State | | | Ing | out | Next State | | | |
| Y_1 | Y_0 | | <u>[</u> 1 | I_0 | Y'_1 | Y'_0 | | |
| | 0 | 0 | 0 | 0 | 0 | 1 | | |
| | 0 | 0 | 0 | 1 | 1 | 0 | | |
| | 0 | 0 | 1 | 0 | 1 | 1 | | |
| | 0 | 0 | 1 | 1 | 0 | 0 | | |
| | 0 | 1 | 0 | 0 | 1 | 0 | | |
| | 0 | 1 | 0 | 1 | 1 | 1 | | |
| | 0 | 1 | 1 | 0 | 0 | 0 | | |
| | 0 | 1 | 1 | 1 | 0 | 1 | | |
| | 1 | 0 | 0 | 0 | 1 | 1 | | |
| | 1 | 0 | 0 | 1 | 0 | 0 | | |
| | 1 | 0 | 1 | 0 | 0 | 1 | | |
| | 1 | 0 | 1 | 1 | 1 | 0 | | |
| | 1 | 1 | 0 | 0 | 0 | 0 | | |
| | 1 | 1 | 0 | 1 | 0 | 1 | | |
| | 1 | 1 | 1 | 0 | 1 | 0 | | |
| | 1 | 1 | 1 | 1 | 1 | 1 | | |

Figura 10. Tabla de verdad del acumulador.

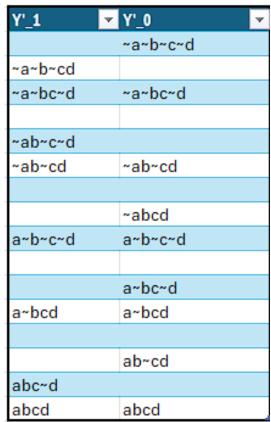


Figura 11. Suma de productos de cada salida del Acumulador.

$$\begin{array}{l} \left(\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}\right) + \left(\overline{A} \cdot \overline{B} \cdot C \cdot \overline{D}\right) + \left(\overline{A} \cdot B \cdot \overline{C} \cdot D\right) + \left(\overline{A} \cdot B \cdot C \cdot D\right) + \\ \left(A \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}\right) + \left(A \cdot \overline{B} \cdot C \cdot \overline{D}\right) + \left(A \cdot B \cdot \overline{C} \cdot D\right) + \left(A \cdot B \cdot C \cdot D\right) = \\ \left(B \cdot D\right) + \left(\overline{B} \cdot \overline{D}\right) \end{array}$$

Figura 12. Y_0 de Acumulador.

$$\begin{array}{l} \left(\overline{A} \cdot \overline{B} \cdot \overline{C} \cdot D\right) + \left(\overline{A} \cdot \overline{B} \cdot C \cdot \overline{D}\right) + \left(\overline{A} \cdot B \cdot \overline{C} \cdot \overline{D}\right) + \left(\overline{A} \cdot B \cdot \overline{C} \cdot D\right) + \\ \left(A \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}\right) + \left(A \cdot \overline{B} \cdot C \cdot D\right) + \left(A \cdot B \cdot C \cdot \overline{D}\right) + \left(A \cdot B \cdot C \cdot D\right) = \\ \left(A \cdot B \cdot C\right) + \left(A \cdot C \cdot D\right) + \left(B \cdot \overline{A} \cdot \overline{C}\right) + \left(D \cdot \overline{A} \cdot \overline{C}\right) + \left(A \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}\right) + \\ \left(C \cdot \overline{A} \cdot \overline{B} \cdot \overline{D}\right) \end{array}$$

Figura 13. Y_1 de Acumulador.

$4. \quad 27/08/2024$

Se realizo una reunión virtual para usar la herramienta Quartus para la creación de los módulos utilizados para este proyecto, ya que este genera un circuitos con las compuertas lógicas optimizadas.

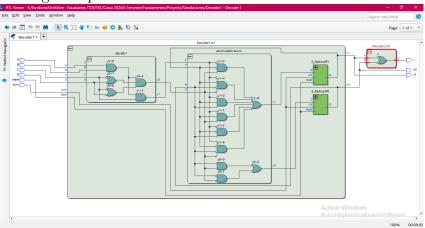


Figura 14. Circuito generado con Quartus.

5. 28/08/2024

Se realizo una reunión virtual para usar la herramienta Crocodile Clips para la comprobación del circuito generado el 27/08/2024, se utilizo Crocodile Clips ya que posee todos los componentes requeridos para este circuito, además de permitir el uso de botones que funcionan como inputs lógicos, lo cual nos permitió revisar el funcionamiento del circuito.

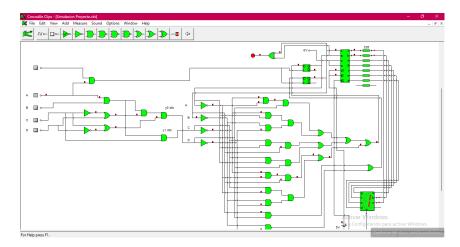


Figura 15. Simulación con Crocodile Clips.

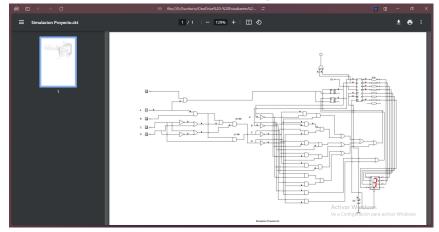


Figura 16. PDF con circuito completo generado por Crocodile Clips.

6. 2/09/2024

El lunes 2 de setiembre el equipo se reunió para montar el circuito simulado en las protoboards, se inició con el circuito que convierte de 4 inputs a 2 inputs, utilizando una compuerta AND, una compuerta OR y un inversor, seguidamente se montó el circuito decodificador 1, a partir de 4 compuertas AND y 2 compuertas OR.

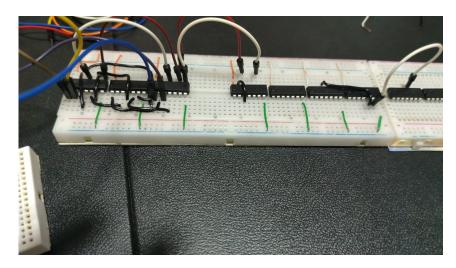


Figura 17. conversor de 4 a 2 bits.

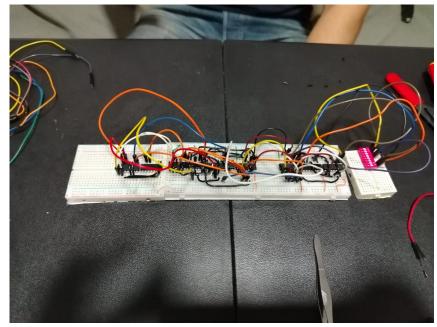


Figura 18. Foto del circuito completo con DTB y decodificador1.

7. 5/09/2024

El jueves 5 de setiembre es la revisión del taller que se evalúa el decodificador 1 junto al BCD y 7 segmentos, se hicieron los últimos ajustes el dia anterior y se llevó funcional a la revisión.

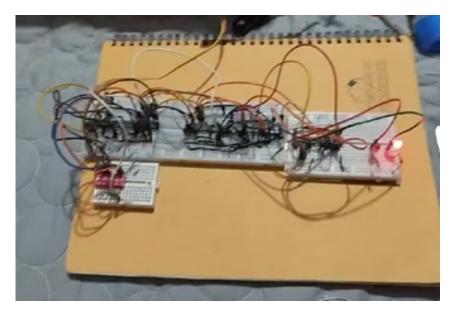


Figura 19. Circuito para la revisión del taller.

8. 10/09/2024

Se completo el ensamblaje del decodificador 2 y los fotosensores para la calculadora tomográfica y se confirmo el funcionamiento individual de cada uno de estos apartados.

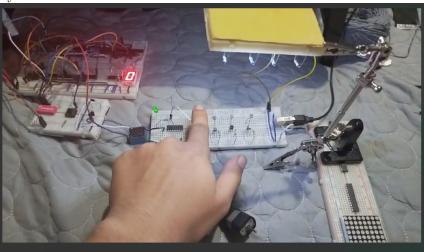


Figura 20. fotosensores y decodificador 2.

9. 11/09/2024

se dieron los ultimos ajustes al proyecto despues de implementar todos los modulos del mismo, al incluir los fotosensores, el desacople, el decodificador 1 y decodificador 2 se puede dar por concluido el proyecto de forma funcional.

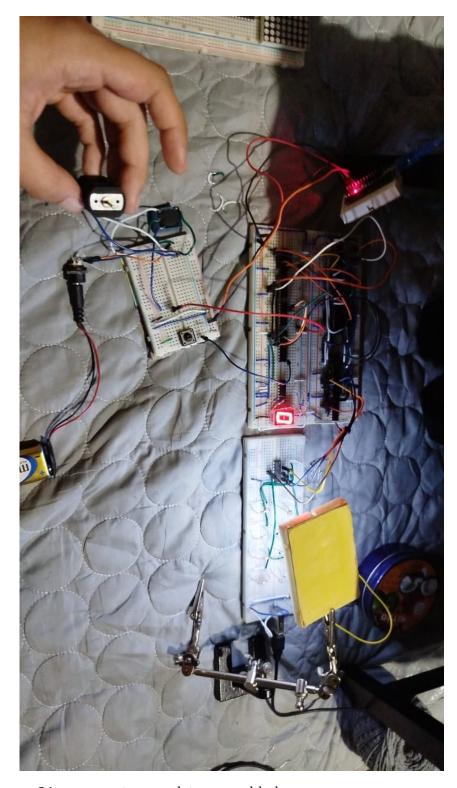


Figura 21. proyecto completo ensamblado.