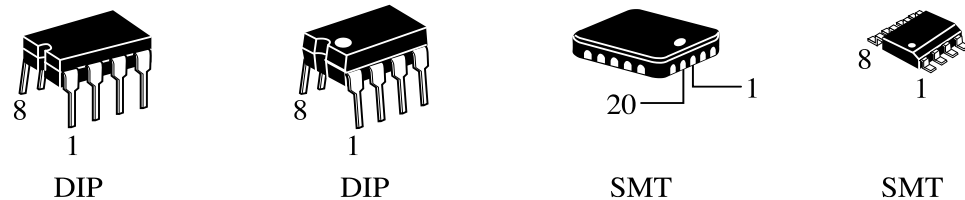
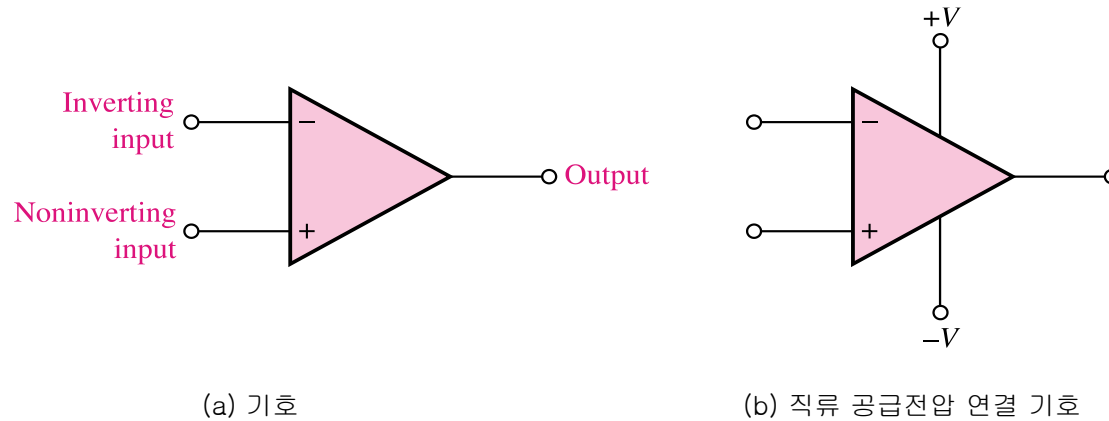


# 演算 増幅器



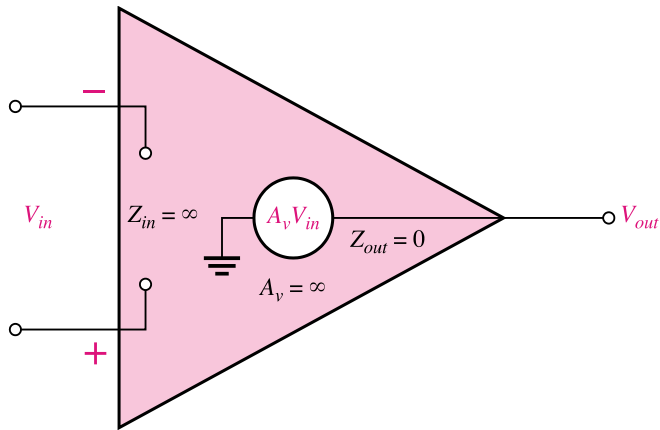
## 記號와 端子(Symbol & Terminals)



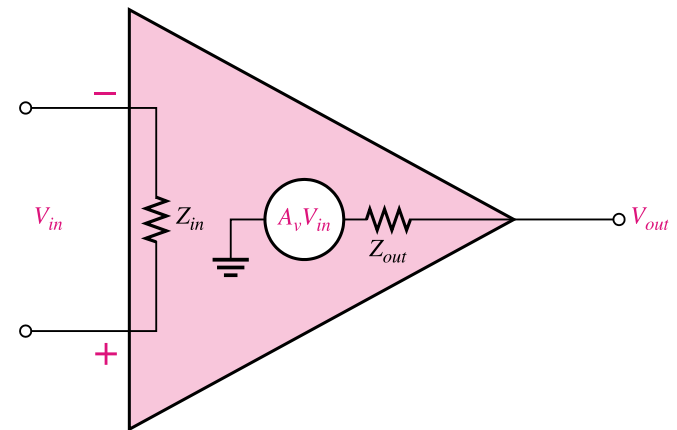
(c) 전형적인 패키지(package), 그림과 같이 DIP(dual in-line) 패키지나 SMT(surface-mount technology) 패키지의 1번 핀은 점(dot)이나 V자 홈(notch)으로 표시된다.

연산 증폭기의 기호와 패키지

## 이상적인 연산 증폭기



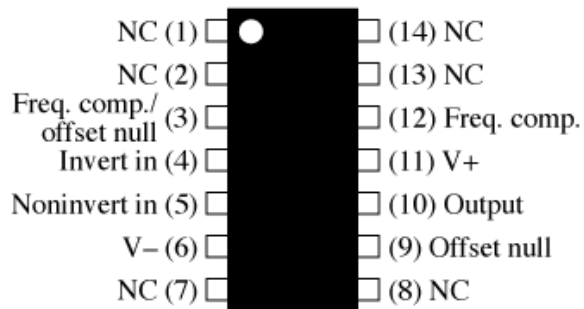
(a) 이상적인 연산 증폭기 표현



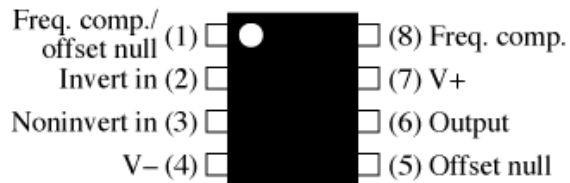
(b) 실제 연산 증폭기 표현

## 기본적인 연산 증폭기 표현

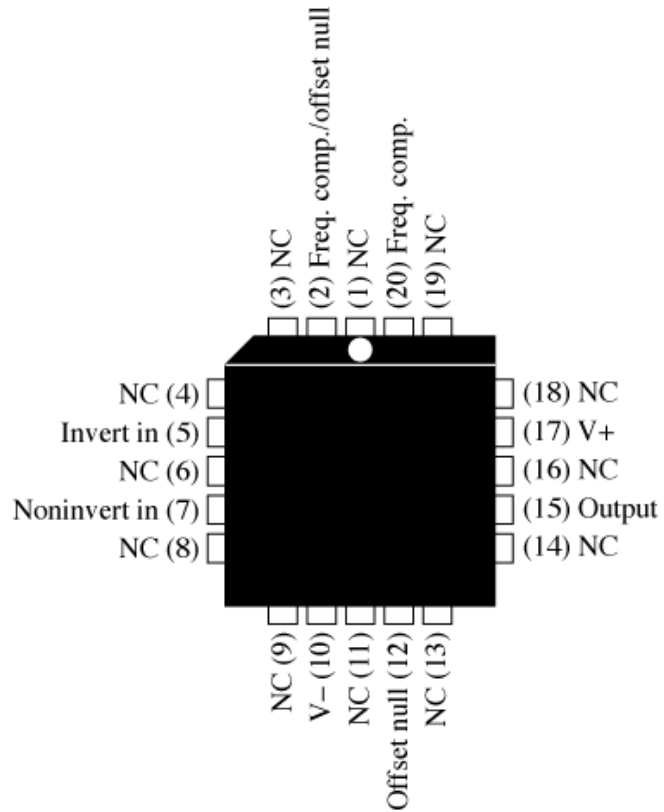
## 실제 연산 증폭기



(a) 14-pin DIP (top view)

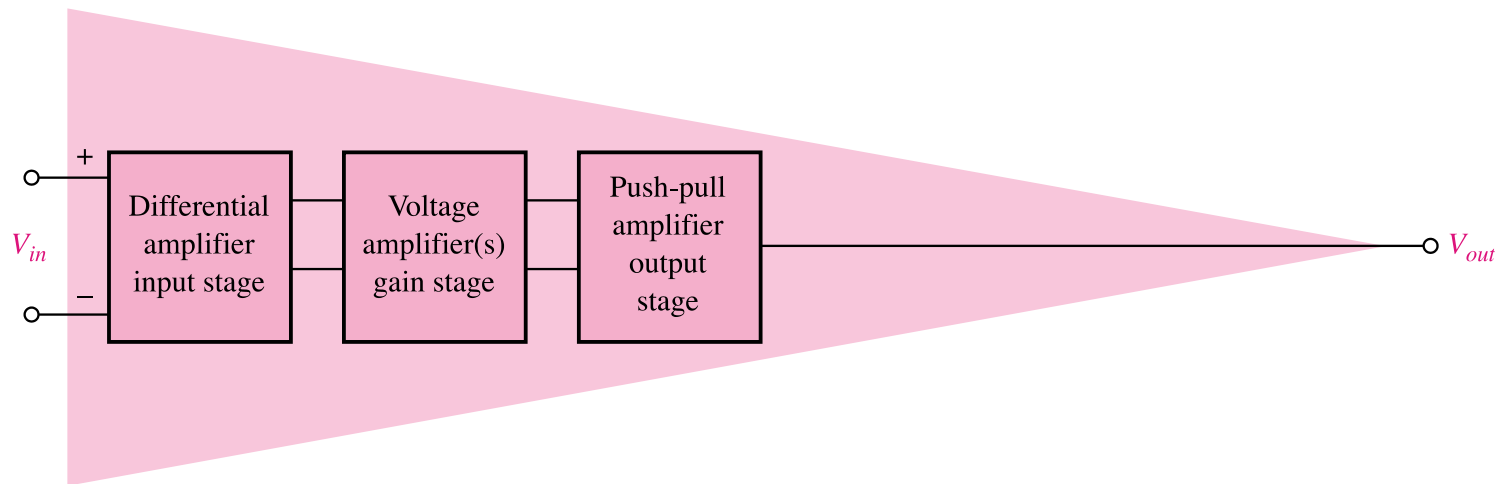


(b) 8-pin DIP or SMT (top view)



(c) Surface-mount chip carrier (top view)

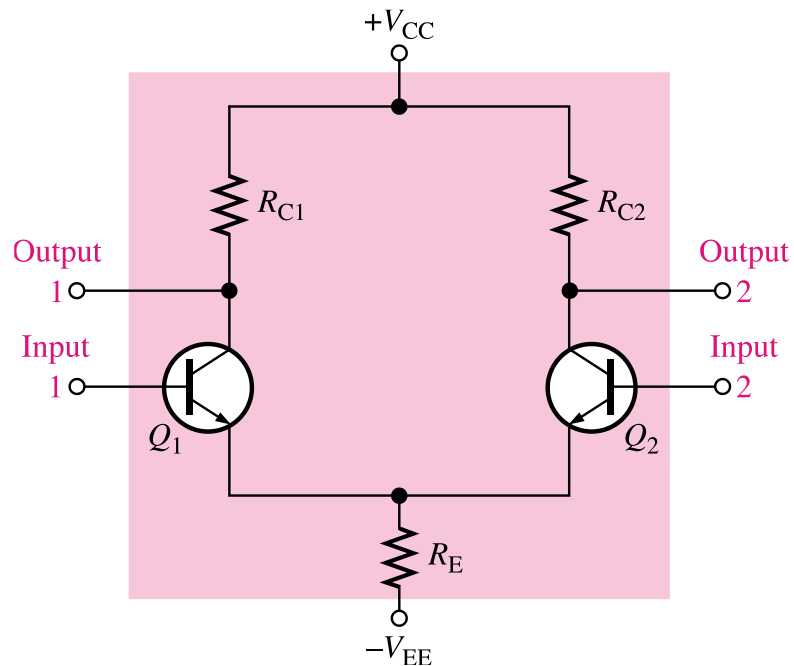
## 연산 증폭기의 내부 블록도



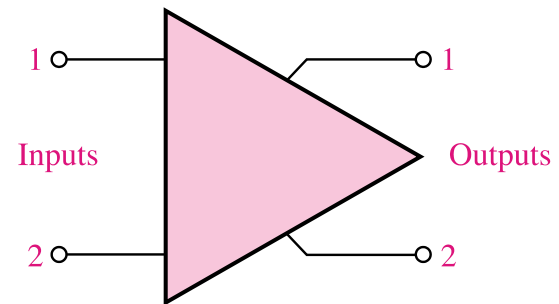
[연산 증폭기의 Data Sheet](#)

연산 증폭기의 기본적인 내부 배열

# 차동 증폭기 입력단



(a) 회로  $Q_{B2}$   $Q_{B1}$

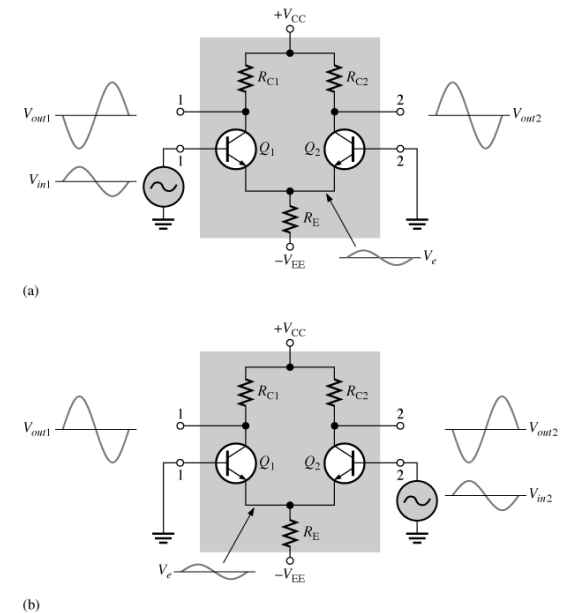
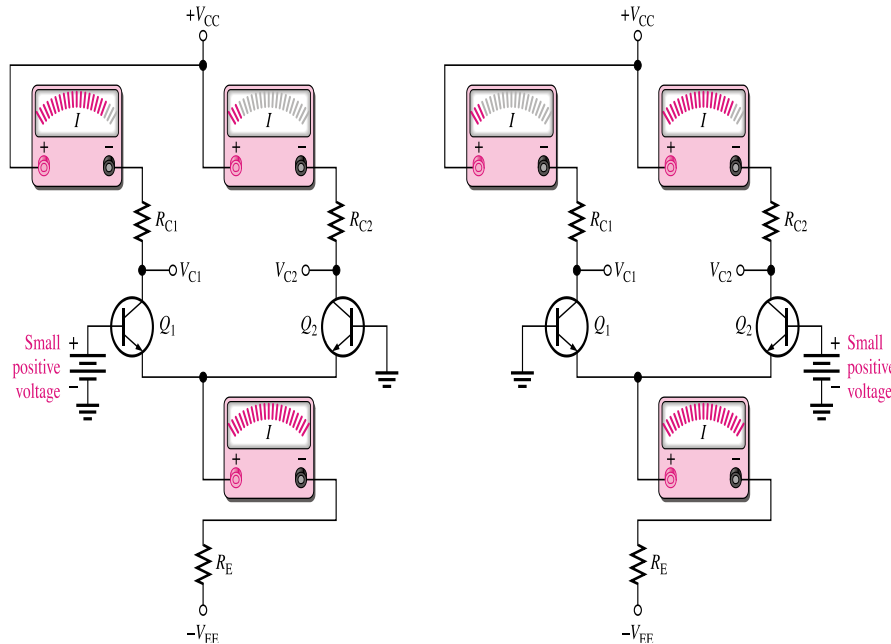


(b) 기호

기본적인 차동 증폭기

# 차동 증폭기 입력단

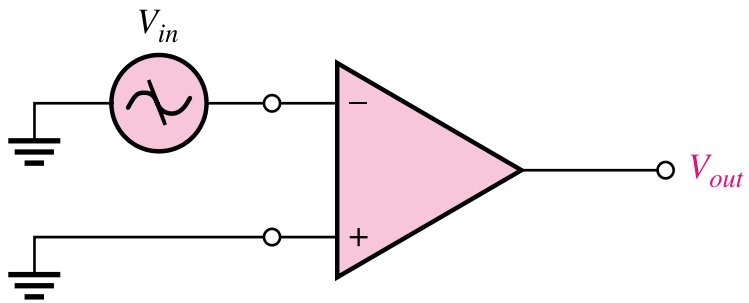
차동 증폭기의 기본 동작. 양쪽 베이스중 어느 한쪽에 작은(+) 전압이 가해질 때 전류에 따른 효과를 보여주고 있다.



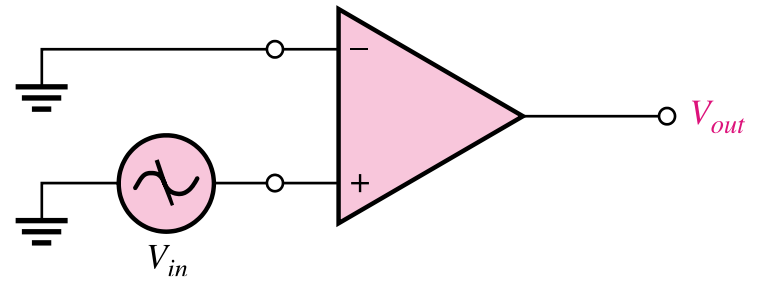
(a)  $Q_{B2}$ 가 접지에 연결되었을 때  $Q_{B1}$ 에 작은 (+)전압이 가해짐

(b)  $Q_{B1}$ 이 접지에 연결되었을 때  $Q_{B2}$ 에 작은 (+)전압이 가해짐

## 입력신호 방식



(a)

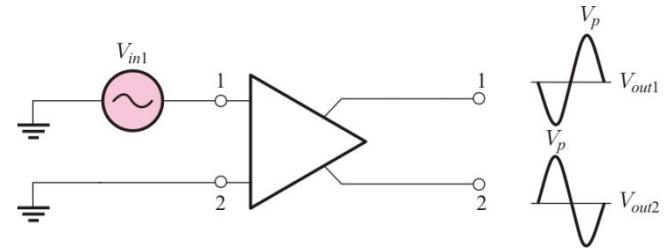
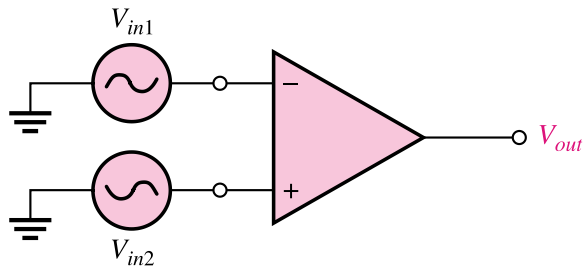


(b)

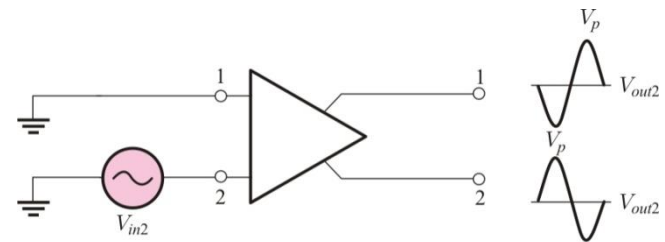
차동 증폭기의 단일입력 방식 동작



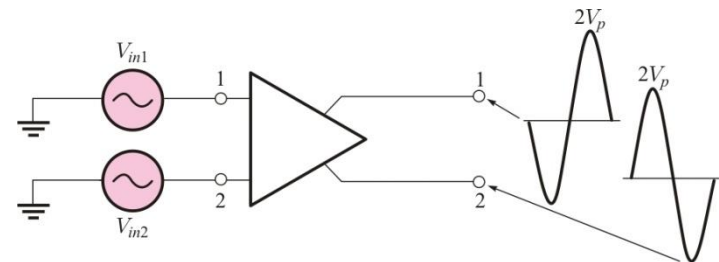
## 입력신호 방식



(b)  $V_{in1}$ 에 의한 출력



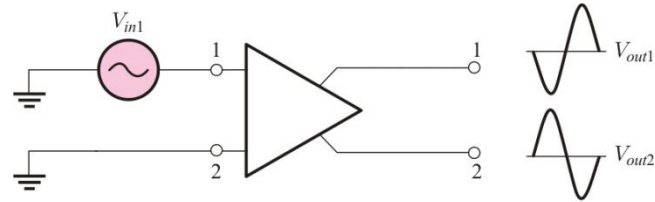
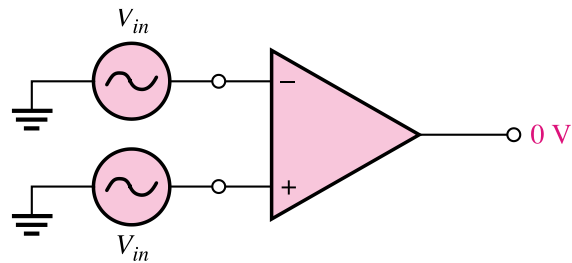
(c)  $V_{in2}$ 에 의한 출력



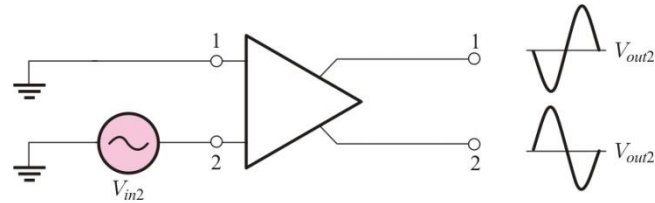
(d) 차동입력에 의한 전체 출력

## 차동 증폭기의 차동 동작

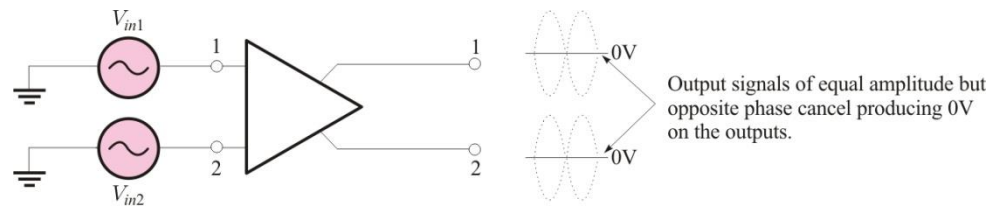
## 입력신호 방식



(b)  $V_{in1}$ 에 의한 출력



(c)  $V_{in2}$ 에 의한 출력



Output signals of equal amplitude but opposite phase cancel producing  $0\text{V}$  on the outputs.

(d) 동상신호가 인가될 때 출력은 상쇄된다

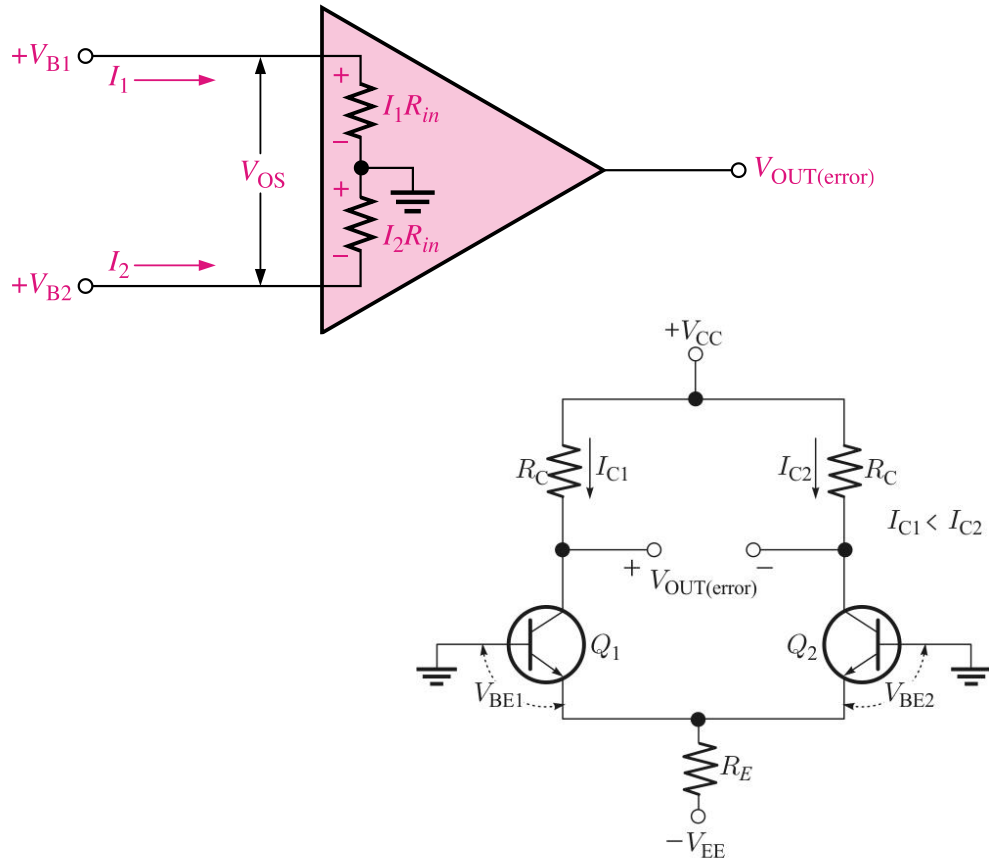
## 동상 방식 동작

동상신호 제거비(CMRR : Common Mode Rejection Ratio)

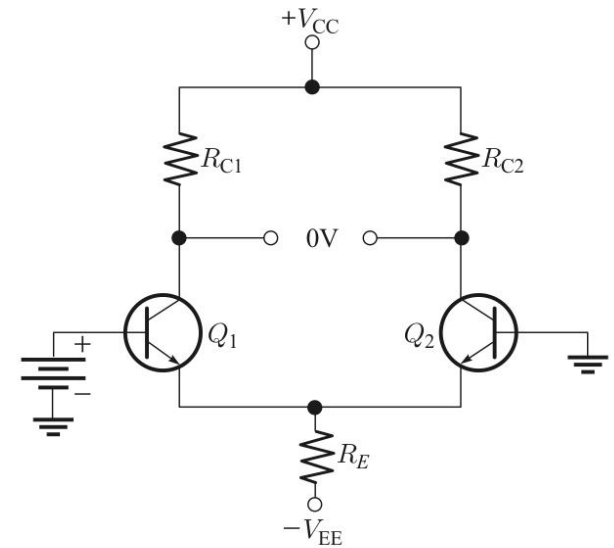
$$CMRR = \frac{A_{ol}}{A_{cm}}$$

$$CMRR = 20 \log \left( \frac{A_{ol}}{A_{cm}} \right)$$

## 입력 오프셋 전압

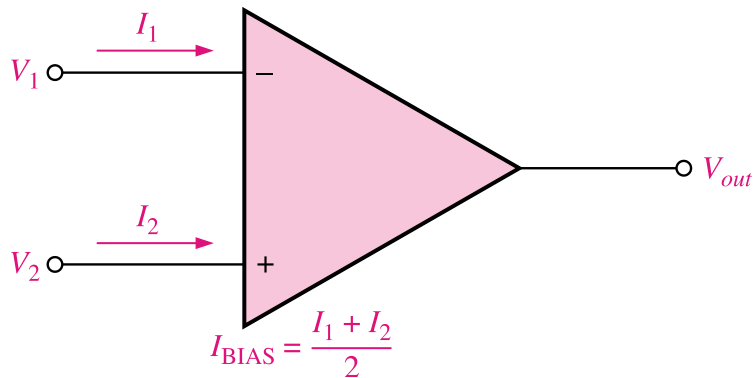


(a) 서로 다른  $V_{BE}$  ( $V_{BE1} > V_{BE2}$ )가 약간의 출력 오차전압 발생



(a) 입력 오프셋 전압은 두 입력단자 사이의 전압차로서 출력오차전압을 제거하는데 필요( $V_{OUT}=0$ 으로 만듦)

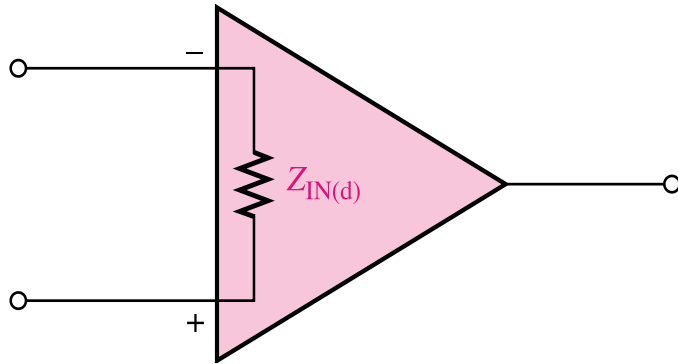
# 입력 바이어스 전류



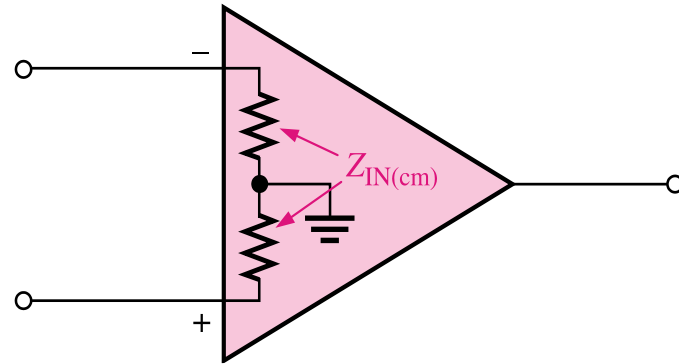
$$I_{BIAS} = \frac{I_1 + I_2}{2}$$

입력 바이어스 전류는 연산 증폭기 두 입력전류의 평균값이다.

## 입력 임피던스



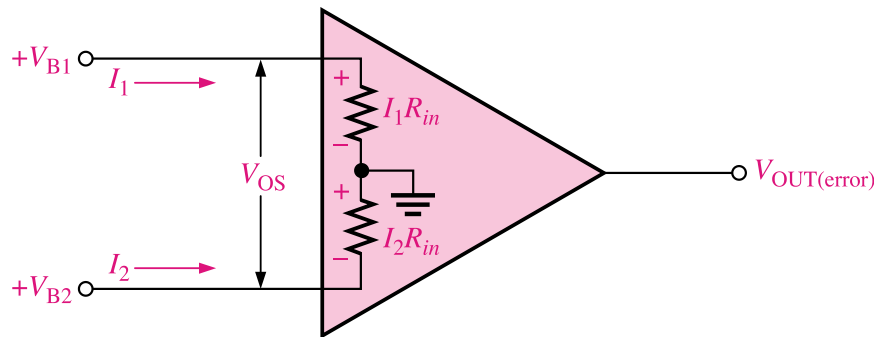
(a) 차동입력 임피던스



(b) 동상입력 임피던스

## 연산 증폭기의 입력 임피던스

## 입력 오프셋 전류



$$I_{OS} = |I_1 - I_2|$$

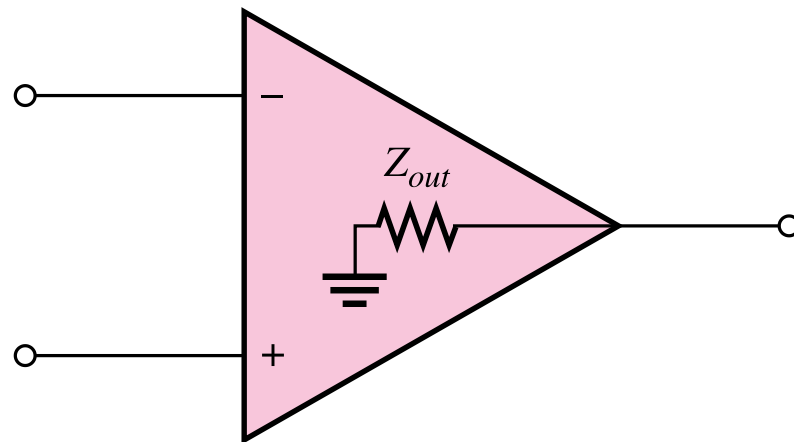
$$V_{OS} = I_1 R_{in} - I_2 R_{in} = (I_1 - I_2) R_{in}$$

$$V_{OS} = I_{OS} R_{in}$$

$$V_{OUT(error)} = A_v I_{OS} R_{in}$$

입력 오프셋 전류의 영향

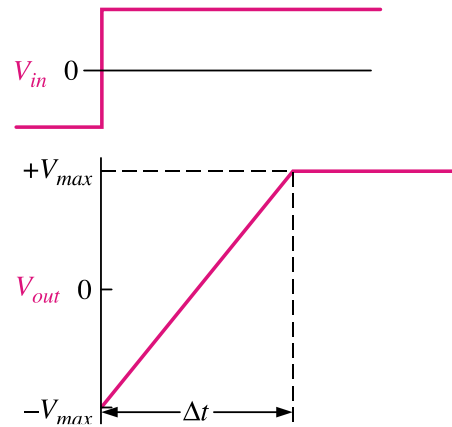
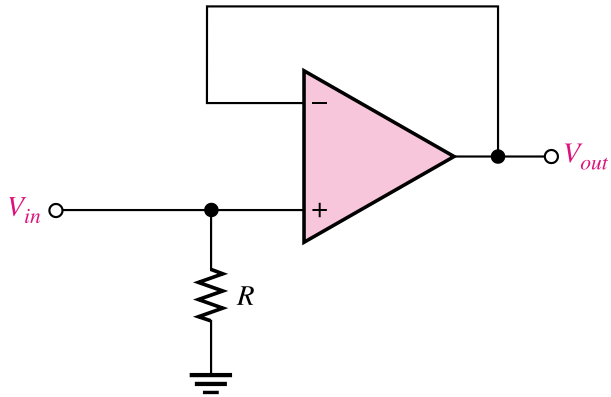
## 출력 임피던스



연산 증폭기의 출력 임피던스



## 슬루율

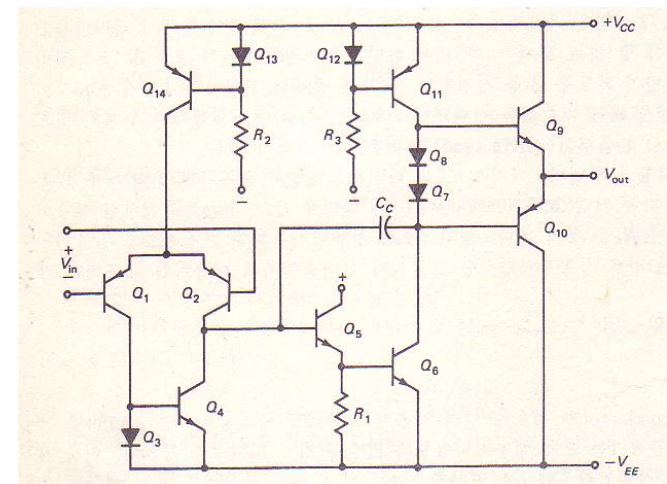


$$Slewrate = \frac{\Delta V_{out}}{\Delta t}$$

슬루율 측정

## 演算 増幅器의 파라미터 比較

	Op-Amp Type			
파라미터	741C	LM101A	LM108	LM218
입력 오프셋 전압	1mV	1mV	0.7mV	2mV
입력 바이어스 전류	80nA	120nA	0.8nA	120nA
입력 오프셋 전류	20nA	40nA	0.05nA	6nA
입력 임피던스	2M $\Omega$	800k $\Omega$	70M $\Omega$	3M $\Omega$
출력 임피던스	75 $\Omega$	-	-	-
개방 루프 이득	200,000	160,000	300,000	200,000
슬루율	0.5V/ $\mu$ s	-	-	70V/ $\mu$ s
CMRR	90dB	90dB	100dB	100dB

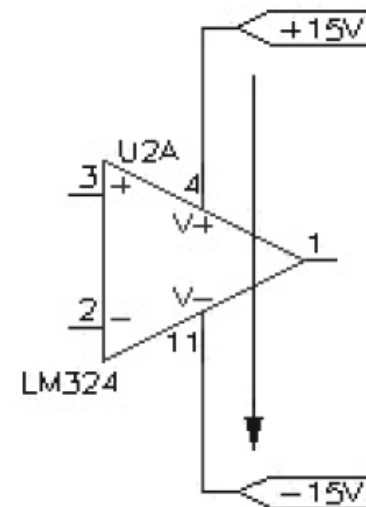


# OP-AMP의 정소비전력 P(idle)

## OP-AMP의 정소비전력 P(idle)

OP-AMP 회로에 바이어스만 인가한 상태, 즉 특별한 회로동작을 하지 않는 상태에서의 소비되는 전력을 정소비전력 P(idle)라 한다.

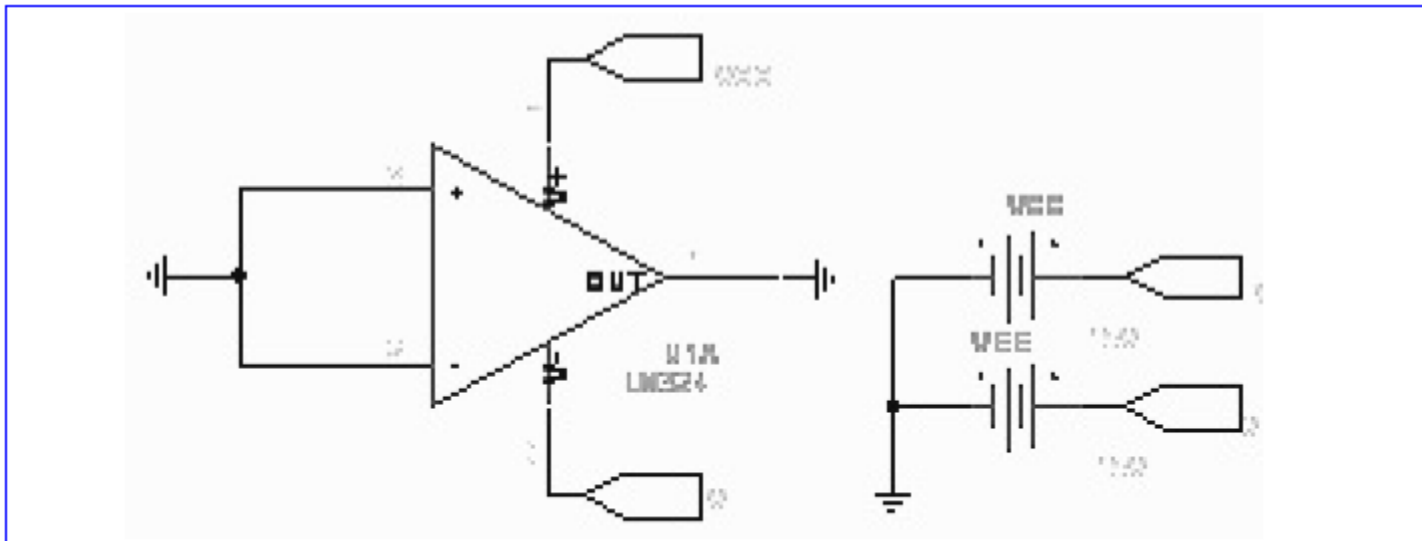
$$P(\text{idle}) = V_{\text{supply}} \times I_{\text{supply}}$$



# OP-AMP의 정소비전력 $P(\text{idle})$

## 실험회로

### ■ 회로해석

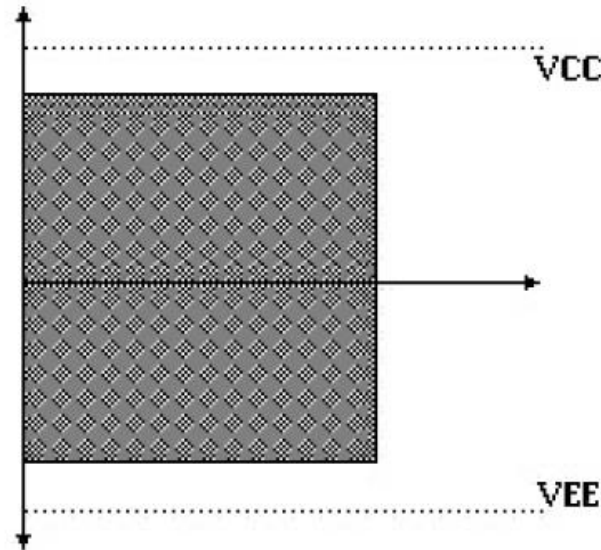


# OP-AMP의 출력전압특성

## OP-AMP의 출력전압특성

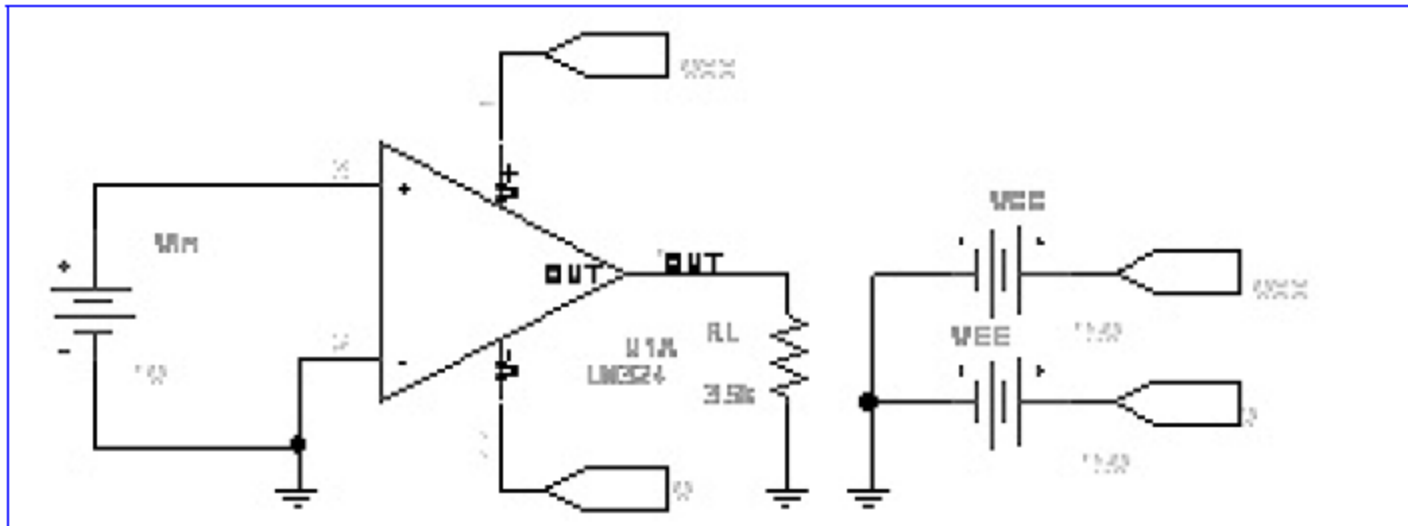
OP-AMP의 최대 출력전압은 인가하는 전압만큼 되지 못하고 조금 낮은 전압이 되며 그 차는 약 1V 내외 정도가 된다.

즉, 우측의 형태처럼 OP-AMP의 최대 SWING 전압은 인가하는 바이어스전압 내에 존재하



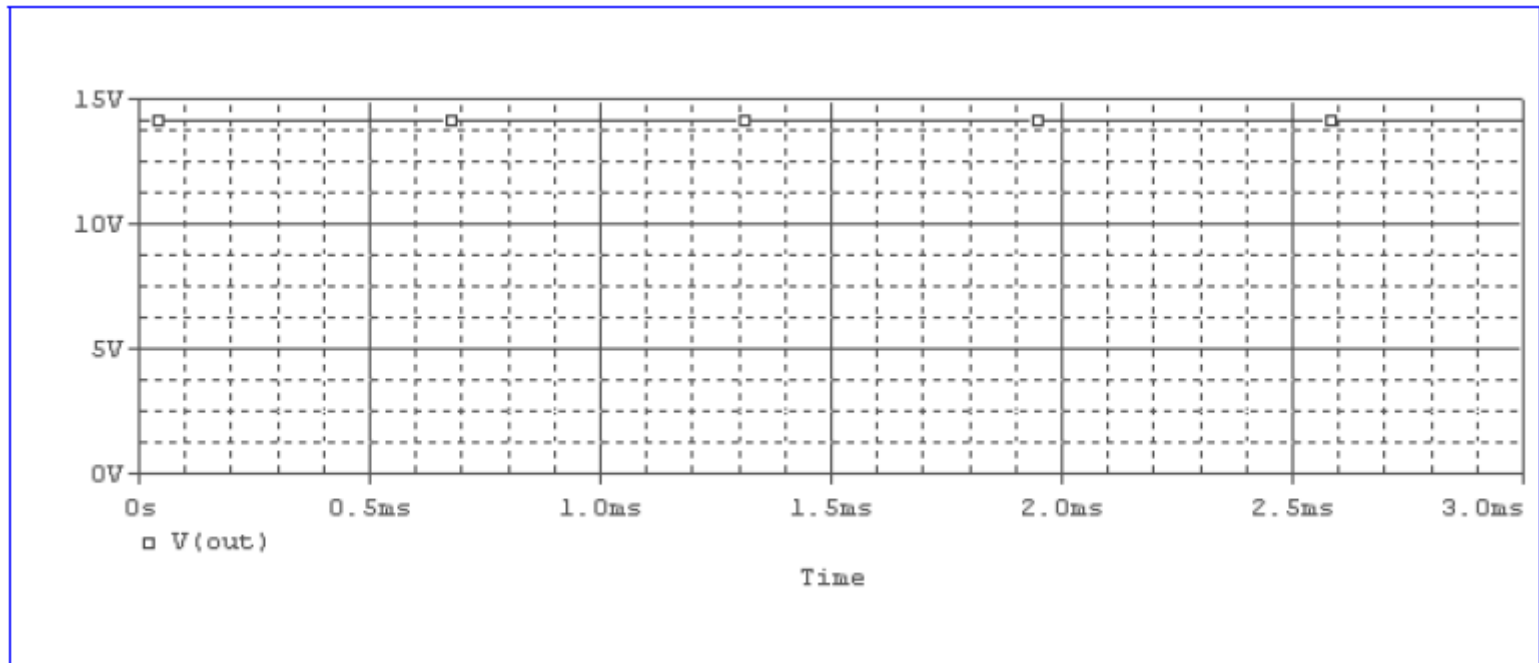
# OP-AMP의 출력전압특성

실험회로



# OP-AMP의 출력전압특성

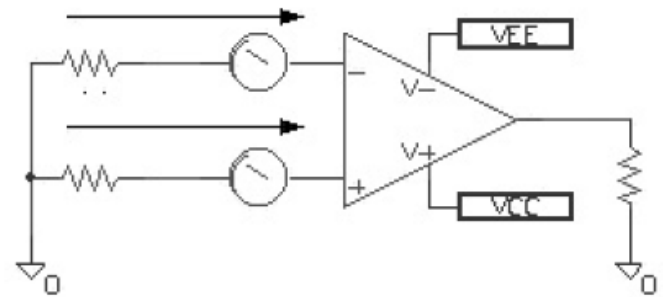
## ■ 시뮬레이션 결과



# OP-AMP의 입력측 바이어스 전류

## OP-AMP의 입력측 바이어스 전류

OP-AMP는 이상적으로는 입력단으로 흐르는 전류는 0이나 실제로는 미세한 전류, 즉 베이스 바이어스용 전류가 흐른다. 통상 입력단이 트랜지스터인 경우는 수십 nA 정도 흐르며 FET인 경우는 수 pA 정도이다.

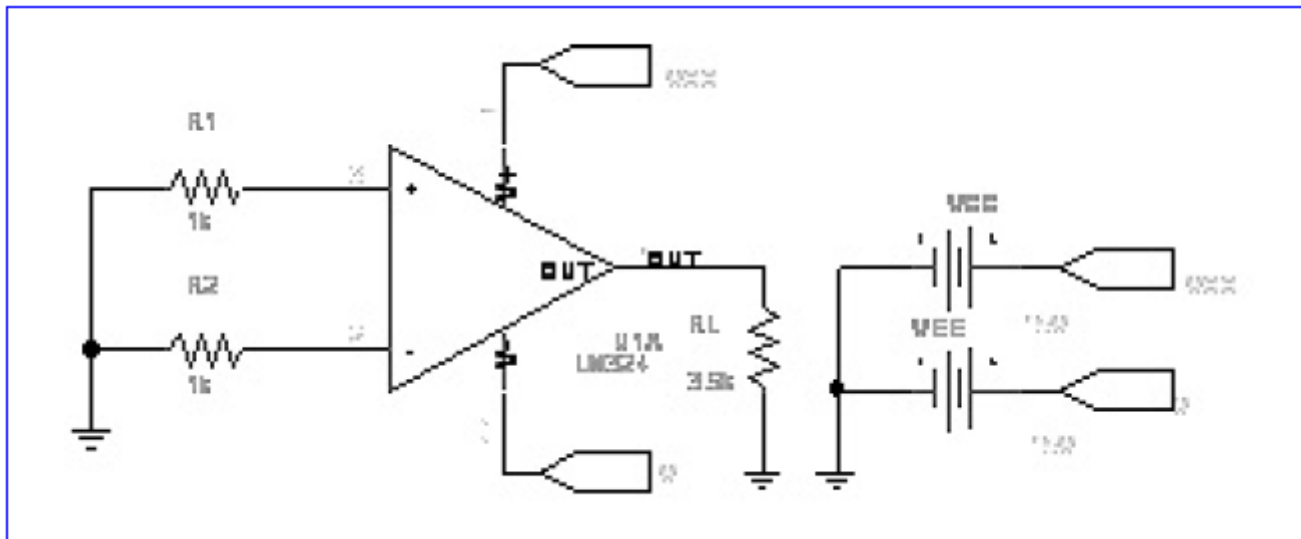




# OP-AMP의 입력측 바이어스전류

## 실험회로

### ■ 시뮬레이션 조건



# OP-AMP의 SLEW RATE

## OP-AMP의 입력측 바이어스 전류

입력신호에 대한 출력특성 FACTOR로서 우측에서의 경우에 실선으로 된 입력신호에 얼마나 가깝게 추적하느냐가 OP-AMP의 특성을 결정한다.

$$SR = \frac{\Delta V}{\Delta T}$$

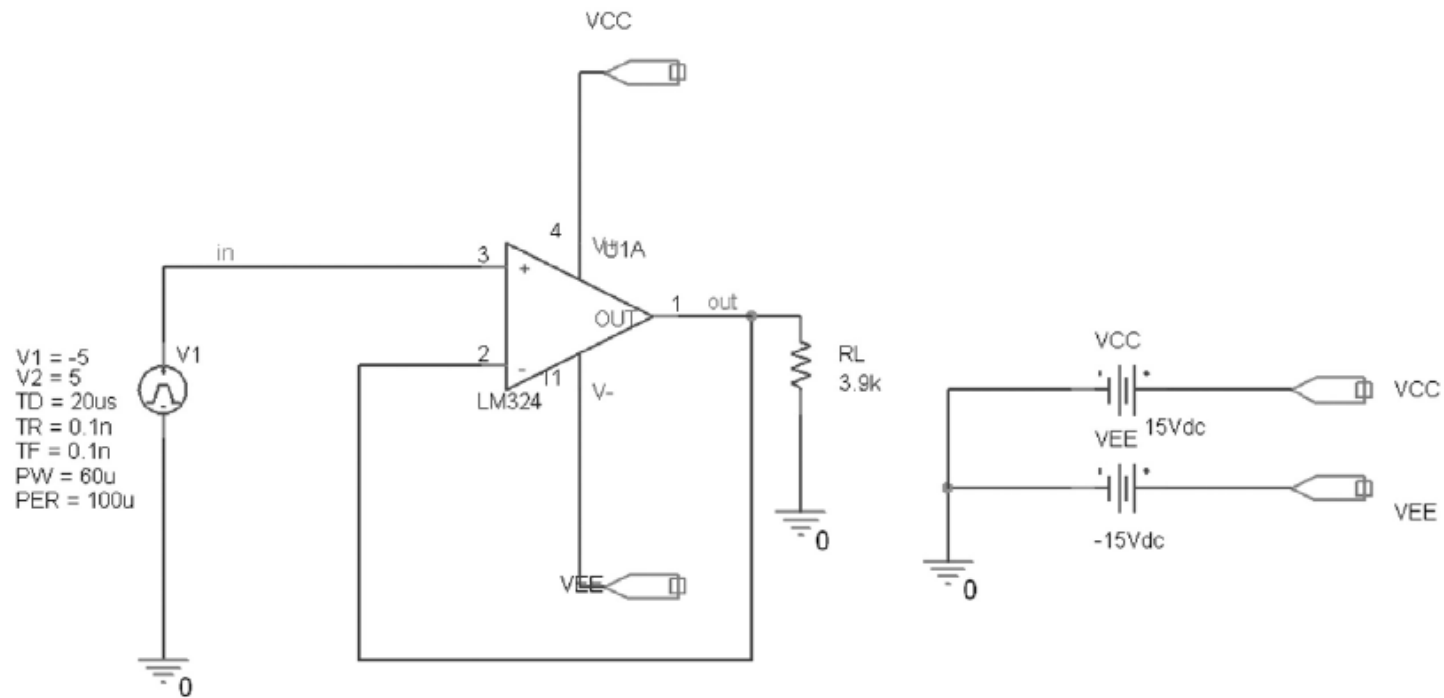
고주파 혹은 고속응답을 요하는 회로에서는 SR이 큰 OP-AMP를 사용해야 한다.



# OP-AMP의 SLEW RATE

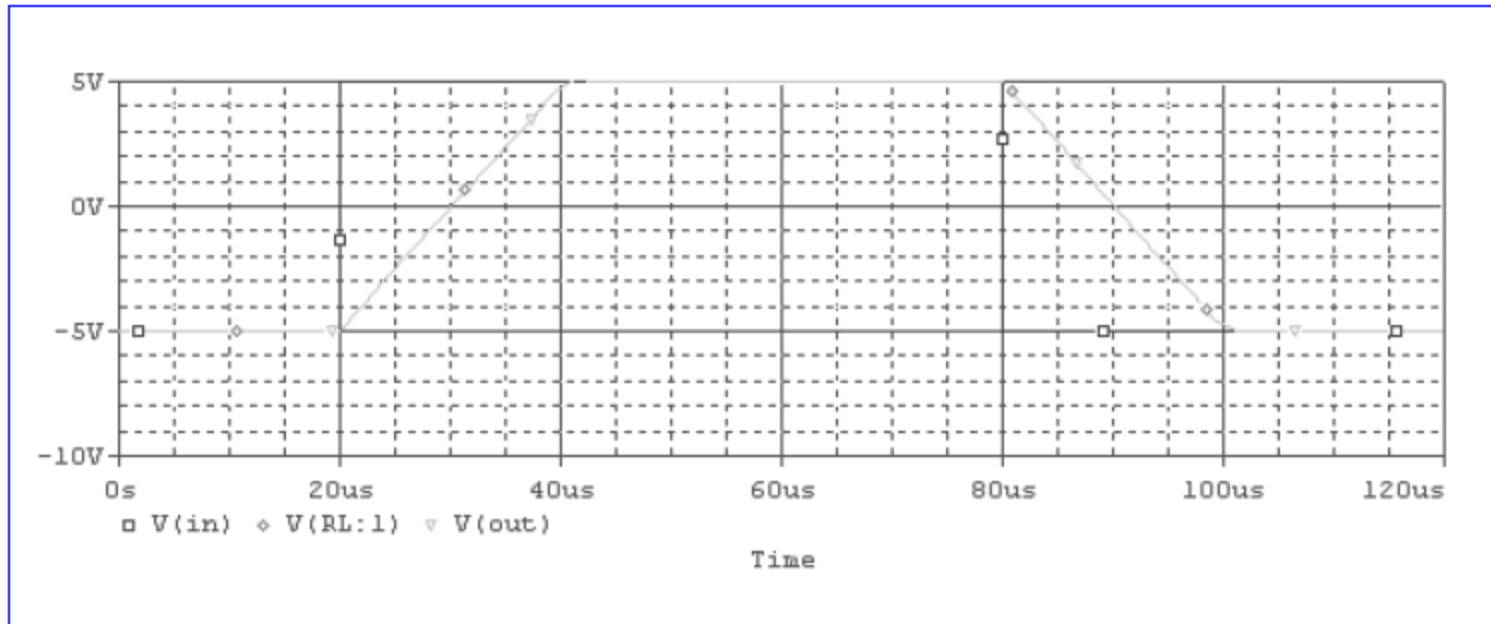
## 실험회로

### ■ 회로개요



# OP-AMP의 SLEW RATE

## ■ 시뮬레이션 결과

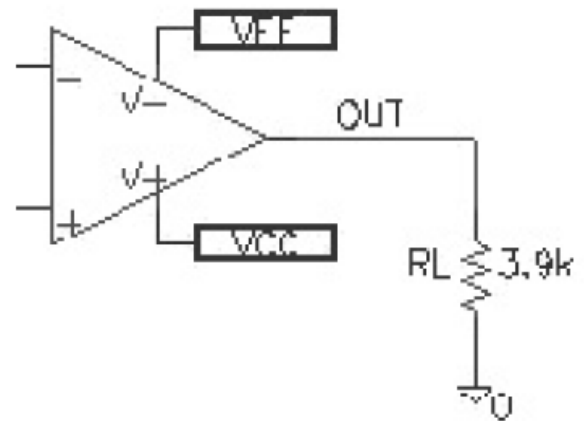


# OP-AMP의 출력단락전류

## OP-AMP의 출력단락전류

OP-AMP의 부하단이 SHORT(단락)되었을 경우 OP-AMP 회로출력단에 자체 PROTECTION 회로가 작동되어 출력 단락 제한전류  $I_{sc}$ 가 흐르게 된다.

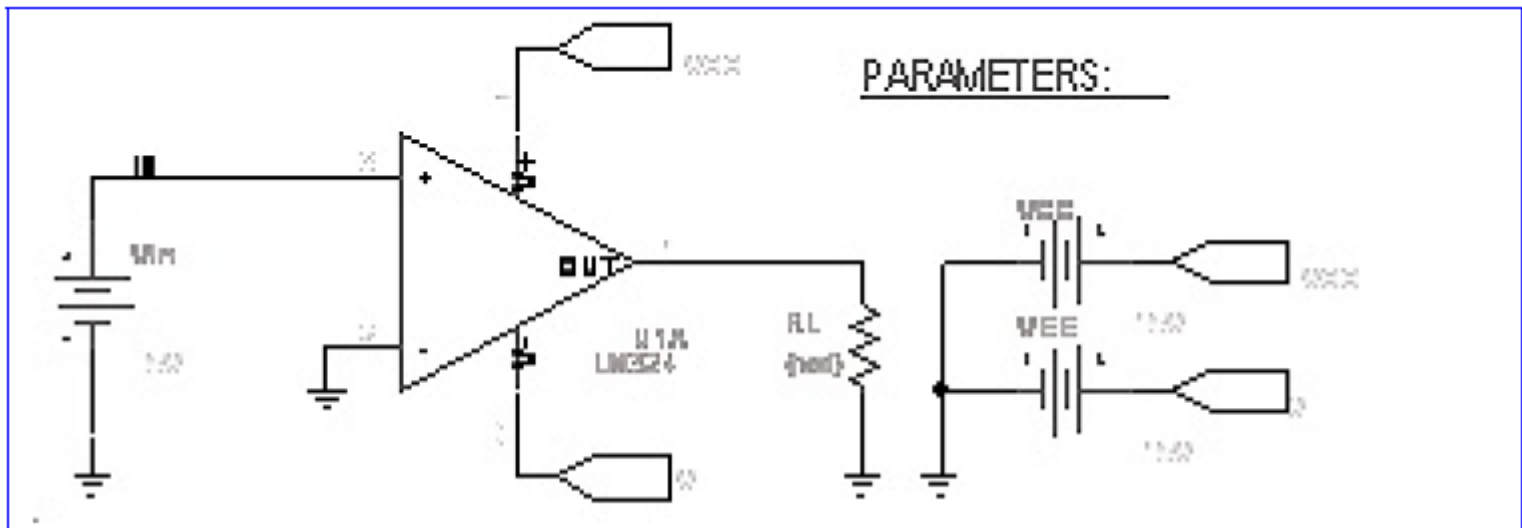
즉 부하저항  $R_L$ 이 0옴이 되더라도 무한정의 전류가 흐르는 것이 아니고 자체적으로 고유의 출력단락제한 전류  $I_{sc}$ 를 갖고 있게 된다.



# OP-AMP의 출력단락전류

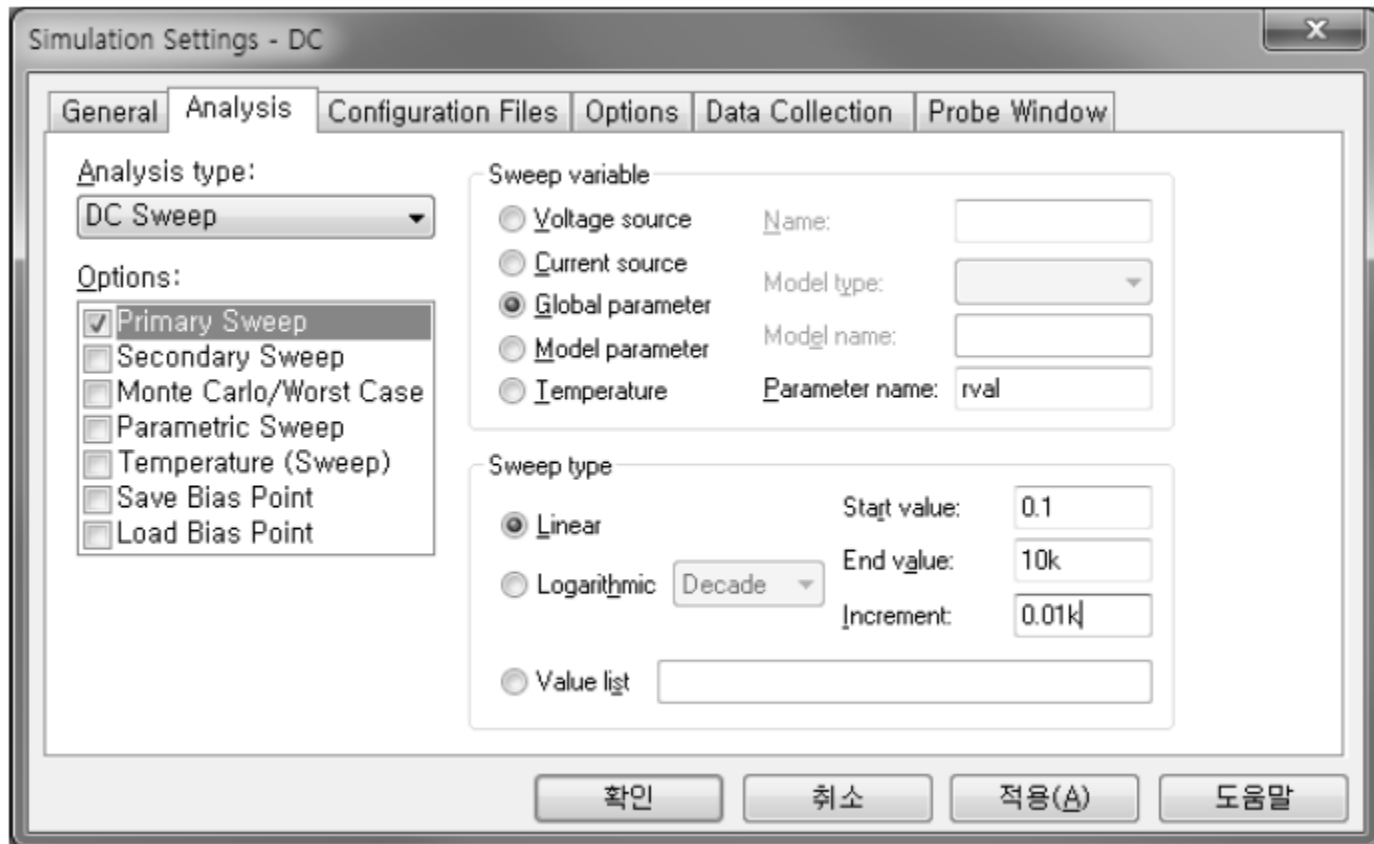
## 실험회로

### ■ 회로개요



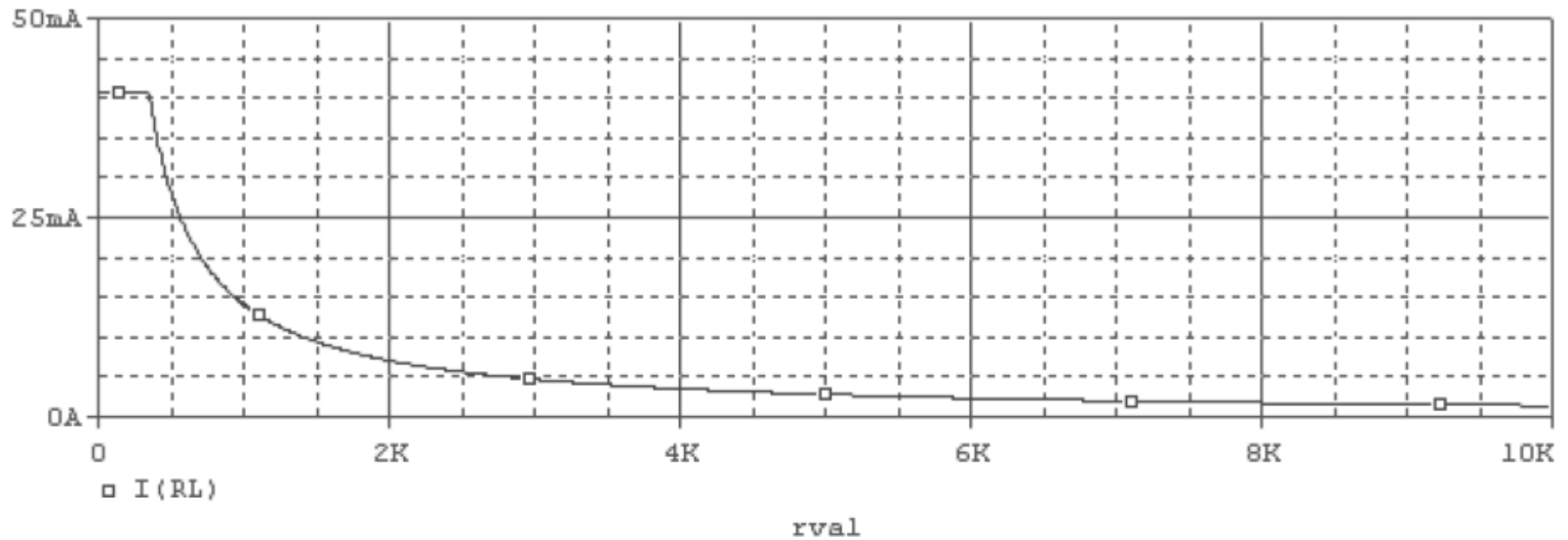
# OP-AMP의 출력단락전류

## ■ 시뮬레이션 조건



# OP-AMP의 출력단락전류

## ■ 시뮬레이션 결과





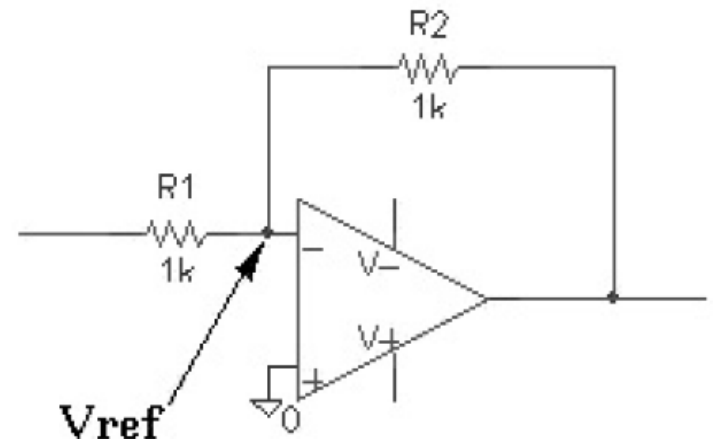
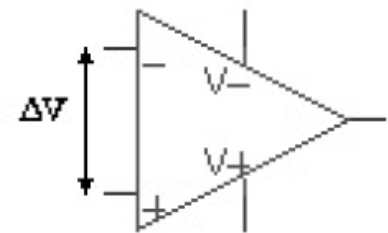
# OP-AMP 회로의 해석법

## OP-AMP 회로의 해석법

OP-AMP의 +, - 단자간에 전위차  $\Delta V$ 가 0이라는 점을 이용하여 앞서의 NODE EQUATION을 이용, 해석하면 매우 간단히 회로해석이 가능하다. 즉, OP-AMP의 +단자와 -단자의 전압 값이 동일하다는 점을 이용해서 해석하면 매우 간단하게 결과를 도출할 수 있다.

우측의 회로에서 먼저  $V_{ref}$ 를 NODE EQUATION을 이용하여 풀어보면

$$V_{ref} = \frac{\frac{E_{in}}{R1} + \frac{E_{out}}{R2}}{\frac{1}{R1} + \frac{1}{R2}}$$



# OP-AMP 회로의 해석법

아래위에 각각 R1, R2를 곱하면

$$V_{ref} = \frac{E_{in} \times R2 + E_{out} \times R1}{R2 + R1}$$

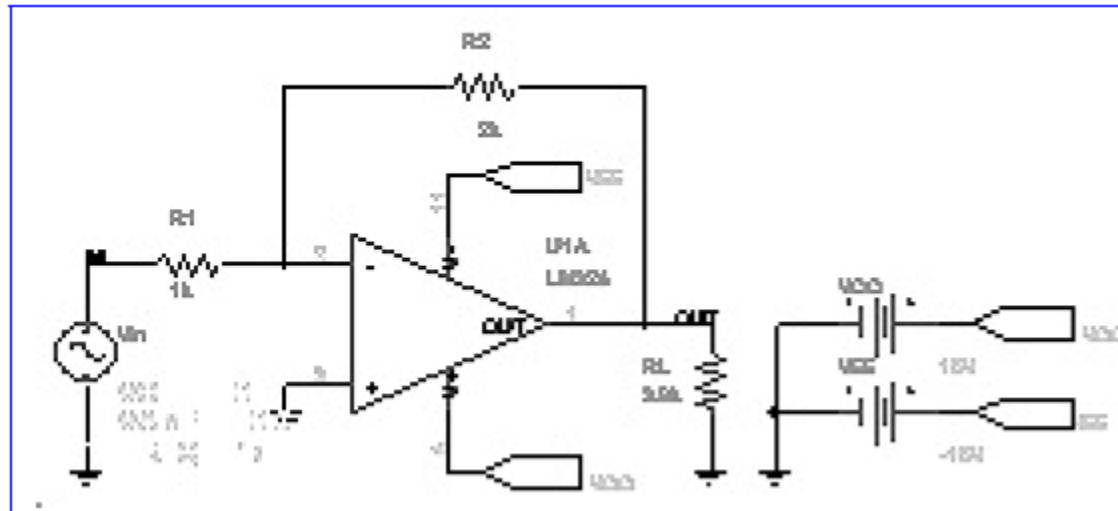
여기서 OP-AMP의 기본특성인 +, - 단자간 전위가 동일함을 이용하면  $V_{ref}=0$ 이고, 따라서 위의 식은  $0=E_{in}R2+E_{out}R1$ 로 단순화된다.

따라서 구하고자하는 전달함수는  $E_{out}/E_{in}=-R2/R1$ 이 된다. 이외의 다른 OP-AMP 응용회로에도 본 원칙, 즉 NODE EQUATION과 OP-AMP의 속성을 이용하면 복잡한 OP-AMP의 가정이나 중첩의 원리 등을 쓰지 않아도 간단명료한 회로해석이 가능하다.

# OP-AMP 회로의 해석법

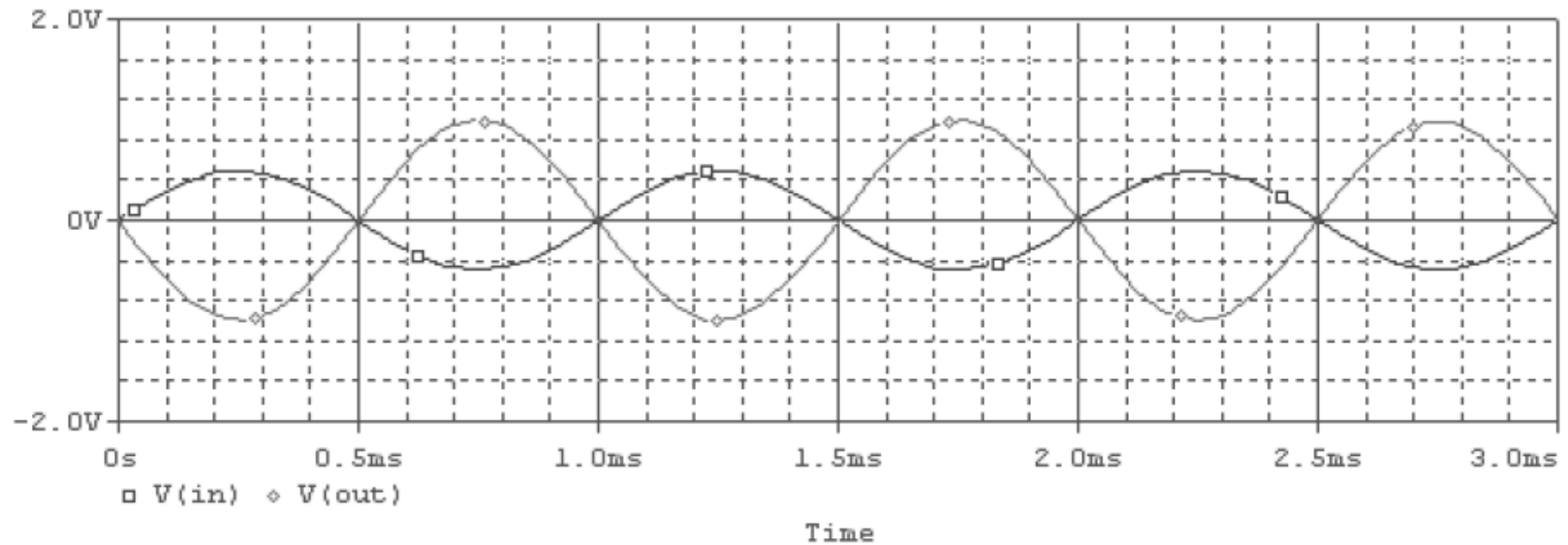
## 15.6.1 실험회로 I

### ■ 회로개요



# OP-AMP 회로의 해석법

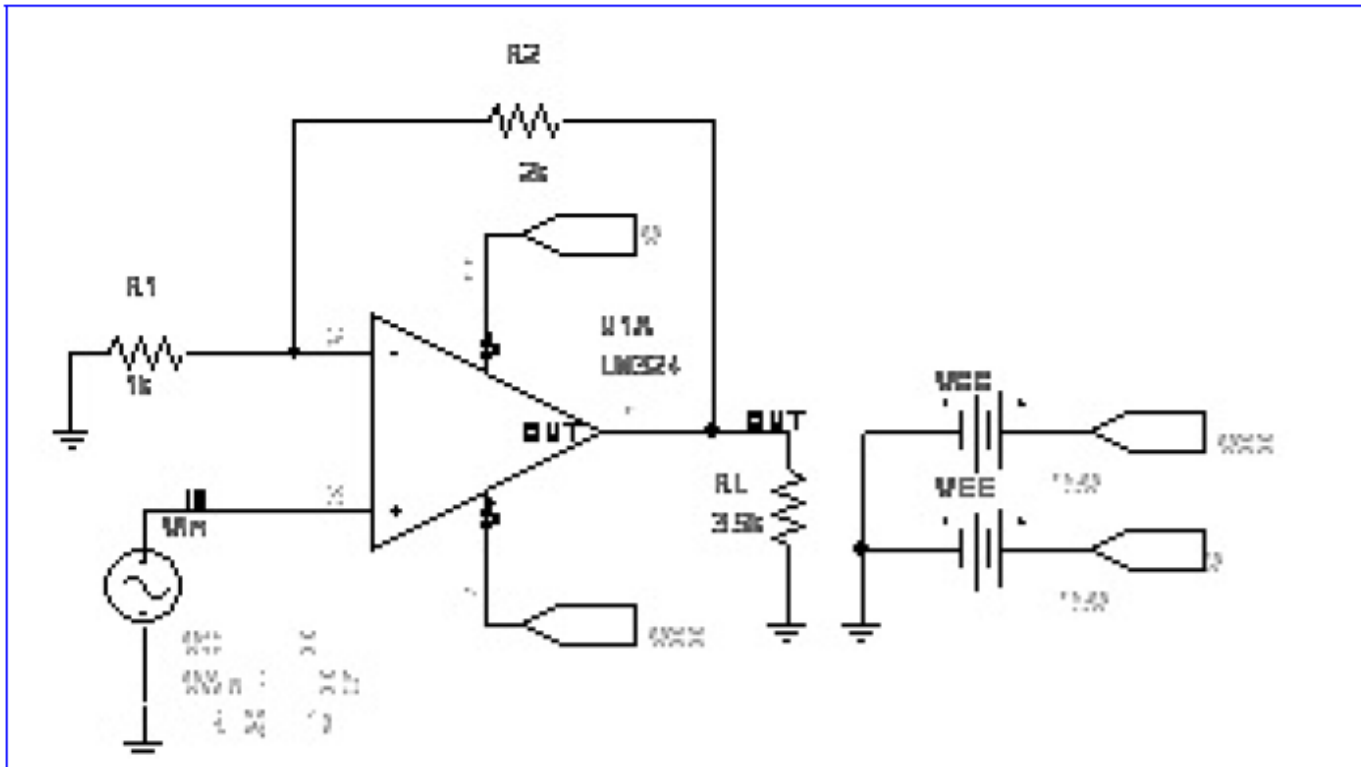
## ■ 시뮬레이션 결과



# OP-AMP 회로의 해석법

## 실험회로 II

### ■ 회로개요



# OP-AMP 회로의 해석법

## ■ 시뮬레이션 결과

