

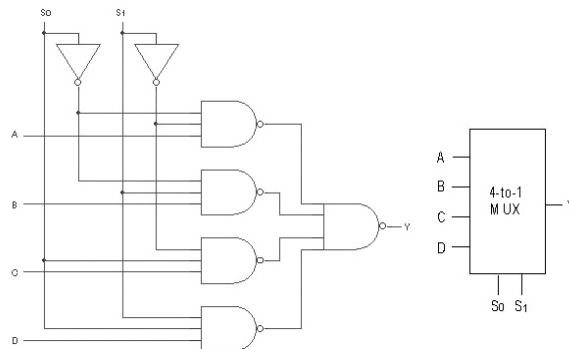
멀티플렉스(multiplexer)

멀티플렉스(multiplexer)

N개의 입력신호중 1개의 입력만 선택하여 출력하는 장치이다. 아래 그림과 같이 4개의 A, B, C, D의 입력신호는 S1, S2의 선택에 의해 출력이 결정되는 4-to-1 멀티플렉스 회로이다. 이 회로의 논리식은

$$Y = A\bar{S}_0\bar{S}_1 + B\bar{S}_0S_1 + CS_0\bar{S}_1 + DS_0S_1$$

가 된다. 4-to-1 멀티플렉스 회로와 기호는 다음과 같다.



실험회로

■ 회로개요

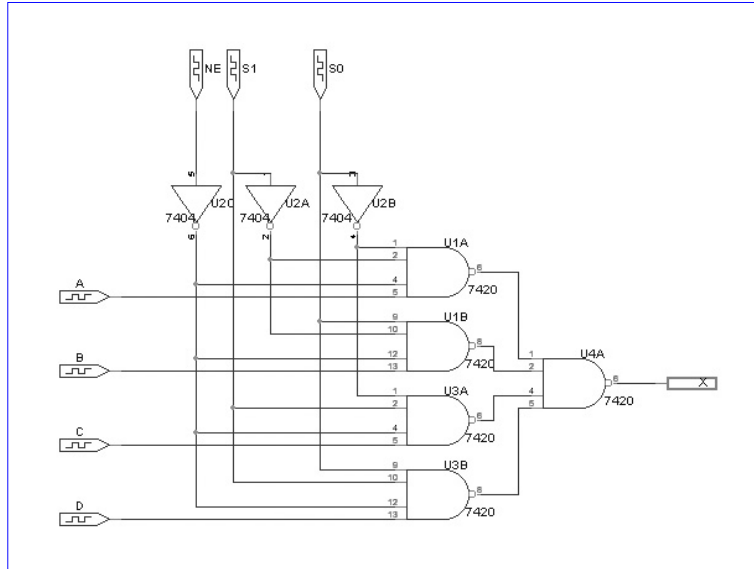
4-TO-1 멀티플렉스 회로를 기본 논리 gate를 사용한 회로와 74153 IC를 이용한 회로에 대한 입출력 상태 비교회로이다.

■ 회로해석

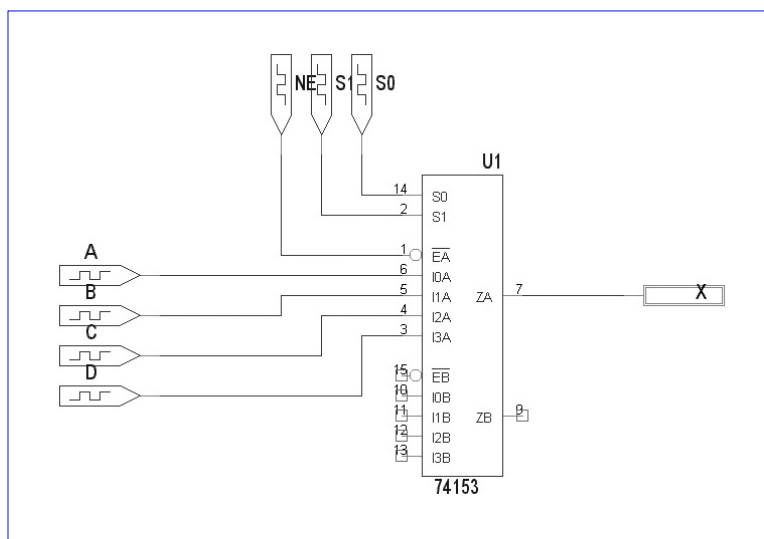
기본 논리 Gate를 사용한 4-to-1 멀티플렉스 회로의 출력은

$$Y = \overline{NE} (A\bar{S}_0\bar{S}_1 + B\bar{S}_0S_1 + CS_0\bar{S}_1 + DS_0S_1)$$

가 된다.



여기서 Y는 출력, A, B, C, D는 입력, S0, S1은 선택입력, NE는 Enable입력이다.
이와 동등한 회로로 74153 IC를 사용한 회로가 구성되어 있다.

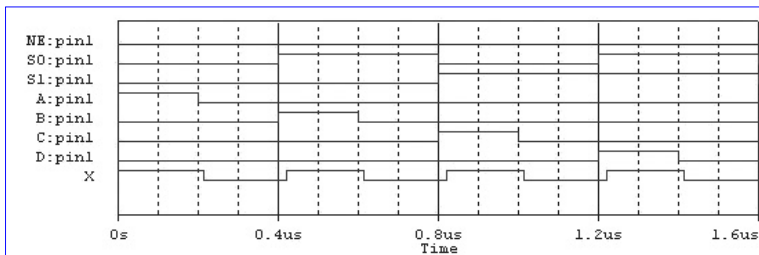
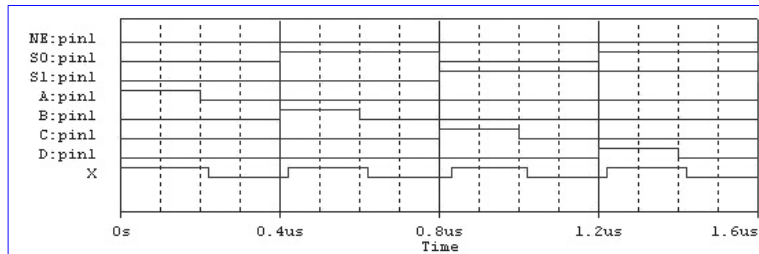


■ 시뮬레이션 조건

본 회로는 4-TO-1 멀티플렉스 회로로서 Final Time을 1.6[us]으로 하여 Transient 해석을 하면 된다. 선택입력에 0.2[us] 간격으로 00, 01, 10, 11을 S0, S1에 각각 인가한다.

■ 시뮬레이션 결과

시뮬레이션 출력은 선택 입력신호 S0:pin1, S1:pin1과 입력신호 A, B, C, D에 대한 출력 상태 X를 확인하는 것으로 선택입력이 00이면 A가 출력되며, 01이면 B, 10이면 C, 11이면 D가 출력된다. 기본 논리 gate를 사용한 회로와 74153 IC를 이용한 회로의 결과와 같다. 74153 IC를 사용한 출력 신호가 약 20[ns] 정도 delay가 적게 일어난다.



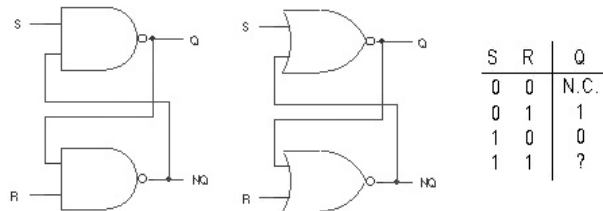
Flip-Flop

Flip-Flop

입력의 조합뿐만 아니라 선행된 입력에 의하여 출력이 결정되는 논리를 순서논리(sequential logic)라 하며, 기본 소자는 Flip-Flop이다.

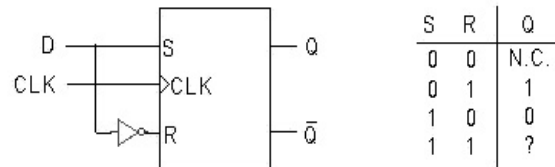
1. RS Flip-Flop

아래 그림과 같이 2개의 출력단자를 갖고 있으며, 두 출력 상태는 항상 반대가 된다. 입력은 출력을 set(1 상태) 시키는 기능과 reset(0 상태) 시키는 기능의 2개의 단자가 있다. RS Flip-Flop은 2개의 NAND gate 또는 2개의 NOR gate로 구성되며 회로와 진리표는 다음과 같다.



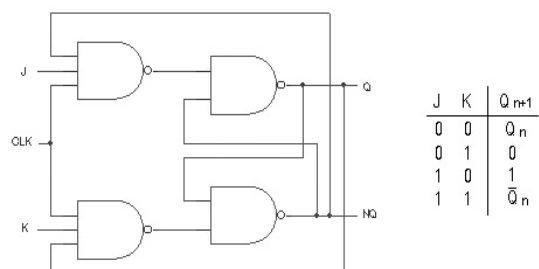
2. D Flip-Flop

D Flip Flop은 단일 입력을 갖고 있으며, RS Flip-Flop의 Set 입력단자와 Reset 입력단자를 NOT gate로 연결하므로 만들 수 있다. 회로와 진리표는 다음과 같다.



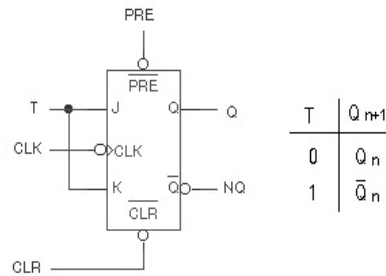
3. JK Flip-Flop

JK Flip-Flop은 RS Flip-Flop과 비슷하나 2개의 입력 J와 K가 1 상태가 될 때 출력은 먼저 출력의 반대, 즉 토글(toggle)이 된다.



4. T Flip-Flop

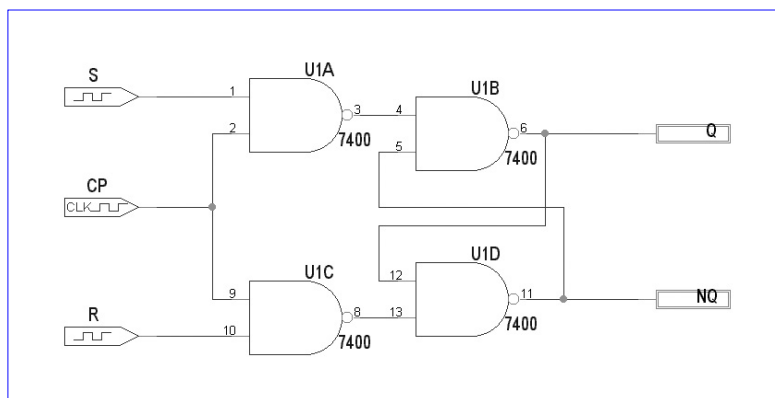
T Flip-Flop은 JK Flip-Flop에서 J=1, K=1의 상태가 되는 것과 같이 동작한다. 따라서 입력신호에 따라 출력상태를 전환시킬 수 있게 된다. T Flip-Flop은 다른 Flip-Flop에서 같은 기능을 얻을 수 있으므로 별도의 IC로는 구성되어 있지 않다.



실험회로 I

회로개요

7400 NAND gate로 구성된 RS Flip-Flop 회로이다.



회로해석

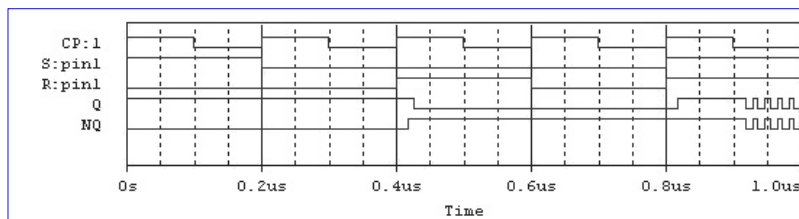
2개의 7400 NAND gate 구성된 RS Flip-Flop 회로로서 R과 S에 0이 동시에 입력될 때 출력 Q의 동작은 불변이며, R이 1, S가 0이면 Q=0가 되고 R이 0, S가 1이면 Q=1이 된다. 또 R과 S에 1이 동시에 입력될 때는 출력 Q의 상태는 알 수 없게 된다.

■ 시뮬레이션 조건

본 회로는 NAND gate로 구성된 RS Flip-Flop 회로로서 Final Time을 1[us]까지 20[ns]의 간격으로 Transient 해석을 한다. 입력 신호 S와 R은 0.2[us] 간격으로 10, 00, 01, 00, 11을 인가한다.

■ 시뮬레이션 결과

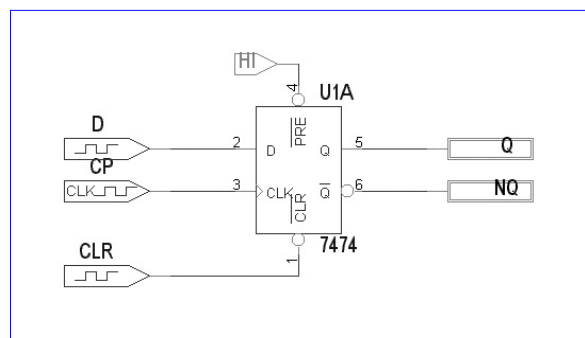
시뮬레이션 출력은 입력 신호 S:pin1와 R:pin1에 대한 출력 상태 Q를 확인하는 것으로 입력 S와 R이 10이면 출력 Q는 1 상태, 입력이 00이면 출력은 불변, 입력이 01이면 출력 Q는 0 상태가 된다. 그리고 입력 S와 R이 11이면 출력은 결정되지 않으므로 진동하는 상태가 된다.



실험회로 II

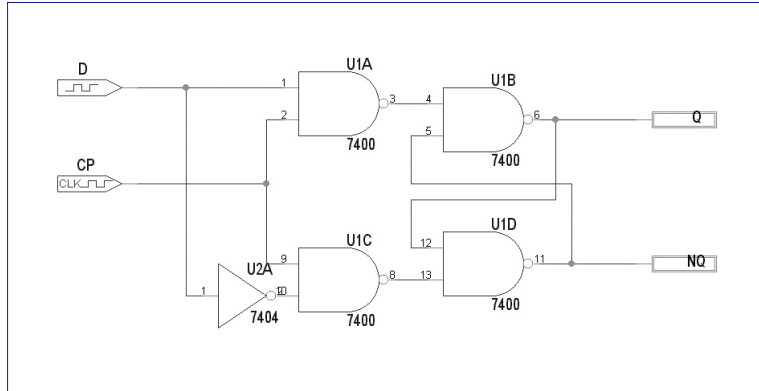
■ 회로개요

NAND gate를 사용한 RS Flip-Flop의 S 입력과 R 입력을 인버터로 연결하여 단일 입력을 갖는 D Flip-Flop 회로와 7474 IC를 사용한 D Flip-Flop 회로의 비교하라.



■ 회로해석

NAND gate와 인버터로 구성된 D Flip-Flop과 7474 IC의 D Flip-flop은 데이터 입력인 D와 클럭 입력인 CP가 있다. CP의 신호가 없을 때의 출력은 불변이며, D가 0이면 Q=0, D가 1이면 Q=1이 된다.

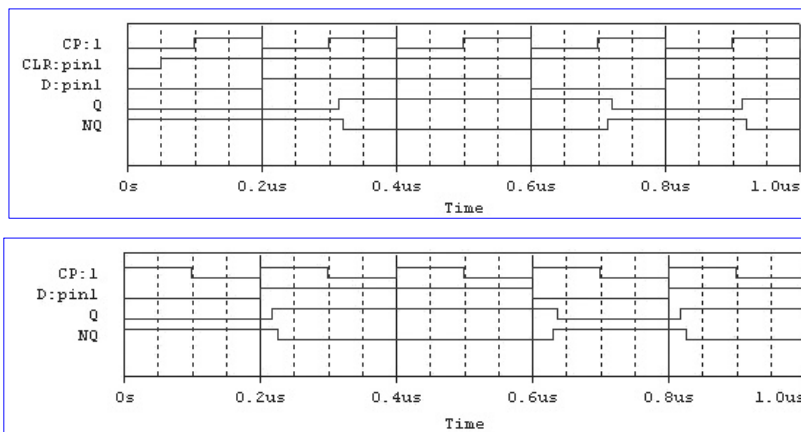


■ 시뮬레이션 조건

본 회로는 D Flip-Flop 회로로서 Final Time을 1[us]까지 20[ns]의 간격으로 Transient 해석을 한다. 입력 신호는 0.2[us] 간격으로 0, 1, 1, 0, 1 순으로 인가한다.

■ 시뮬레이션 결과

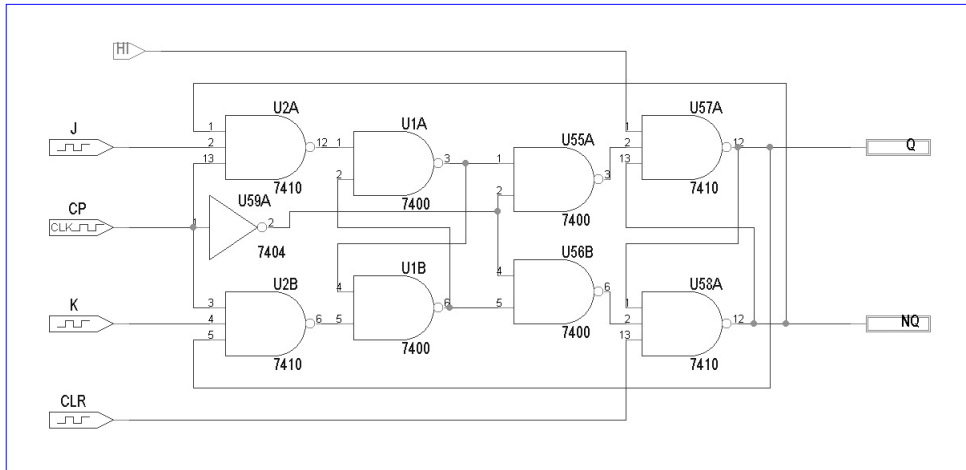
시뮬레이션 출력은 입력신호 D:pin1에 대한 출력 상태 Q를 확인하는 것으로 입력이 0 상태일 때 출력은 CP가 상향 클럭이 존재할 1 상태로 바뀌게 되고 입력이 1 상태일 때 출력은 0상태가 된다. 다음 두 시뮬레이션 출력에서 두 회로가 같은 결과를 얻게 된다. 7474를 사용한 회로에는 CLR 신호를 입력하여 칩을 Reset 하여야 하므로 0.2[us] 정도 차이가 난다.



실험회로 III

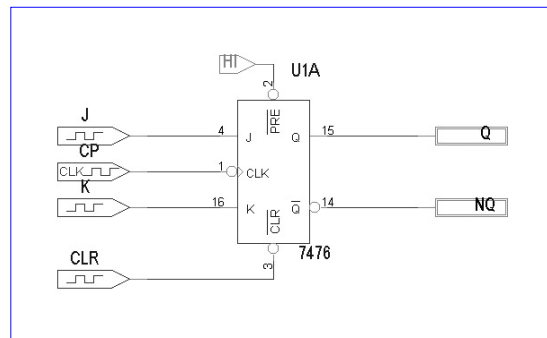
회로개요

NAND gate로 구성된 Master-Slave JK Flip-Flop 회로와 7476 IC의 JK Flip-flop 회로를 비교한다.



회로해석

NAND gate로 구성된 JK Flip-Flop과 7476 IC의 JK Flip-Flop 회로는 J와 K의 입력과 클럭 CP가 있으며, 항상 CP의 상태 변환 때 출력의 변화가 있다. J와 K가 0이면 출력은 불변이고 J=0과 K=1이면 Q=0으로 reset 상태가 된다. 또 J=1과 K=0이면 Q=1로 set 상태가 되며 J=1과 K=1이면 출력은 이전 출력의 반대가 된다.



시뮬레이션 조건

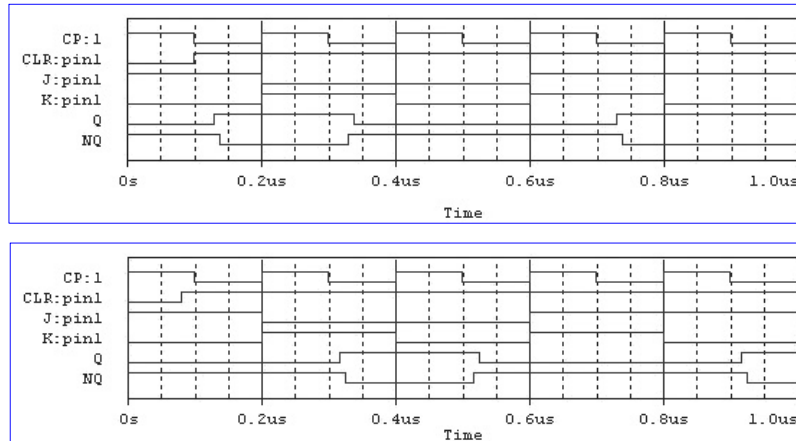
본 회로는 JK Flip-Flop 회로로서 Final Time을 1[us]까지 20[ns]의 간격으로 Transient 해석을 한다. 입력 신호 J와 K는 0.2[us] 간격으로 10, 01, 00, 11, 10을 인가한다.

시뮬레이션 결과

시뮬레이션 출력은 입력 신호 J:pin1과 K:pin1에 대한 출력 상태 Q를 확인하는 것 입력 J와 K가

10 상태이면 출력 Q는 CP의 클럭이 내려가는 부분에서 1 상태가 되며, 입력이 01 상태이면 출력은 0상태가 된다. 또 입력이 00가 되면 출력은 불변이고 입력이 11일 경우 출력은 먼저 입력의 반대가 된다.

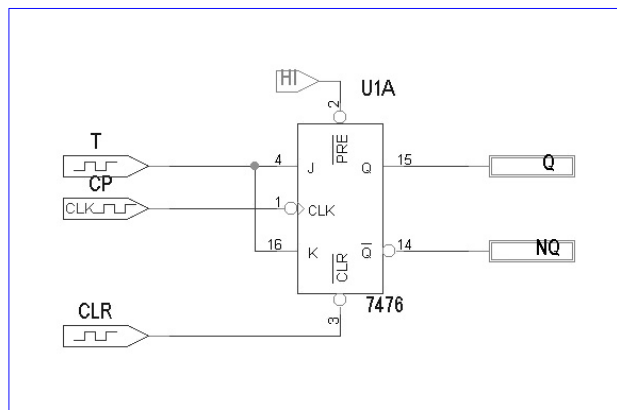
다음 두 시뮬레이션 결과에서 두 회로가 같은 결과를 얻게 된다. 7476을 사용한 회로에는 CLR 신호를 입력하여 칩을 Reset 하여야 하므로 0.2[us] 정도 차이가 난다.



실험회로 IV

■ 회로개요

7476 IC의 JK Flip-Flop을 이용하여 T Flip-Flop으로 변환한 회로이다.



■ 회로해석

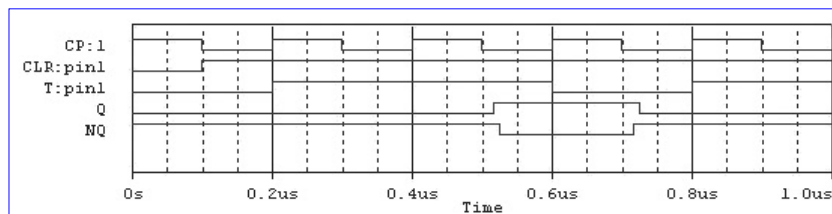
T Flip-flop은 RS, JK, D Flip-flop 회로에서 변환할 수 있다. 즉 J=1과 K=1의 상태에서 CP의 상태변화 때 출력의 변화가 있게 되므로 T Flip-Flop가 같은 동작을 한다.

■ 시뮬레이션 조건

본 회로는 T Flip-Flop 회로로서 Final Time을 1[us]까지 20[ns]의 간격으로 Transient 해석을 한다. 입력은 0.2[us] 간격으로 T 신호를 0, 1, 1, 0, 1을 인가한다.

■ 시뮬레이션 결과

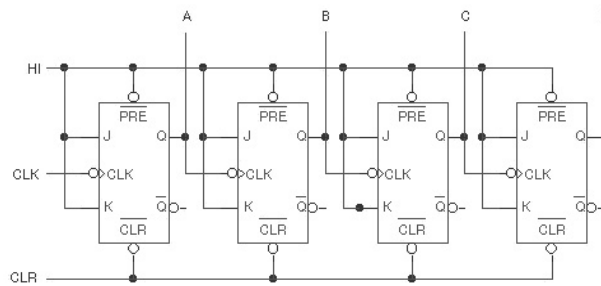
시뮬레이션 출력은 입력 신호 T:pin1에 대한 출력 상태 Q를 확인하는 것으로 입력이 0상태이면 출력은 불변이며, 입력이 1 상태일 때 출력은 먼저 출력의 반대가 된다.



비동기식카운터(AsynchronousCounters)

비동기식 카운터(Asynchronous Counters)

2진 계수의 동작을 하는 T Flip-Flop을 사용하여 아래 그림과 같이 연결하게 되면 4bit 비동기식 카운터가 된다. 그림에서 CLR 단자를 모두 접속하여 리셋을 시키면 4개의 T Flip Flop의 출력은 0가 된다. 이 상태에서 첫번째단의 CP 입력에 클럭펄스가 공급되어 클럭펄스가 "1" 에서 "0"로 변환되는 순간 첫번째단의 출력은 "0"에서 "1"로 바뀌고 두 번째 클럭펄스가 공급될 때까지 그 상태를 유지한다. 두 번째 클럭펄스가 공급되면, 첫 번째 단의 출력은 "1"에서 "0"으로 바뀌며 따라서 두 번째단의 출력을 "0"에서 "1"로 바꾸게 된다. 이와 같이 클럭펄스가 공급될 때마다 계속하여 카운터를 하게 된다. 각 단에 공급되는 클럭펄스는 Flip-Flop에 의한 지연으로 인해 입력단의 클럭펄스와 동기가 될 수 없으므로 비동기식 카운터라 부른다.

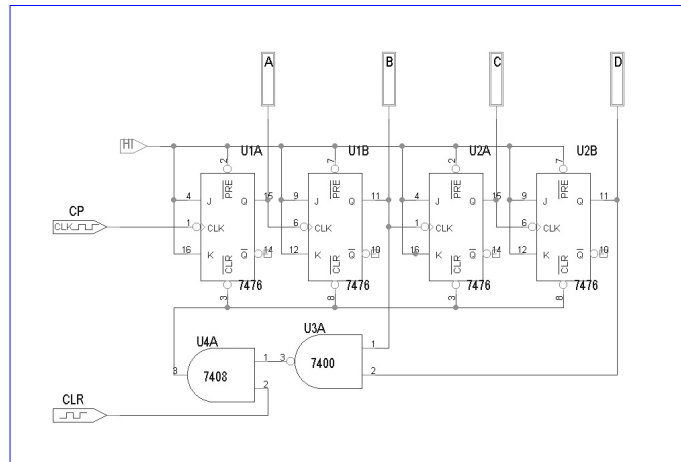


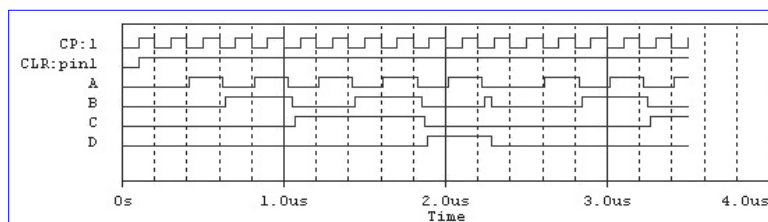
실험회로

회로개요

7476 JK Flip-Flop 4개를 사용한 MOD-10(10진) 카운터로서 각 JK Flip-Flop의 출력이 다음 단의 클럭 입력인 CP로 입력되는 비동기식 MOD-10 카운터 회로이다.

회로해석

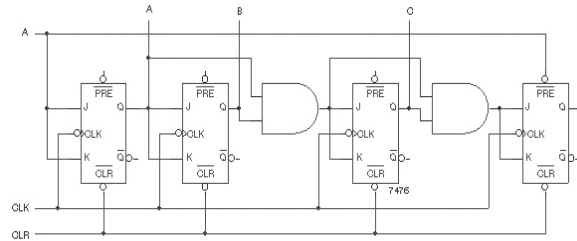




동기식 카운터(Synchronous Counters)

동기식 카운터(Synchronous Counters)

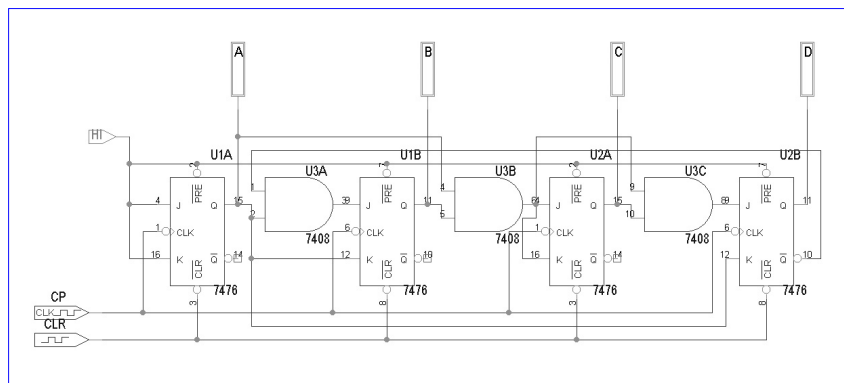
동기식 카운터는 모든 단의 클럭단자가 연결되어 있어 입력되는 클럭펄스에 의해 동시에 트리거하는 카운터이다. 다음 회로는 동기식 16진 가산 카운터의 예로서 4개의 JK Flip-Flop과 2개의 AND gate를 사용하였다.



실험회로

회로개요

7476 JK Flip-Flop 4개를 사용한 MOD-10(10진) 카운터로서 각 JK Flip-Flop의 출력이 AND gate를 거쳐 다음 단의 J 입력으로 연결되는 동기식 MOD-10 카운터 회로이다.



■ 회로해석

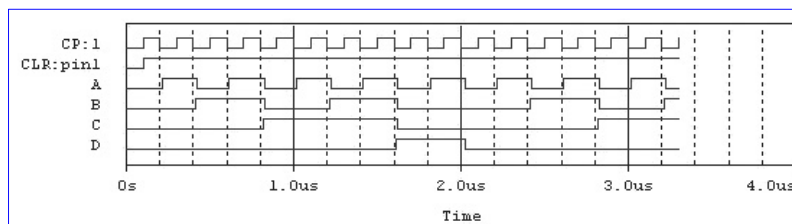
동기식 MOD-10 카운터로서 클럭수를 10개 단위로 카운터한다. 즉 0에서 9까지의 출력 후 1010(DCBA의 순) 출력 때 카운터를 Reset하여 0에서부터 다시 9까지 카운터를 하게 하는 회로이다.

■ 시뮬레이션 조건

본 회로는 동기식 MOD-10 카운터 회로로서 Final Time을 3.6[us]까지 20[ns]의 간격으로 Transient 해석을 한다. 첫번째 입력 J와 K는 High에 연결되고 두 번째부터 이전단의 출력에서 연결되며 클럭 신호에 의해 카운터 된다.

■ 시뮬레이션 결과

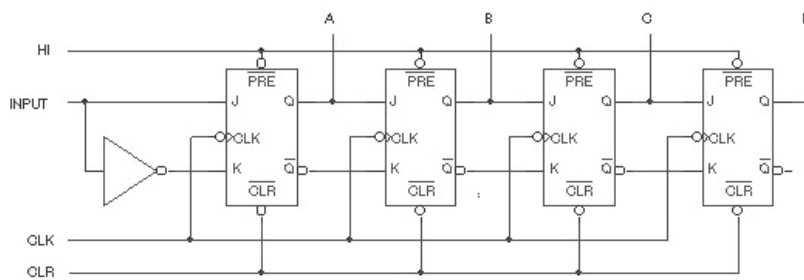
시뮬레이션 출력은 입력 CP:1의 클럭 신호에 대한 출력 A, B, C, D의 상태를 확인하는 것으로 입력되는 클럭에 의해 모든 Flip-Flop이 동시에 카운터하게 된다. 클럭이 1개가 입력되면 A가 1 상태, 2개째 B가 1 상태, 4개째 C가 1 상태, 8개째 D가 1 상태가 된다. 따라서 10번째 클럭이 입력되면 카운터가 Reset가 되어 처음부터 다시 카운터를 시작한다.



시프트 레지스터(Shift Registers)

시프트 레지스터(Shift Registers)

앞서 설명한 Flip-Flop을 사용하여 수치나 명령등의 정보를 일시에 기억해 두는 기억소자로 사용하며 직렬의 입력을 병렬의 출력으로 또는 병렬의 입력을 직렬의 출력으로 바꾸는데 사용하기도 한다. 시프트 레지스터는 직렬입력-직렬출력(Serial-In Serial-Out), 직렬입력-병렬출력(Serial-In Parallel-Out)등 입출력 방법과 우로이동(Shift right), 좌로이동(Shift left), 양방향 이동(Bi-directional) 등 데이터의 이동방향에 따라 구분한다. 다음 회로는 4비트 직렬입력-병렬출력형 우로이동 시프트 레지스터이다.



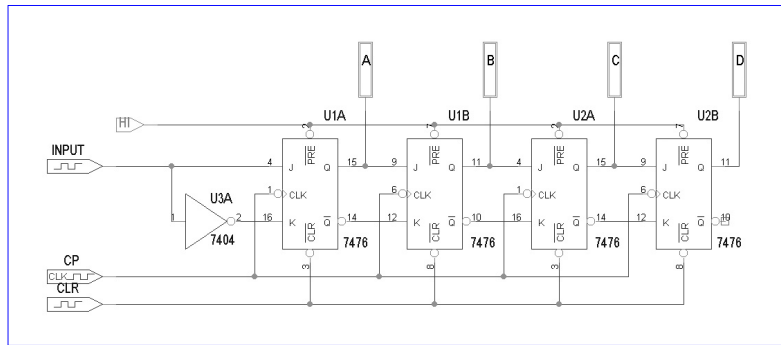
실험회로

회로개요

7476 JK Flip-flop을 사용한 4비트 직렬입력-병렬출력형 우이동 시프트 레지스터 회로이다.

회로해석

시프트 레지스터는 입력되는 정보를 좌 또는 우로 이동시키는 역할을 한다. 따라서 입력이 1010의 정보에 대한 4비트 우 시프트 레지스터의 경우 클럭펄스에 의해 1010 → 0101 → 0010 → 0001 → 0000 순으로 우측으로 이동하게 된다.



■ 시뮬레이션 조건

본 회로는 4비트 직렬입력-병렬출력형 우이동 시프트 레지스터 회로로서 Final Time을 36[us]까지 20[ns]의 간격으로 Transient 해석을 한다. 입력은 01011101 INPUT에 인가되고 CP의 클럭신호에 의해 우로 이동한다.

■ 시뮬레이션 결과

시뮬레이션 출력은 입력 신호 INPUT:pin1에 대한 출력 A, B, C, D의 상태를 확인하는 것으로 INPUT에 01011101의 데이터가 입력될 때 출력 A에는 1 클럭 B에는 2클럭, C에는 3클럭, D에는 4클럭 우로 이동된다.

