

# ***Digital Basic Circuits(1)***



유한대학교 전자공학과  
YUHAN UNIVERSITY Dept. of Electronic Engineering

담당교수 : 강 창 수  
[cskang@yuhan.ac.kr](mailto:cskang@yuhan.ac.kr)

# 기본 논리회로

## 기본 논리회로

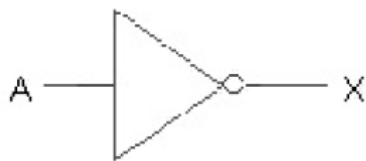
디지털 시스템의 기본 논리회로는 AND, OR, NOT Gate와 Flip-Flop 등으로 구성되어 있다. 이들 회로의 입력과 출력의 기준은 1 또는 0으로 표시하며 이것을 전압의 고저로 나타낸다. 높은 전압을 1, 낮은 전압을 0으로 나타내는 정논리계통(positive logic system)과 높은 전압을 0, 낮은 전압을 1로 나타내는 부논리계통(negative logic system), 그리고 펄스의 유무에 따라 1과 0을 규정하는 동적논리계통(Dynamic logic System) 등이 있다.

### (1) 인버터(Inverter)

인버터는 NOT gate라 하며, 출력은 입력 논리신호의 반대값이 된다. 진리식은

$$X = \overline{A}$$

가 되며, 아래와 같은 기호와 진리표를 갖는다.



A	X
0	1
1	0

# 기본 논리회로

## (2) AND gate

AND Gate는 입력신호가 모두 참이 되어야 출력이 참이 되는데, 진리식은

$$X = A \cdot B$$

가 되며, 아래와 같은 기호와 진리표를 갖는다.



A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

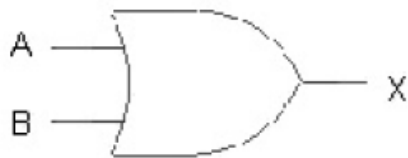
# 기본 논리회로

## (3) OR GATE

OR gate는 입력신호중 어느 하나라도 참이 되며 출력이 참이 되는데, 진리식은

$$X = A + B$$

가 되며 다음과 같은 기호와 진리표를 갖는다.

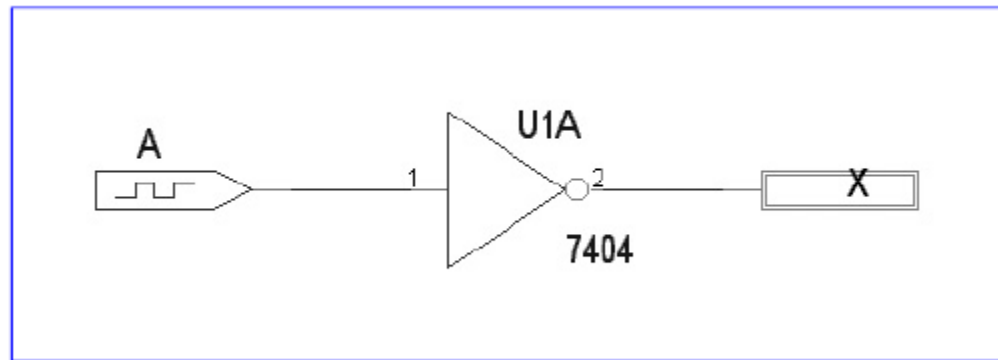


A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

# 기본 논리회로

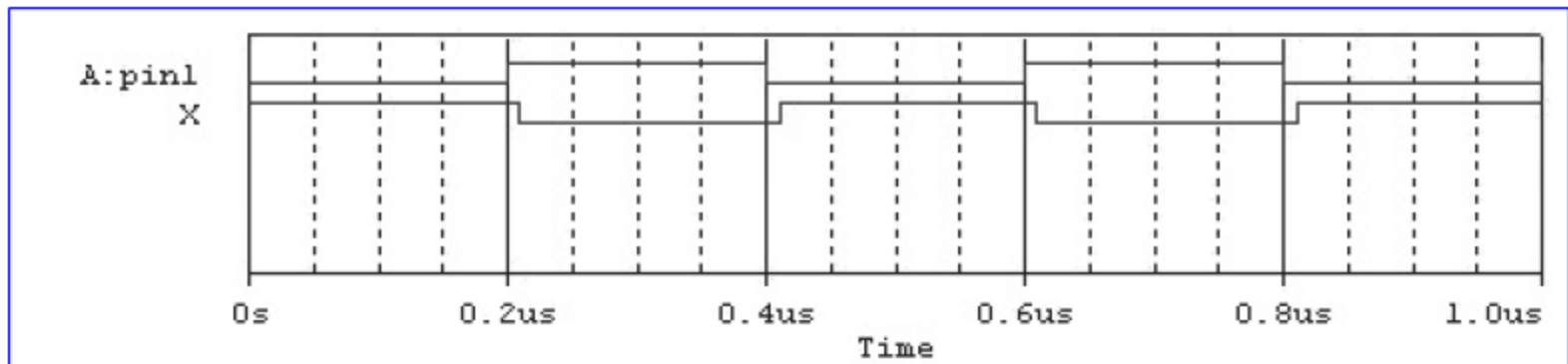
## 실험회로 I

### ■ 회로개요



# 기본 논리회로

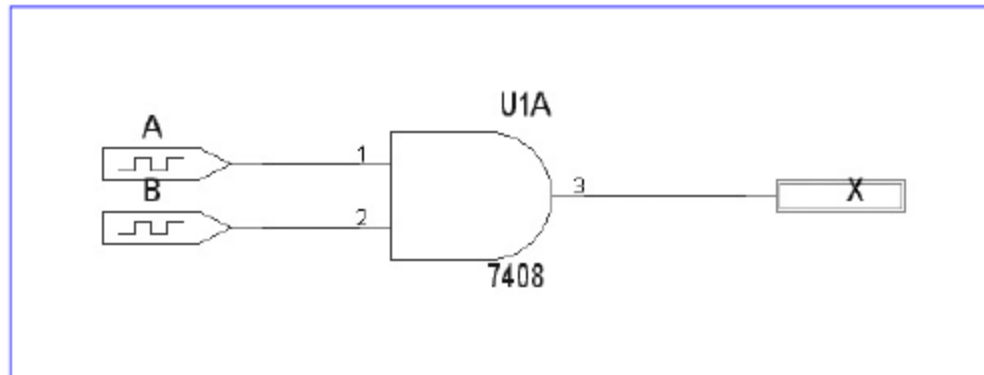
## ■ 시뮬레이션 결과



# 기본 논리회로

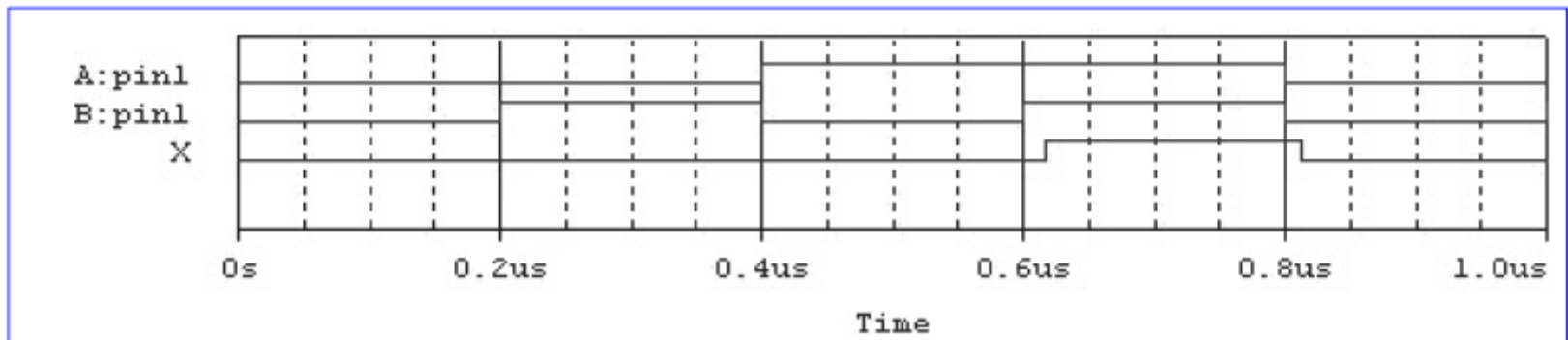
## 실험회로 II

### ■ 회로개요



# 기본 논리회로

## ■ 시뮬레이션 결과

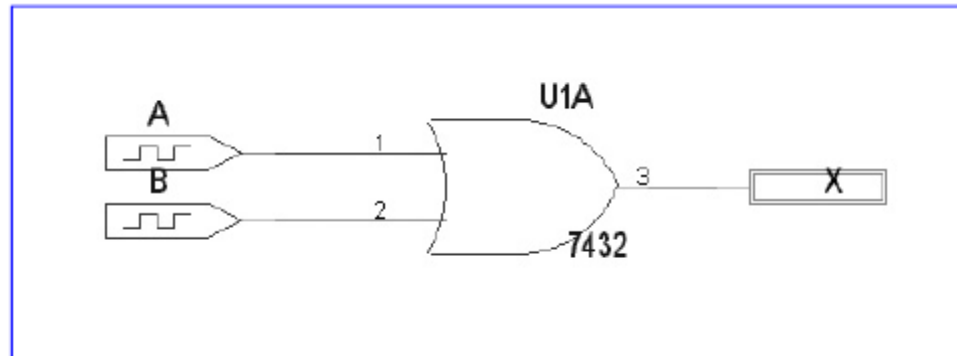




# 기본 논리회로

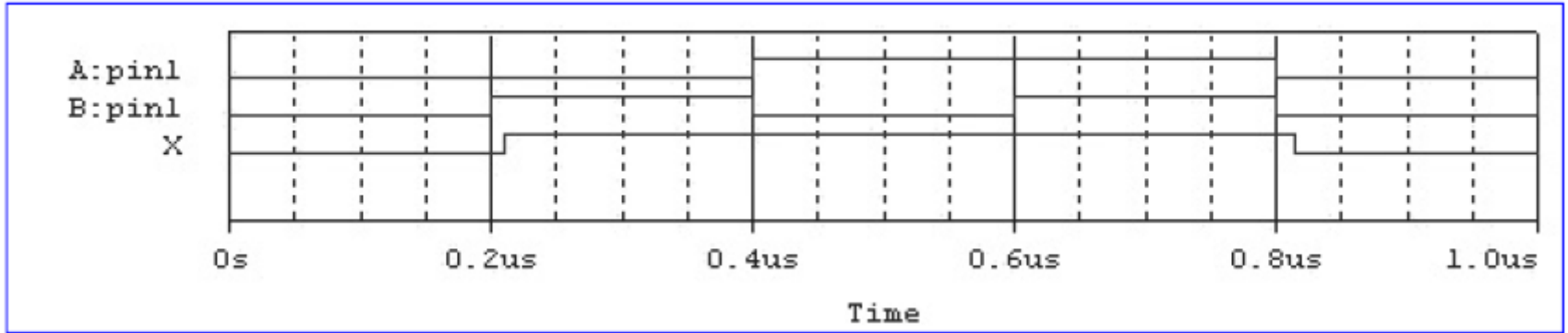
## 실험회로 III

### ■ 회로개요



# 기본 논리회로

## ■ 시뮬레이션 결과



# 부울대수의 공리

## 부울대수의 공리

부울대수는 “0”과 “1”의 상태를 OR(+)와 AND( $\cdot$ )의 연산자만을 사용하는 대수.

공리 1

a)  $A \neq 0$ 이면  $A=1$ ,  $A=1$ 이면  $A \neq 0$

b)  $A \neq 1$ 이면  $A=0$ ,  $A=0$ 이면  $A \neq 1$

공리 2 a)  $0 \cdot 0=0$ ,  $1 \cdot 1=1$  b)  $0+0=0$ ,  $1+1=1$

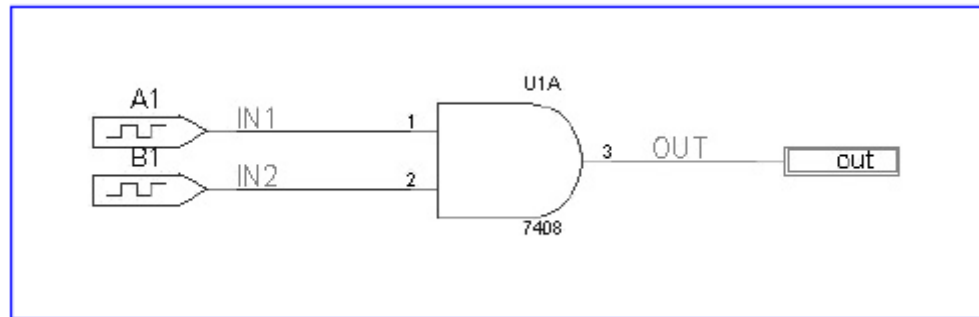
공리 3 a)  $0 \cdot 1=1 \cdot 0=0$ , b)  $0+1=1+0=1$

공리 4 a)  $\overline{1}=0$ , b)  $\overline{0}=1$

# 부울대수의 공리

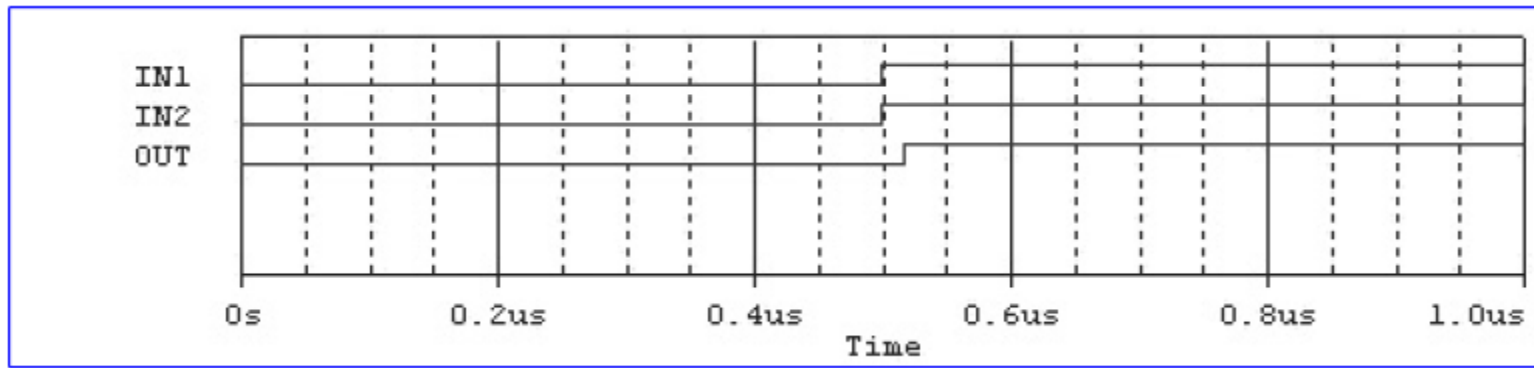
## 실험회로

### ■ 회로개요



# 부울대수의 공리

## ■ 시뮬레이션 결과



# 부울대수의 정리

## 부울대수의 정리

부울대수의 공리를 기본으로 교환, 결합, 분배법칙 등 다음과 같은 정리가 있다.

### 정리 1 교환법칙

a)  $A \cdot B = B \cdot A$

b)  $A + B = B + A$

### 정리 2 결합법칙

a)  $(A \cdot B) \cdot C = A \cdot (B \cdot C)$

b)  $(A + B) + C = A + (B + C)$

### 정리 3 분배법칙

a)  $(A + B) \cdot (A + C) = A + B \cdot C$

b)  $A \cdot B + A \cdot C = A \cdot (B + C)$

### 정리 4

a)  $A \cdot 0 = 0$

b)  $A + 0 = A$

c)  $A \cdot 1 = A$

d)  $A + 1 = 1$

# 부울대수의 정리

정리 5

$$\text{a) } A \cdot \overline{A} = 0 \quad \text{b) } A + \overline{A} = 1$$

정리 6 동일법칙

$$\text{a) } A \cdot A = A \quad \text{b) } A + \overline{A} = A$$

정리 7 흡수법칙

$$\text{a) } A \cdot (A + B) = A \quad \text{b) } A + A \cdot B = A$$

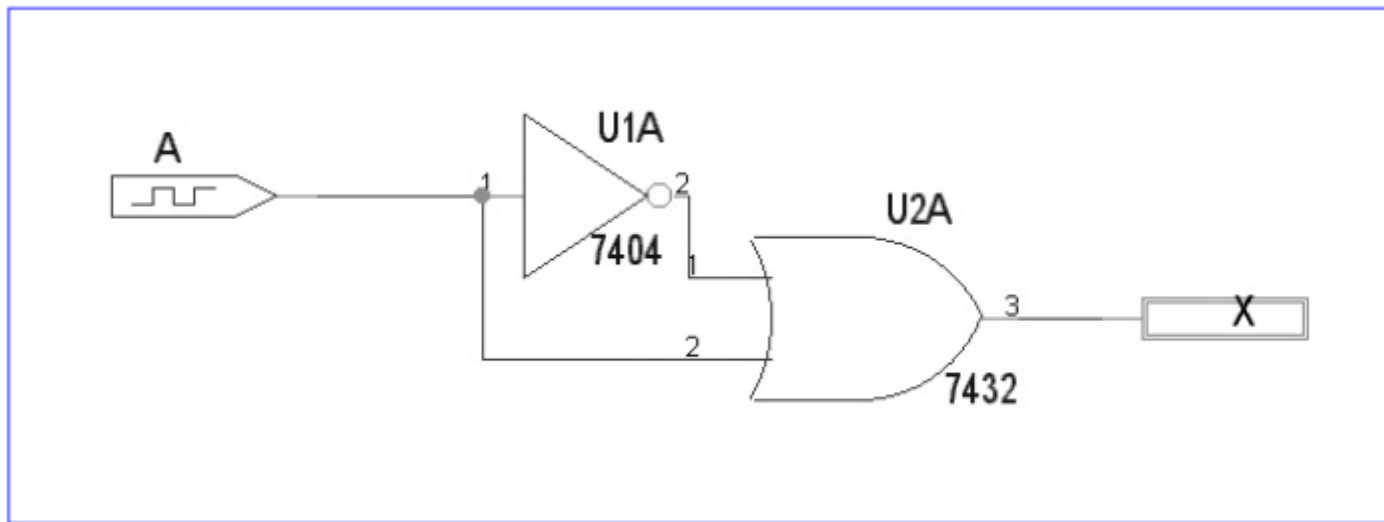
정리 8 부정법칙

$$\overline{\overline{A}} = A$$

# 부울대수의 정리

## 실험회로 I

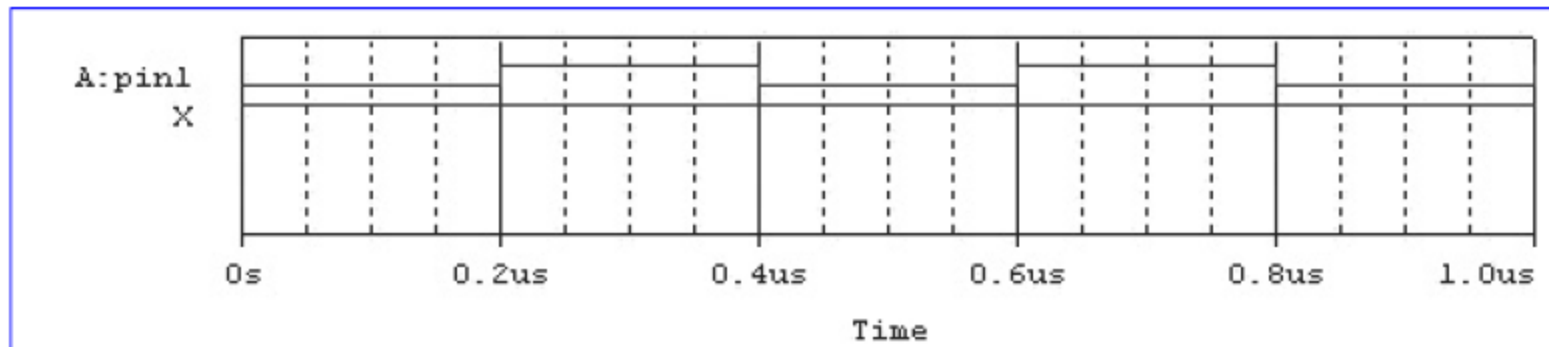
### ■ 회로개요





# 부울대수의 정리

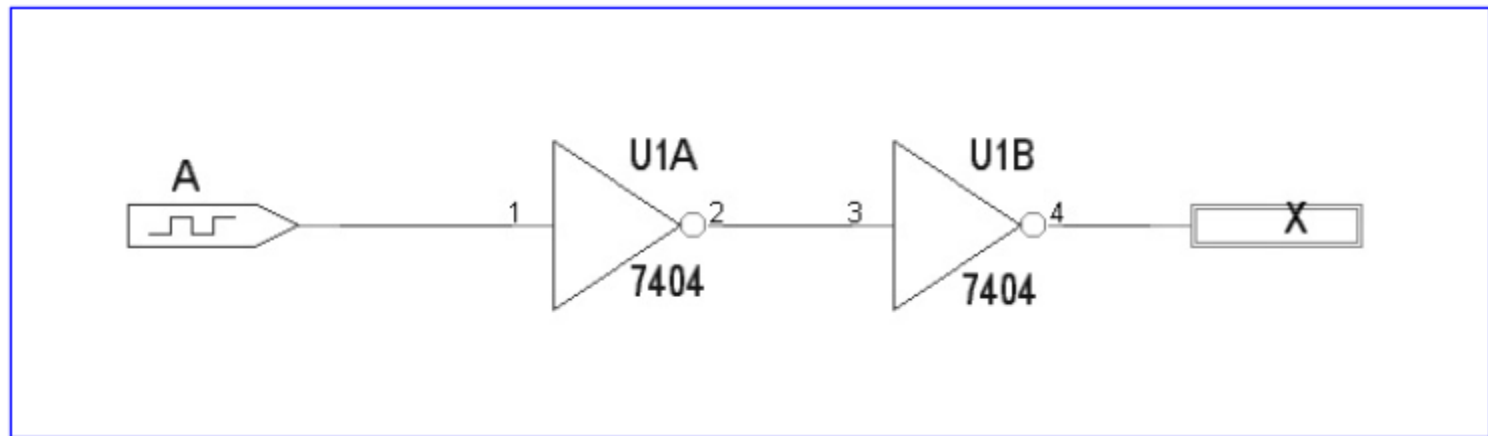
## ■ 시뮬레이션 결과



# 부울대수의 정리

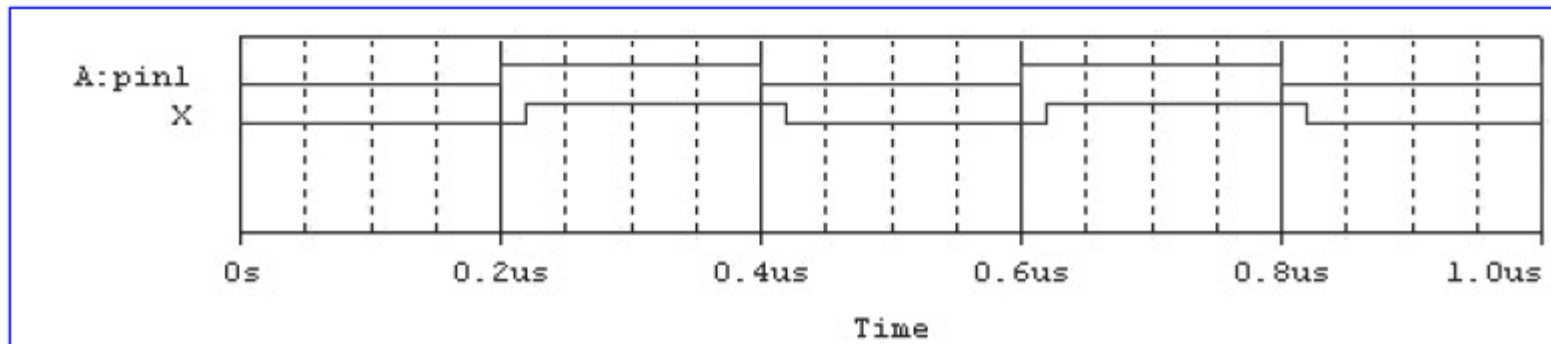
## 실험회로 II

### ■ 회로개요



# 부울대수의 정리

## ■ 시뮬레이션 결과



# De-Morgan의 정리

## De-Morgan의 정리

De-Morgan의 정리는 NAND gate와 NOR gate의 응용 및 논리회로를 간소화하는데 이용된다.

### 1. De-Morgan의 정리

a)  $\overline{A+B} = \overline{A} \cdot \overline{B}$

b)  $\overline{A \cdot B} = \overline{A} + \overline{B}$

### 2. NAND gate를 이용한 기본논리회로

a)  $A \cdot B = A \cdot B$

b)  $A+B = A+B = \overline{\overline{A} \cdot \overline{B}}$

### 3. NOR gate를 이용한 기본논리회로

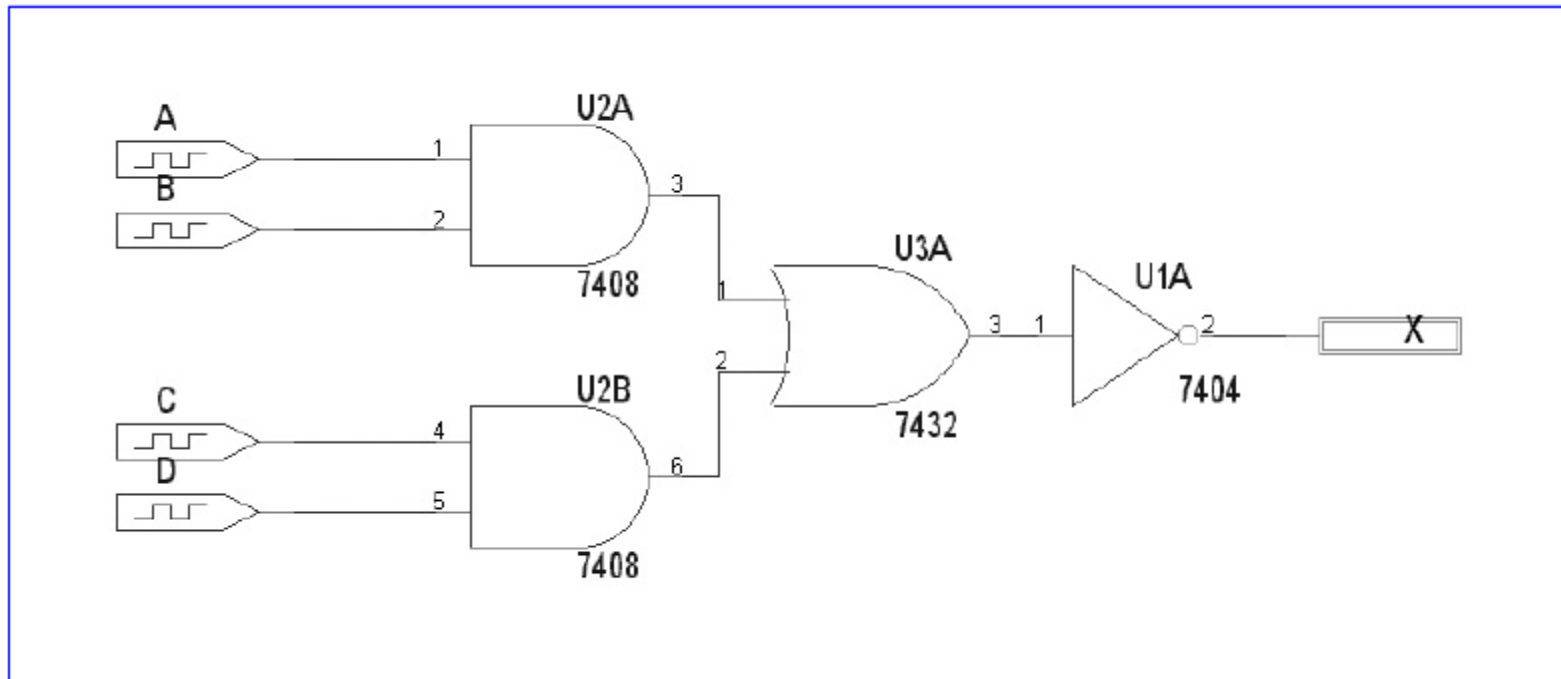
a)  $A+B = A+B$

b)  $A \cdot B = A \cdot B = \overline{\overline{A} + \overline{B}}$

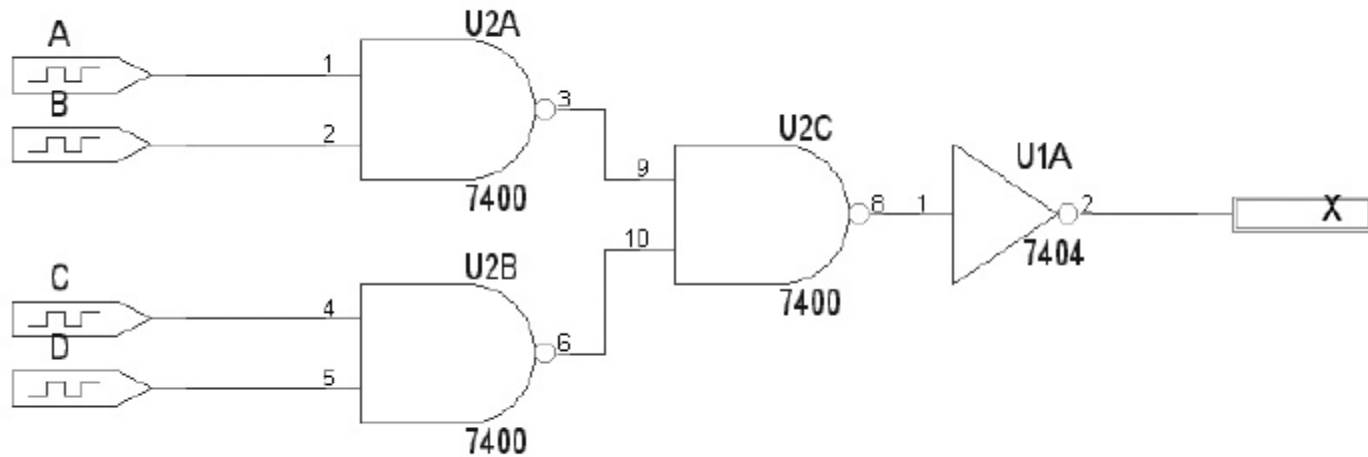
# De-Morgan의 정리

## 실험회로

### ■ 회로개요

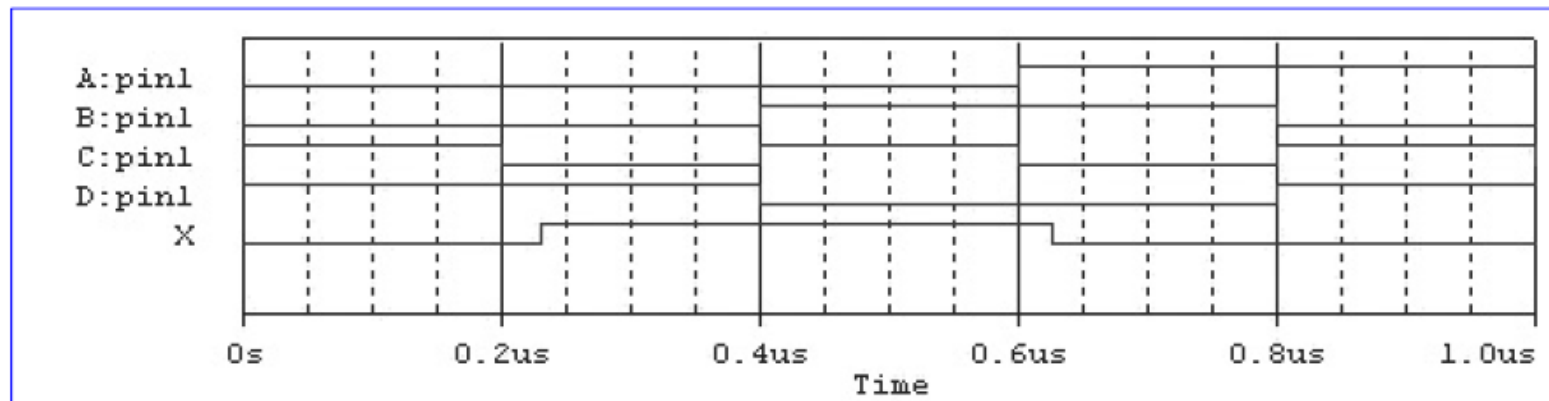
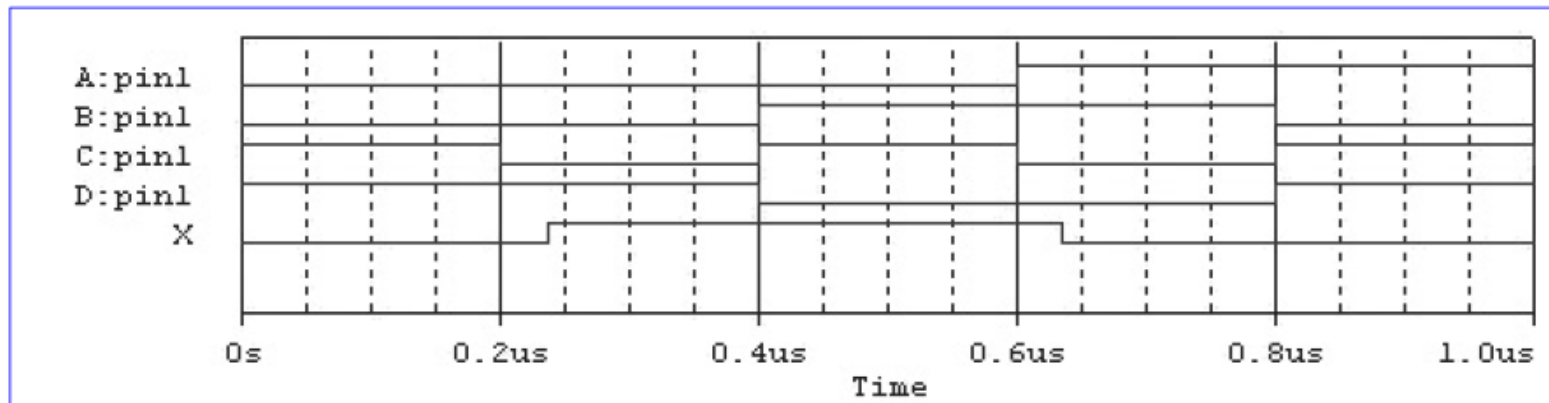


# De-Morgan의 정리



# De-Morgan의 정리

## ■ 시뮬레이션 결과



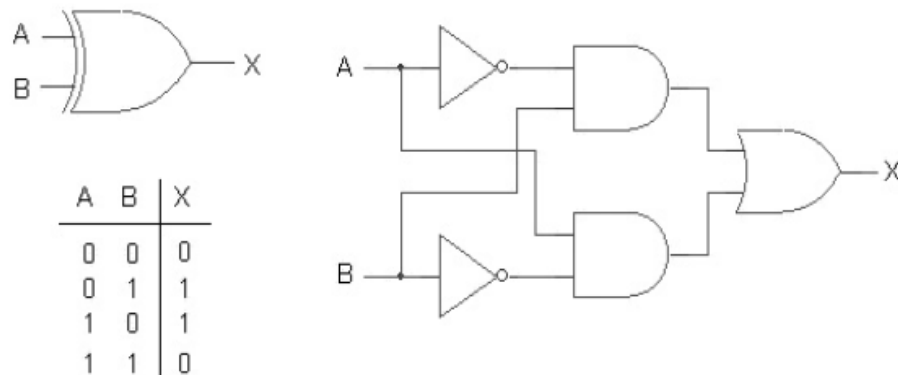
# Exclusive OR

## Exclusive OR

Exclusive OR(XOR)의 대수식은

$$X = A\overline{B} + \overline{A}B$$

로 나타내며, 흔히  $X = A \oplus B$ 로도 표시한다. 즉 두 입력이 서로 다르면 출력은 1이 되고 두 입력이 같으면 출력은 0이 된다. 기호와 진리표, 그리고 회로는 다음과 같다.

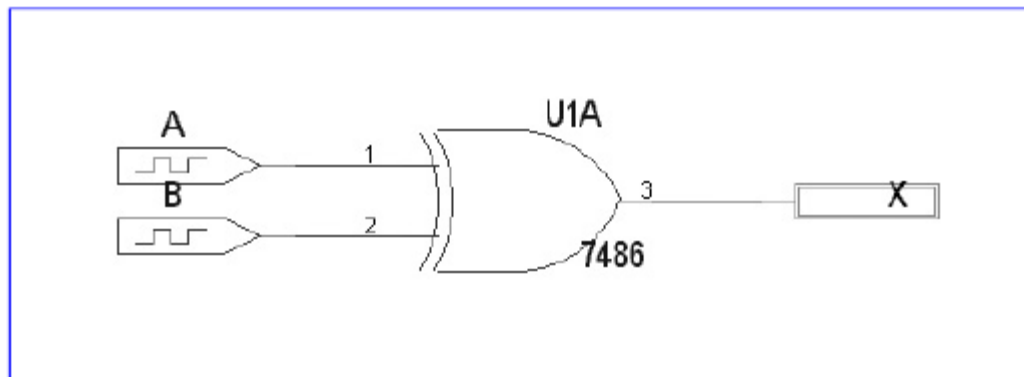




# Exclusive OR

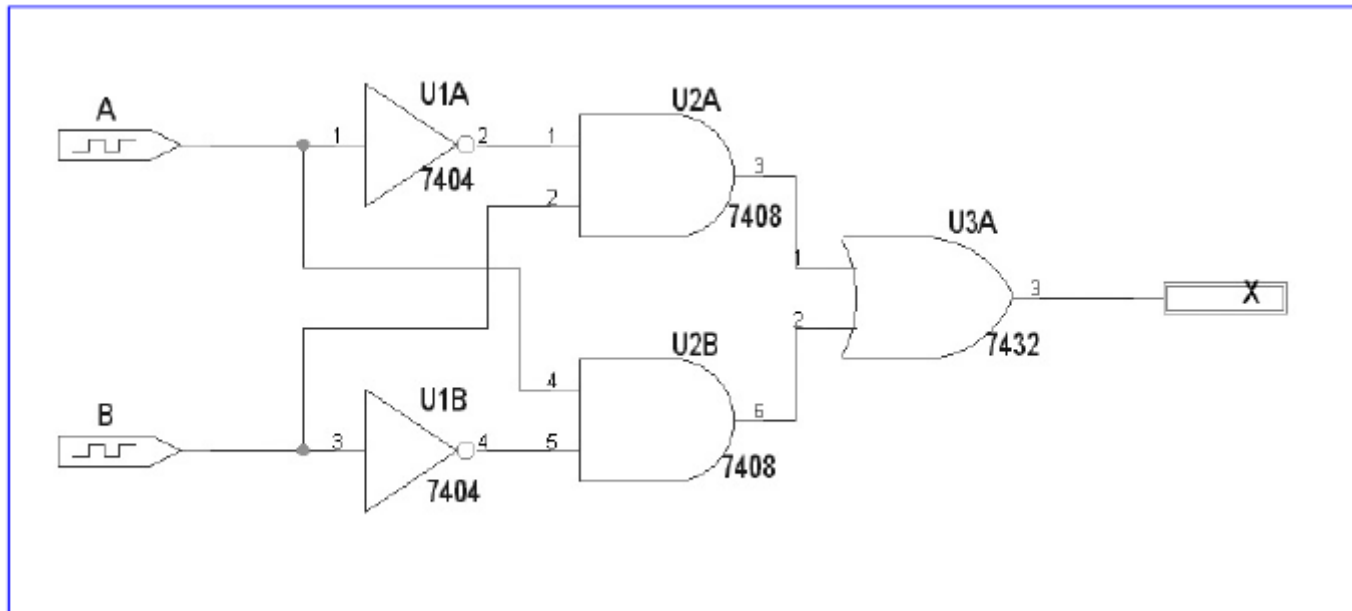
## 실험회로

### ■ 회로개요



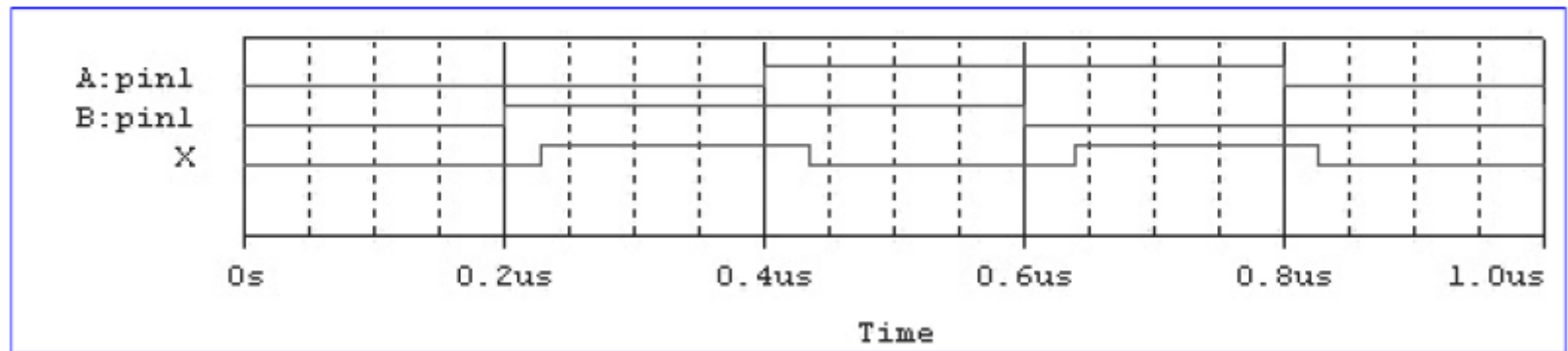
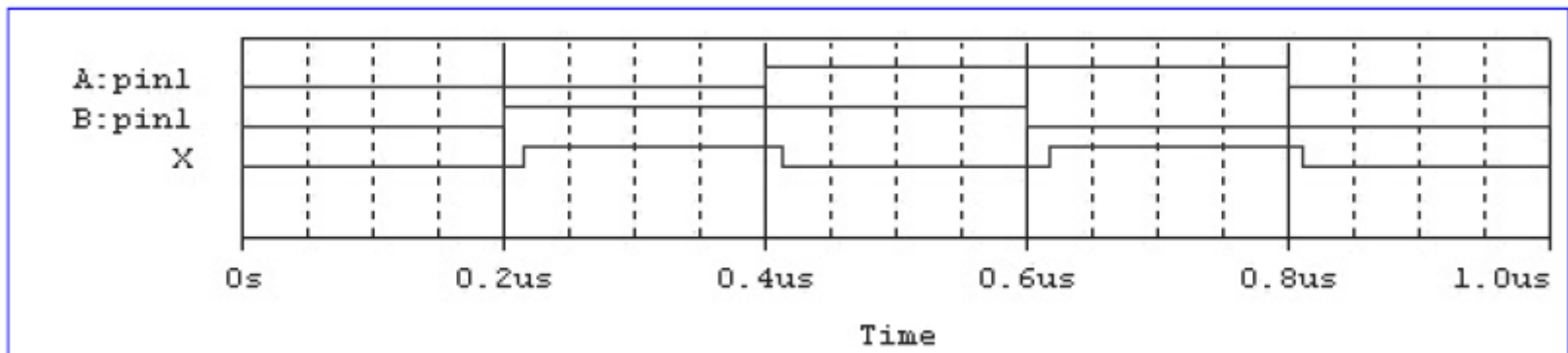
# Exclusive OR

## ■ 회로해석



# Exclusive OR

## ■ 시뮬레이션 결과



# 가산기

## 가산기

가산기는 반가산기(half adder)와 전가산기(full adder)가 있다.

### 1. 반가산기

한자리수 A와 B를 합할 때 발생하는 결과는 A와 B의 합과 다음 자리의 자리올림수(Carry)가 된다. 예를 들어

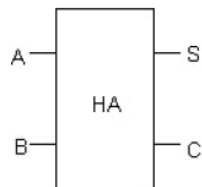
$$\begin{array}{r} 1 \leftarrow A \\ + 1 \leftarrow B \\ \hline \square \square \square \quad 10 \square \square \\ \text{자리올림 수} \quad / \quad \backslash \text{합} \end{array}$$

이 된다. 이러한 계산을 하기 위한 합(S)과 자리올림수(C)의 논리식은

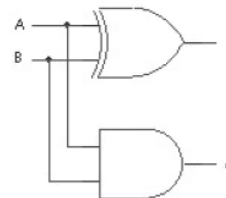
$$S = \overline{A}B + A\overline{B} = A \oplus B$$

$$C = A \cdot B$$

로 나타내며, 기호와 진리표 그리고 회로는 다음과 같다.



A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



# 가산기

## 2. 전가산기

한자리수 A와 B, 그리고 자리올림수를 합할 때에 사용되는 것으로 결과는 A와 B의 합(S)과 자리올림수(Carry)가 된다. 예를 들어

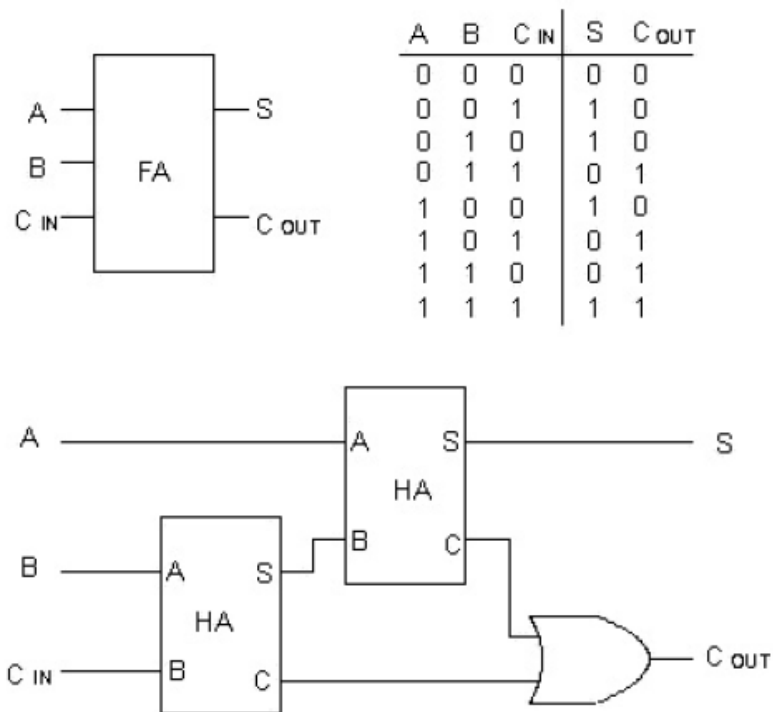
$$\begin{array}{r} \phantom{1\leftarrow\text{자리올림수}} \\ \phantom{1\leftarrow A} \\ \phantom{+1\leftarrow B} \\ \square\square\square \phantom{+1\leftarrow B} \\ \text{자리올림 수} \phantom{+1\leftarrow B} \end{array} \quad \begin{array}{r} 1\leftarrow\text{자리올림수} \\ 1\leftarrow A \\ +1\leftarrow B \\ \hline 11\square\square \\ \swarrow \searrow \\ \text{합} \end{array}$$

이 된다. 이러한 계산을 하기 위한 합(S)과 자리올림수(C)의 논리식은

$$S_n = \overline{A}_n \overline{B}_n C_{n-1} + \overline{A}_n B_n \overline{C}_{n-1} + A_n \overline{B}_n \overline{C}_{n-1} + A_n B_n C_{n-1}$$
$$C_n = A_n \cdot B_n$$

# 가산기

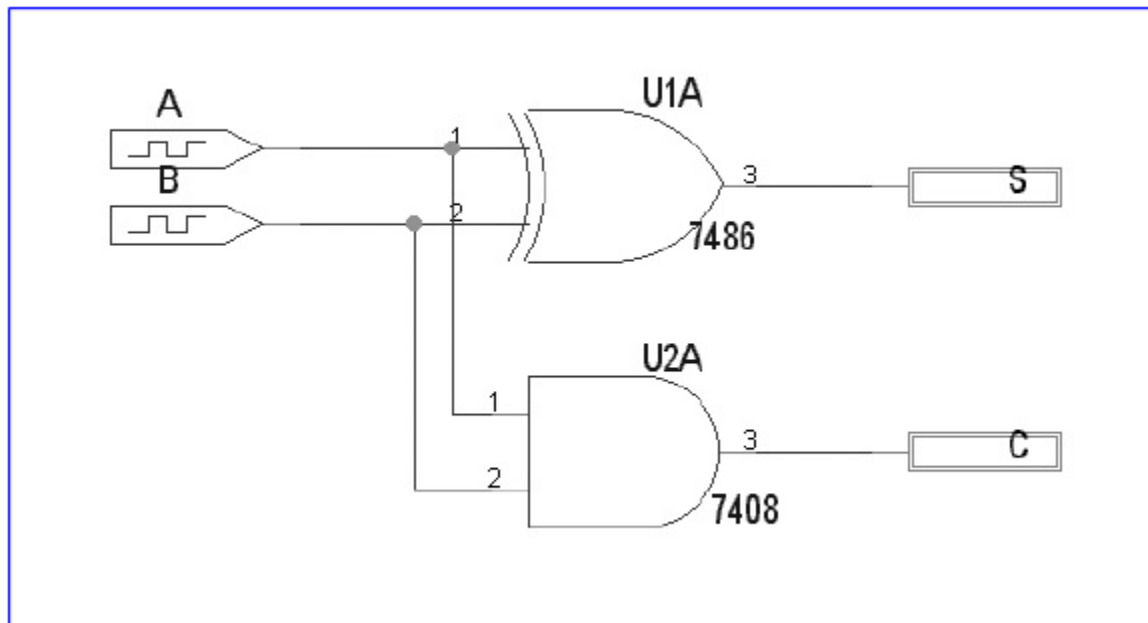
로 나타내며, 기호와 진리표 그리고 회로는 다음과 같다.



# 가산기

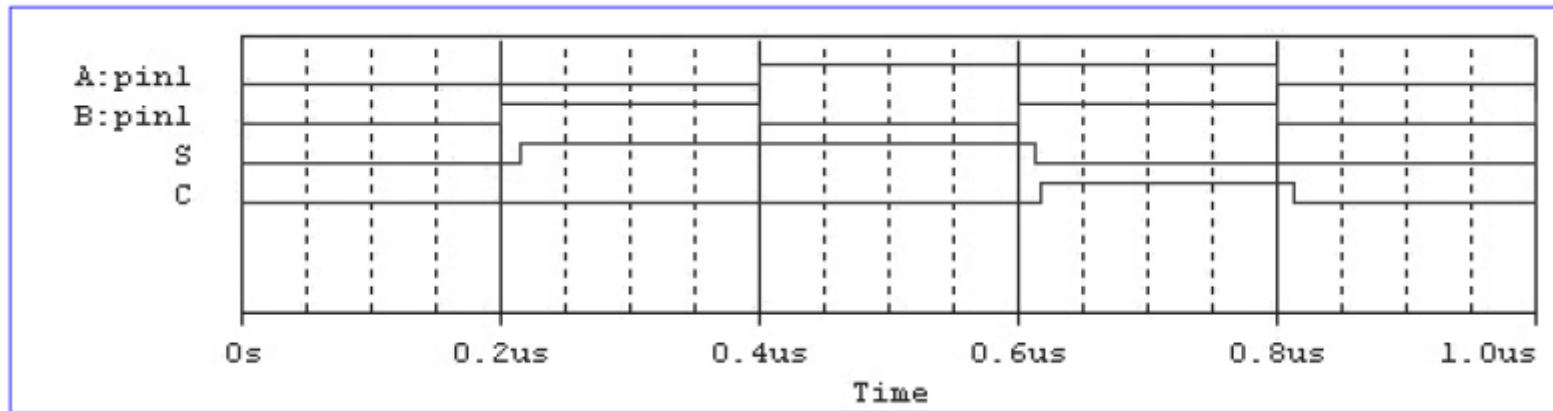
## 실험회로 I

### ■ 회로개요



# 가산기

## ■ 시뮬레이션 결과

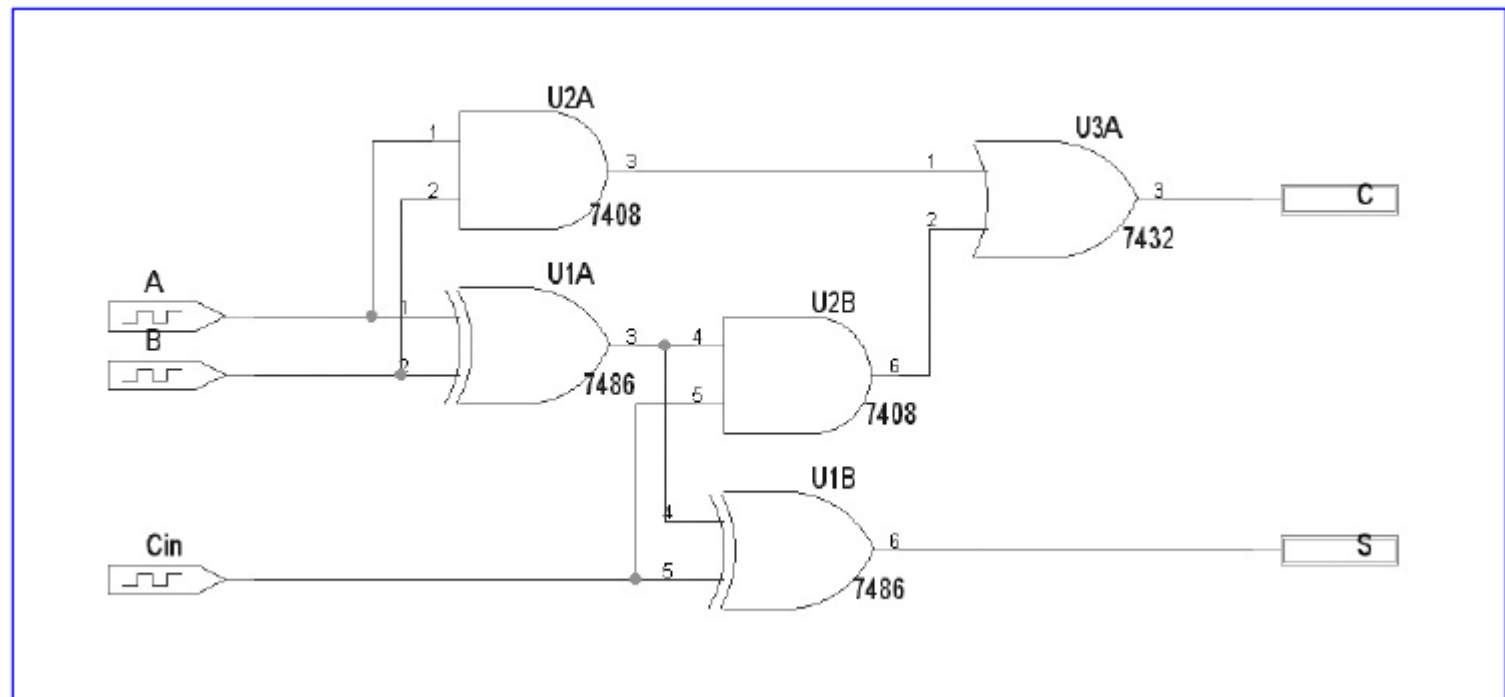




# 가산기

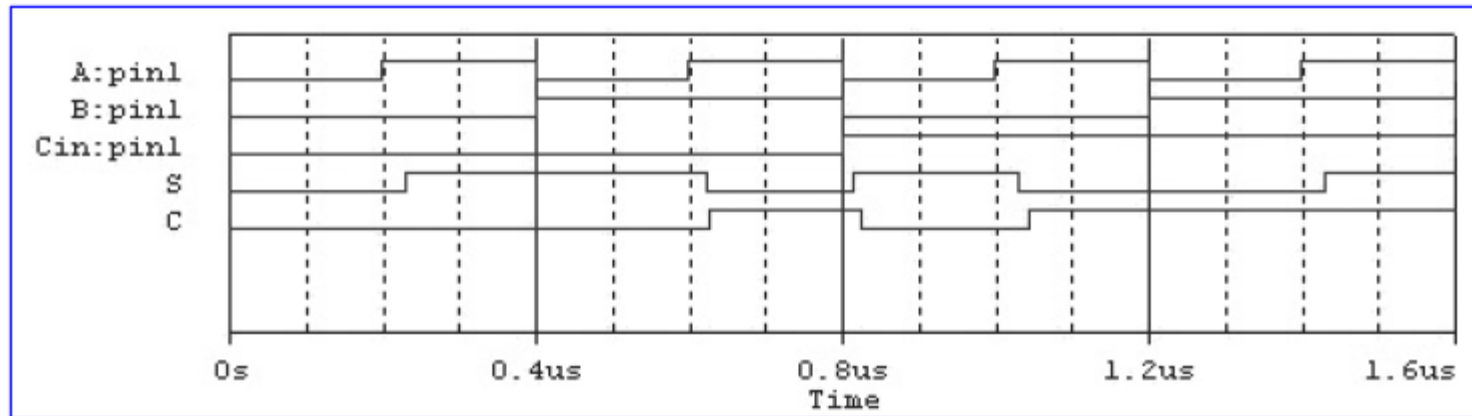
## 실험회로 II

### ■ 회로개요



# 16.6 가산기

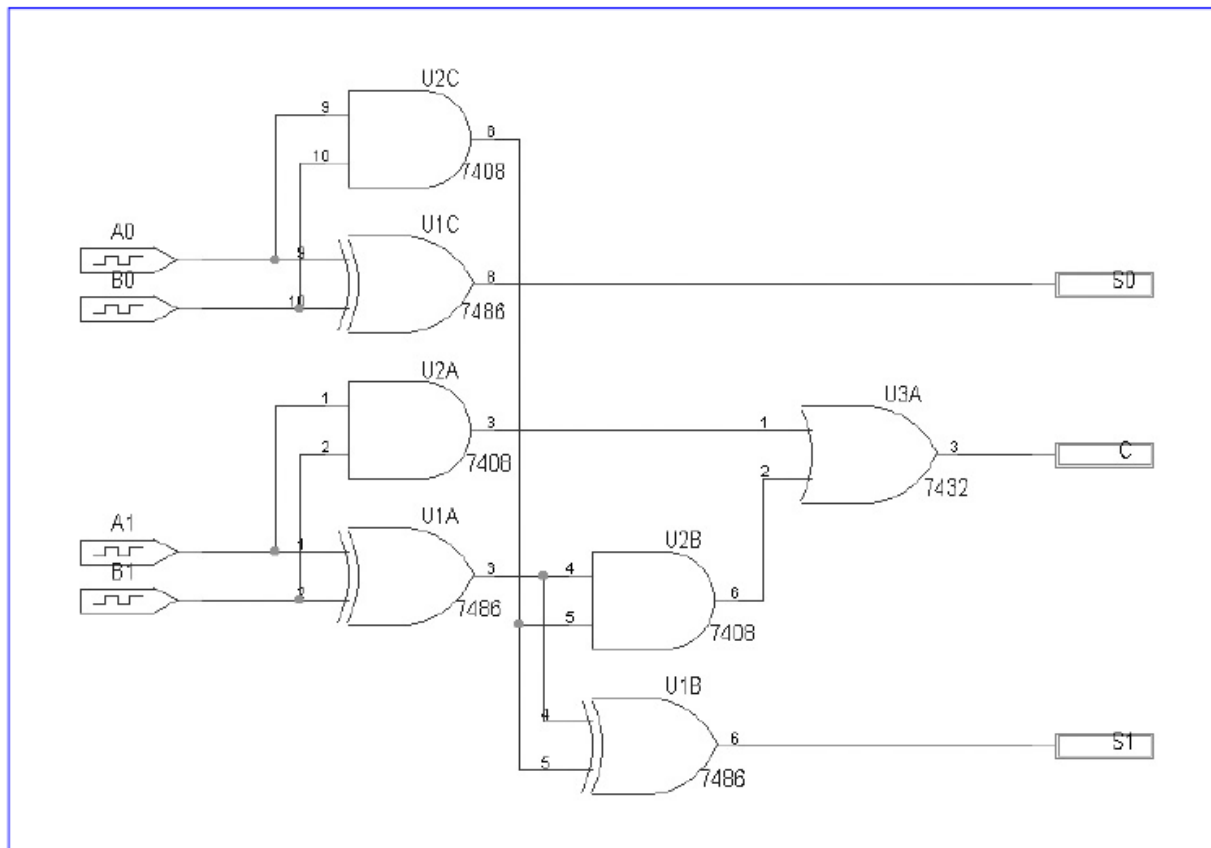
## ■ 시뮬레이션 결과



# 가산기

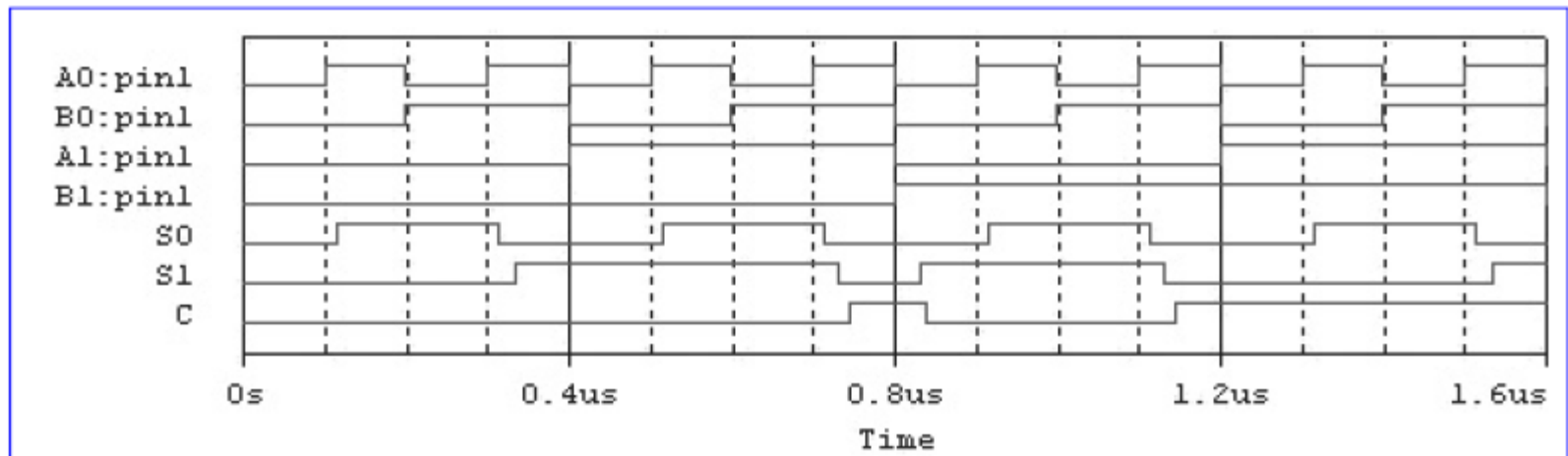
## 실험회로 III

### ■ 회로해석



# 가산기

## ■ 시뮬레이션 결과

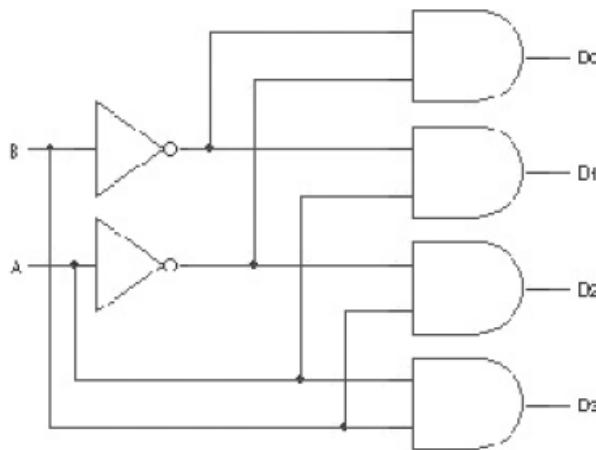


# 디코드 및 엔코드

## 디코드 및 엔코드

### 1. 디코드(Decoder)

이진수로 표시된 입력 코드를 어떠한 상태 또는 명령을 나타내는가를 해독하는 장치를 말하며, BCD 코드를 7-segment 숫자표시기로 나타내는 등 여러 가지 경우가 있다. 다음 회로는 2선-4선 디코드 회로로서 2진수 입력 A와 B의 4가지 조합에 대하여 구분되는 4개의 출력으로 변환하는 회로이다.

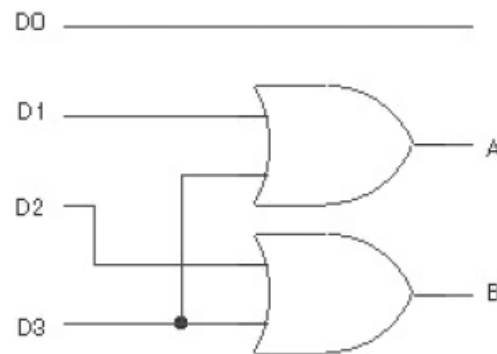


	B	A	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
0	0	0	0	0	0	1
1	0	1	0	0	1	0
2	1	0	0	1	0	0
3	1	1	1	0	0	0

# 디코드 및 엔코드

## 2. 엔코드(Encoder)

상태 또는 명령들을 이진수의 코드로 변환하는 장치로 디코드의 반대 기능을 갖는다. 다음 회로는 4개의 입력을 2진수 출력으로 변환하는 회로이다.

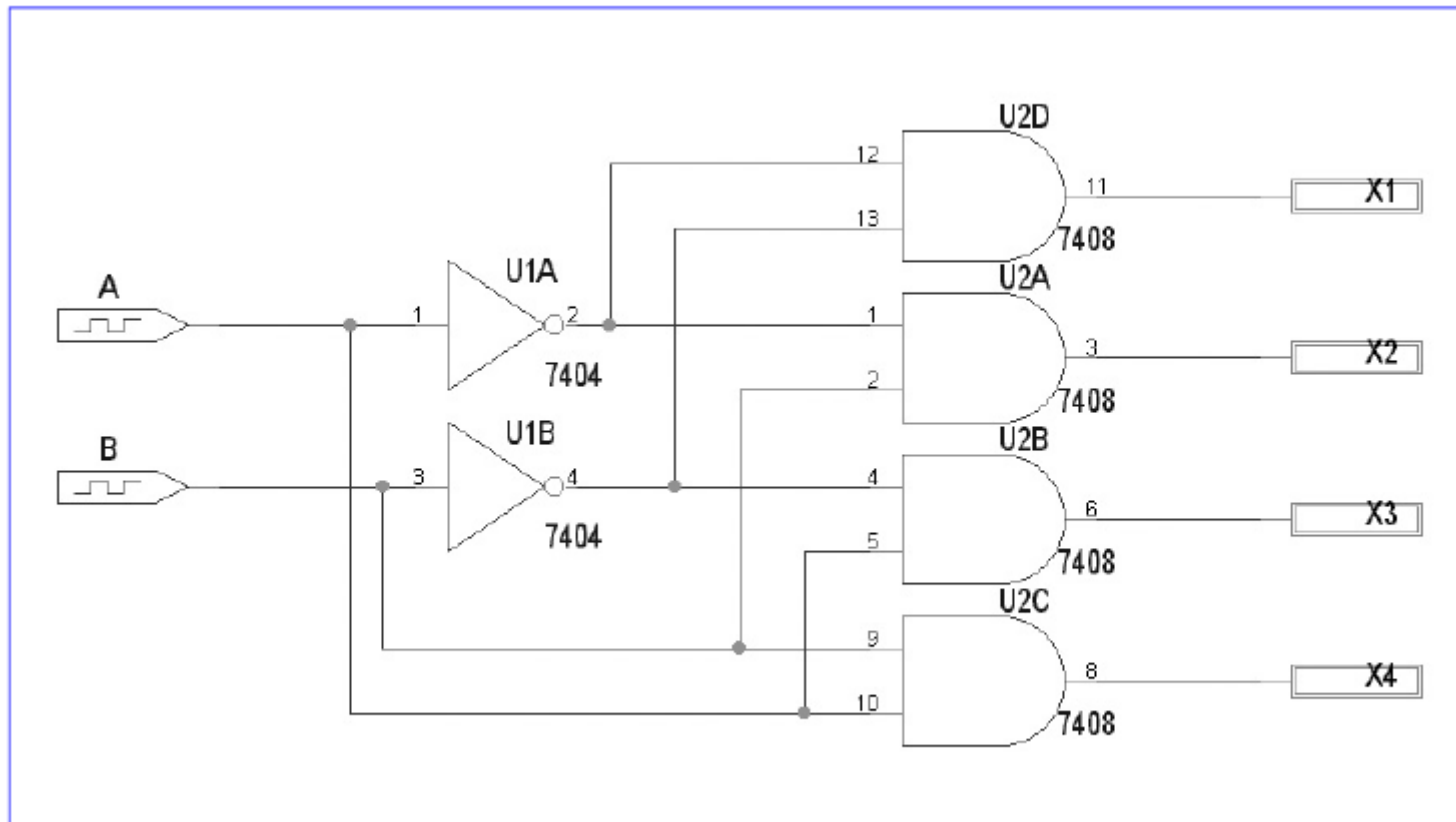


D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>	B	A	
0	0	0	1	0	0	0
0	0	1	0	0	1	1
0	1	0	0	1	0	2
1	0	0	0	1	1	3

# 디코드 및 엔코드

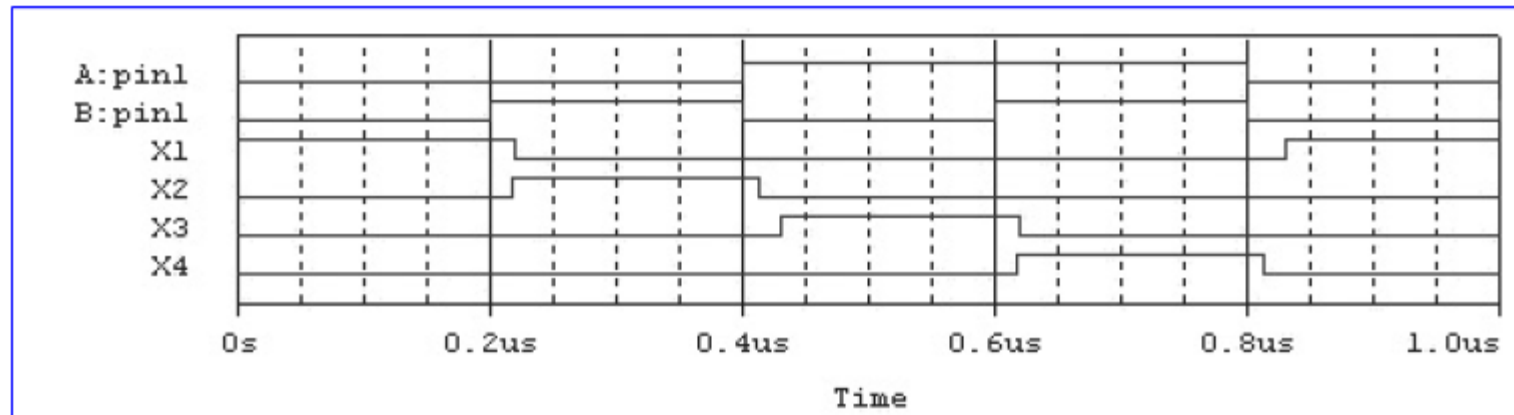
## 실험회로 I

### ■ 회로개요



# 디코드 및 인코드

## ■ 시뮬레이션 결과

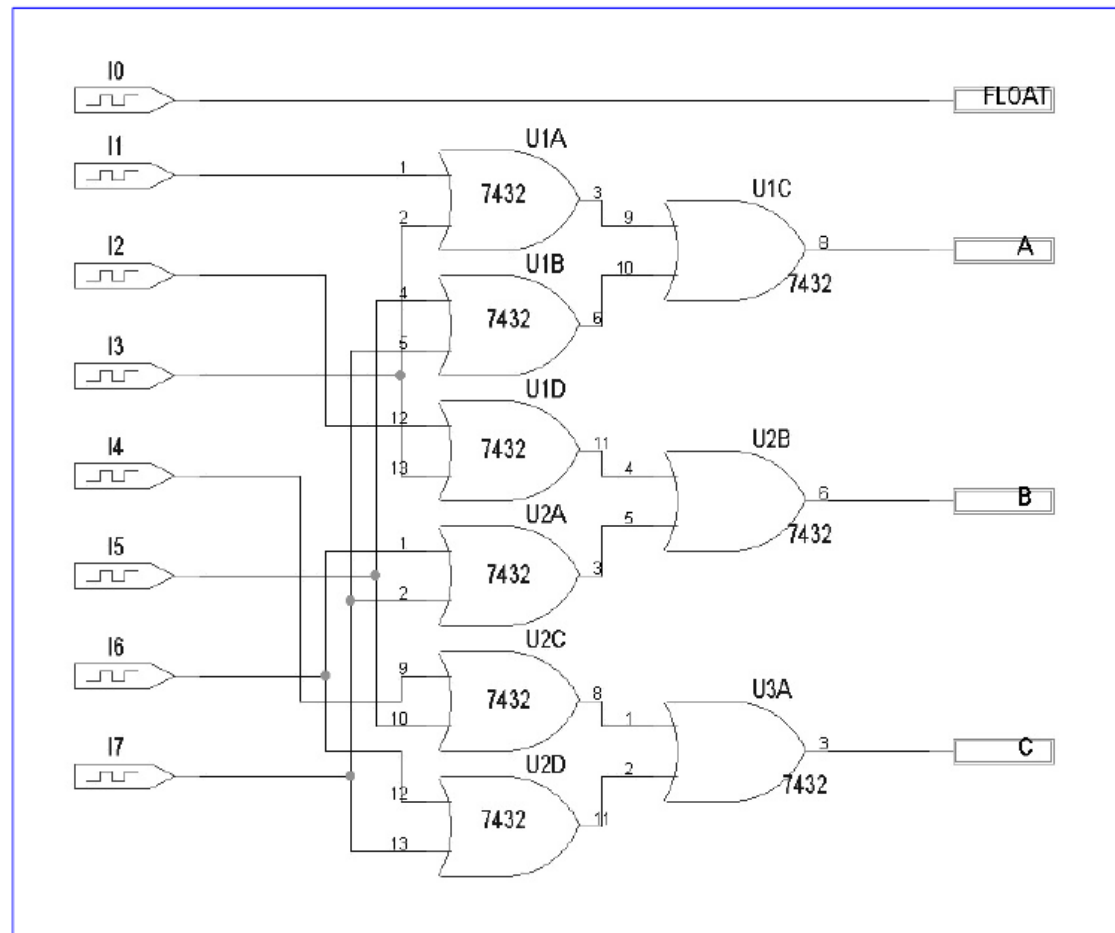




# 디코드 및 엔코드

## 실험회로 II

### ■ 회로해석



# 디코드 및 엔코드

## ■ 시뮬레이션 결과

