

Universidad de San Carlos de Guatemala
Facultad de Ingeniería
Escuela de Ciencias y Sistemas
Laboratorio de Organización Computacional
Sección B

PRÁCTICA #2
LogicCalc

Grupo 3

Bryan Alejandro Anona Paredes 202307272
Sebastian Antonio Romero Tzitzimit 202201690
Carlos Eduardo Lau López 202202812
Mariana Abigail Mejia Garcia 202300370
Rodrigo Sebastián Castro Aguilar 202204496
Andy Asael Sánchez Jiménez 201904024

INTRODUCCION

En la electrónica digital, los circuitos combinacionales juegan un papel crucial en el diseño de sistemas aritméticos y lógicos. En esta práctica, se desarrolla una Unidad Aritmética Lógica (ALU) básica, capaz de realizar operaciones aritméticas, lógicas y comparativas con números binarios de 4 bits. Se implementará un circuito combinacional en Proteus y se construirá físicamente un Selector de Operación y el Ingreso de Números. La finalidad es comprender el uso de multiplexores, demultiplexores, compuertas lógicas y decodificadores, optimizando el diseño con el menor número de dispositivos posibles.

DESCRIPCION DEL PROBLEMA

Se requiere diseñar y simular una ALU combinacional que pueda realizar las siguientes operaciones con dos números binarios de 4 bits:

C	B	A	Operación
0	0	0	Multiplicación
0	0	1	OR
0	1	0	Suma
0	1	1	AND
1	0	0	NAND
1	0	1	Número Elevado
1	1	0	Resta
1	1	1	XNOR

Requisitos principales:

- ✓ Implementar un Selector de Operación en hardware con un DIP Switch y un 74HC138.
- ✓ Implementar el Ingreso de Números con DIP Switches y Displays de 7 segmentos.
- ✓ Mostrar los resultados en LEDs o Displays según la operación seleccionada.

FUNCIONES BOOLEANAS Y MAPAS DE KARNAUGH

Funciones Lógicas Implementadas:

- ✓ **Suma y Resta:** Implementadas con compuertas lógicas básicas (AND, OR, XOR, NOT).
- ✓ **Multiplicación:** Basada en sumas repetitivas.
- ✓ **Comparadores:** Implementados con compuertas XOR y AND.

Suma

In			Out	
A	B	Ci	Cout	Suma
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Función Booleana Suma = $A'B'Ci + A'BCi' + AB'Ci' + ABC$

Suma = $A \text{ XOR } B \text{ XOR } C \text{ Cout}$

= $A'BCi + AB'Ci' + ABC' + ABCi \text{ Cout}$

= $AB + Ci(A \text{ XOR } B)$

Resta:

In			Out	
A	B	Ci	Cout	Resta
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Función Booleana Resta = $A'Ci + A'B' + BCi$

= $A \text{ XOR } (B \text{ XOR } Ci) \text{ Cout}$

= $A'B + A'Ci + Bci$

Multiplicación:

ENTRADAS A					A3	A2	A1	A0
ENTRADAS B				*	B3	B2	B1	B0
					B0A3	B0A2	B0A1	B0A0
				B1A3	B1A2	B1A1	B1A0	
			B2A3	B2A2	B2A1	B2A0		
		B3A3	B3A2	B3A1	B3A0			
SALIDAS	MR7	MR6	MR5	MR4	MR3	MR2	MR1	MR0

Potencia:

A3, A2, A1, A0 son las entradas para la simulación del circuito.

PD	ENTRADAS				A ²	SALIDAS							
	A3	A2	A1	A0		R7	R6	R5	R4	R3	R2	R1	R0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0	0	0	1
2	0	0	1	0	4	0	0	0	0	0	1	0	0
3	0	0	1	1	9	0	0	0	0	1	0	0	1
4	0	1	0	0	16	0	0	0	1	0	0	0	0
5	0	1	0	1	25	0	0	0	1	1	0	0	1
6	0	1	1	0	36	0	0	1	0	0	1	0	0
7	0	1	1	1	49	0	0	1	1	0	0	0	1
8	1	0	0	0	64	0	1	0	0	0	0	0	0
9	1	0	0	1	81	0	1	0	1	0	0	0	1

Mapas de Karnaugh:

Función 1 R_2

$A_1 A_0$	00	01	11	10
$A_3 A_2$	00	0	0	0
01	0	0	0	1
11	x	x	x	x
10	0	0	x	x

$R_2 = A_1 A_0' A_4$

Función 2 R_3

$A_1 A_0$	00	01	11	10
$A_3 A_2$	00	0	1	0
01	0	1	0	0
11	x	x	x	x
10	0	0	x	x

$\bar{A}_3 A_2 \bar{A}_1 A_0 + \bar{A}_3 \bar{A}_2 A_1 A_0$

$R_3 = A_0 \bar{A}_3 (A_2 \oplus A_1) A_4$

Función 3 R_4

$A_3 A_2 \backslash A_1 A_0$	00	01	11	10
00	0	0	0	0
01	1	1	1	0
11	x	x	x	x
10	0	1	x	x

$R_4 = A_2 \bar{A}_1 + A_3 A_0 + A_1 A_0$

Función 4 R_5

$A_3 A_2 \backslash A_1 A_0$	00	01	11	10
00	0	0	0	0
01	0	0	1	1
11	x	x	x	x
10	0	0	x	x

$R_5 = A_2 A_1 A_0$

PD	ENTRADAS				A ³	SALIDAS							
	A3	A2	A1	A0		R7	R6	R5	R4	R3	R2	R1	R0
0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	0	0	0	0	0	0	1
2	0	0	1	0	9	0	0	0	0	1	0	0	0
3	0	0	1	1	27	0	0	0	1	1	0	1	1
4	0	1	0	0	64	0	1	0	0	0	0	0	0

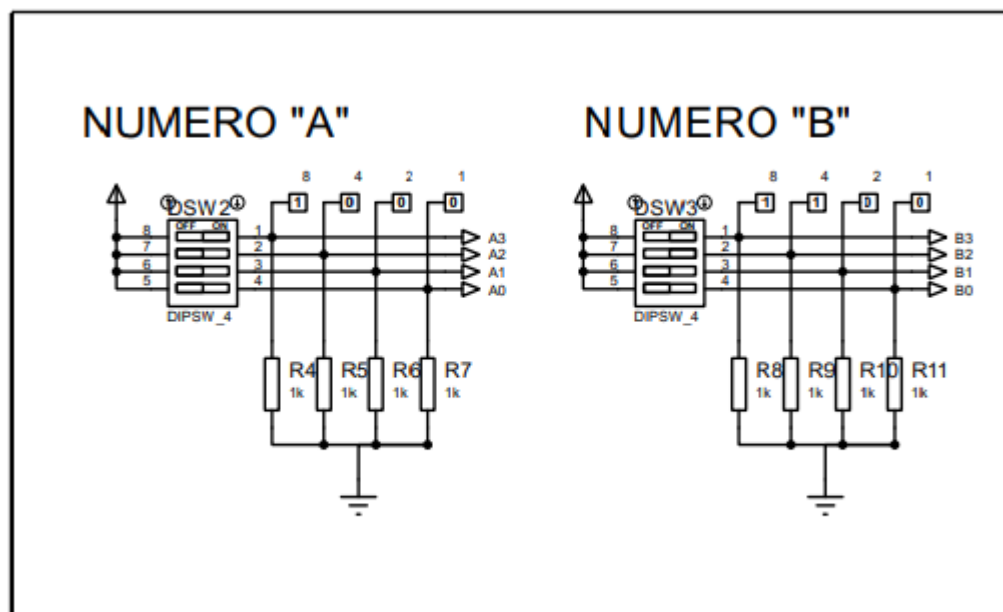
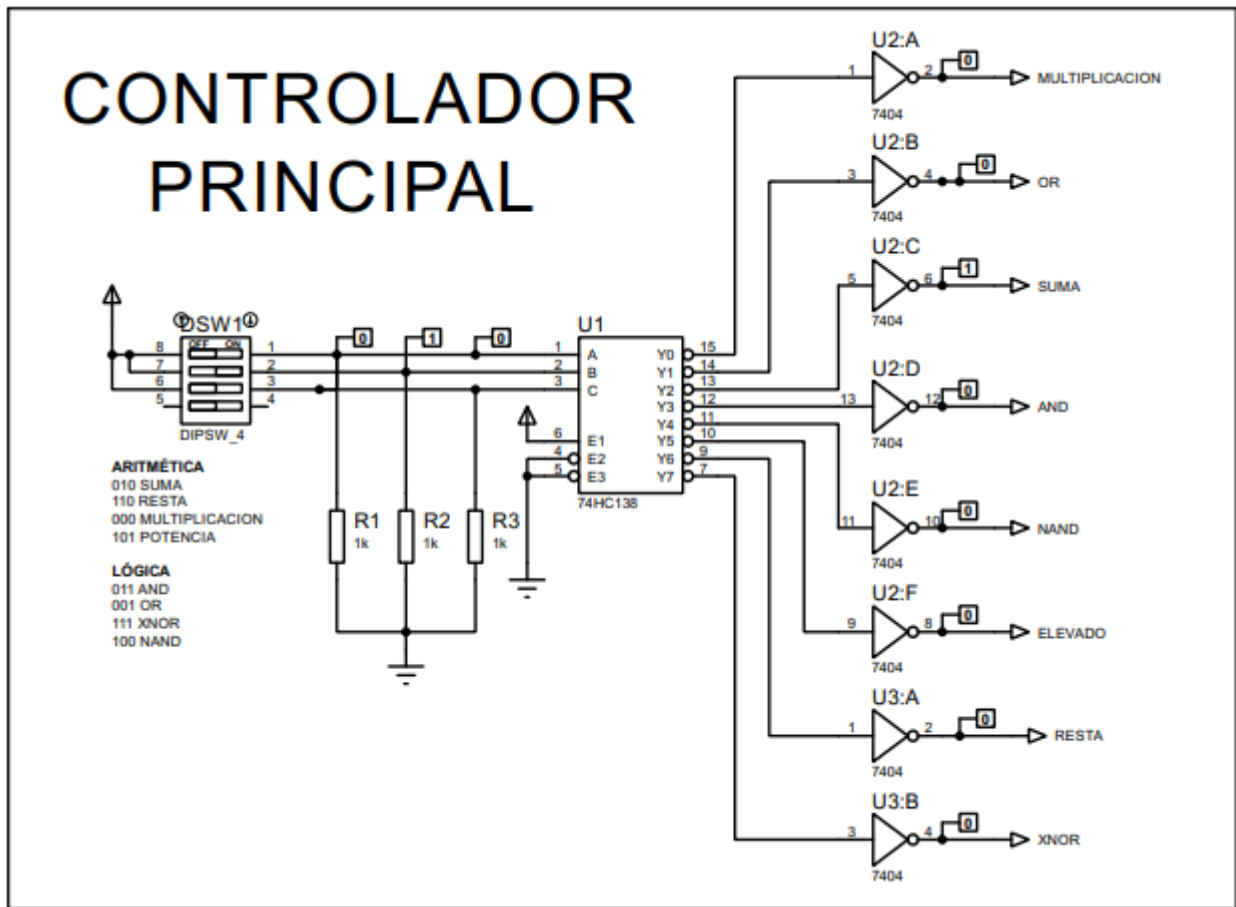
Salidas Cuadrado:

F0	A0
F1, F7	Tierra
F2	A1A0'A4
F3	A0 A3' (A2 xor A1) A4
F4	A2A1'+A2A0+A3A0
F5	A2A1A4
F6	A3

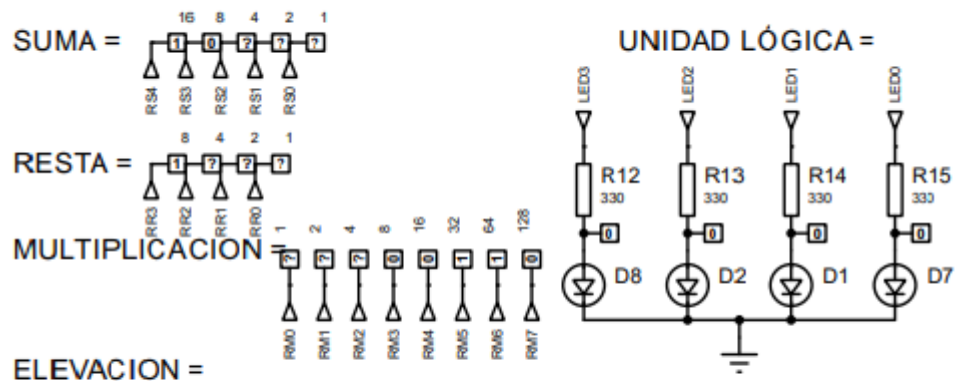
Salidas Cubo:

F0	A0
F1	A1A0
F2, F7	Tierra
F3	A1
F4	A1A0
F5	Tierra
F6	A2

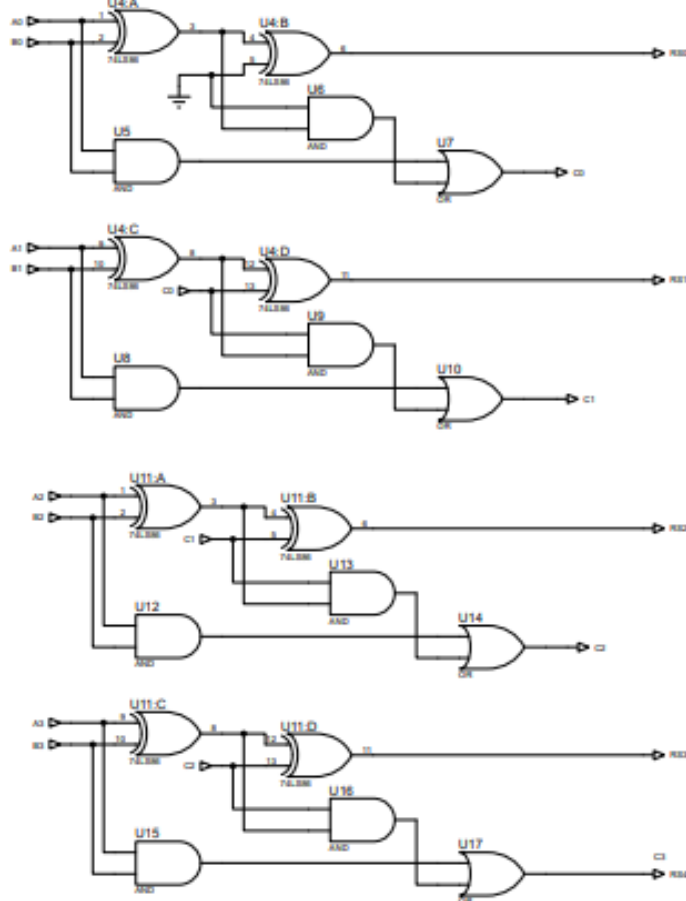
DIAGRAMAS DE LOS DISEÑOS DESARROLLADOS



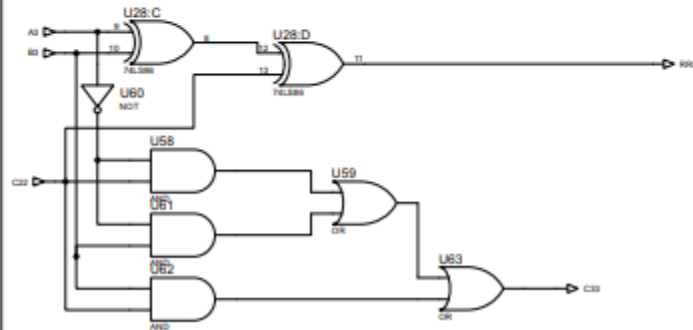
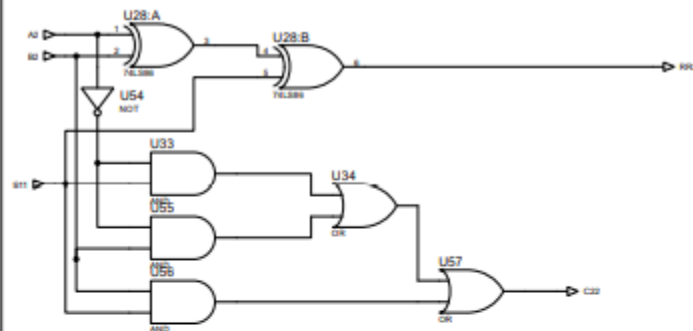
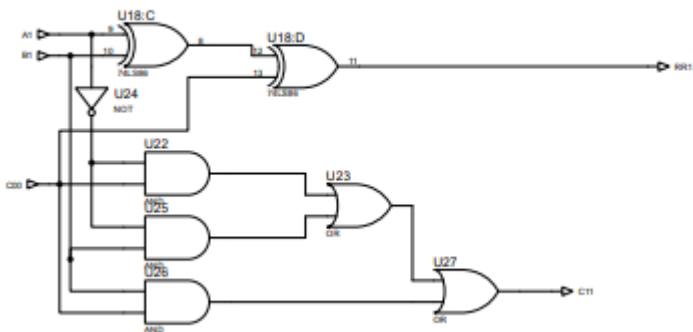
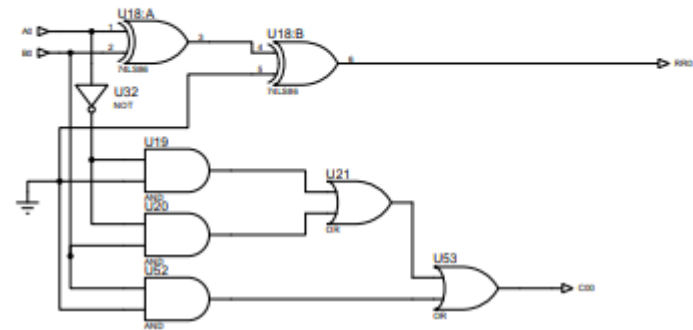
RESULTADOS (BINARIO)



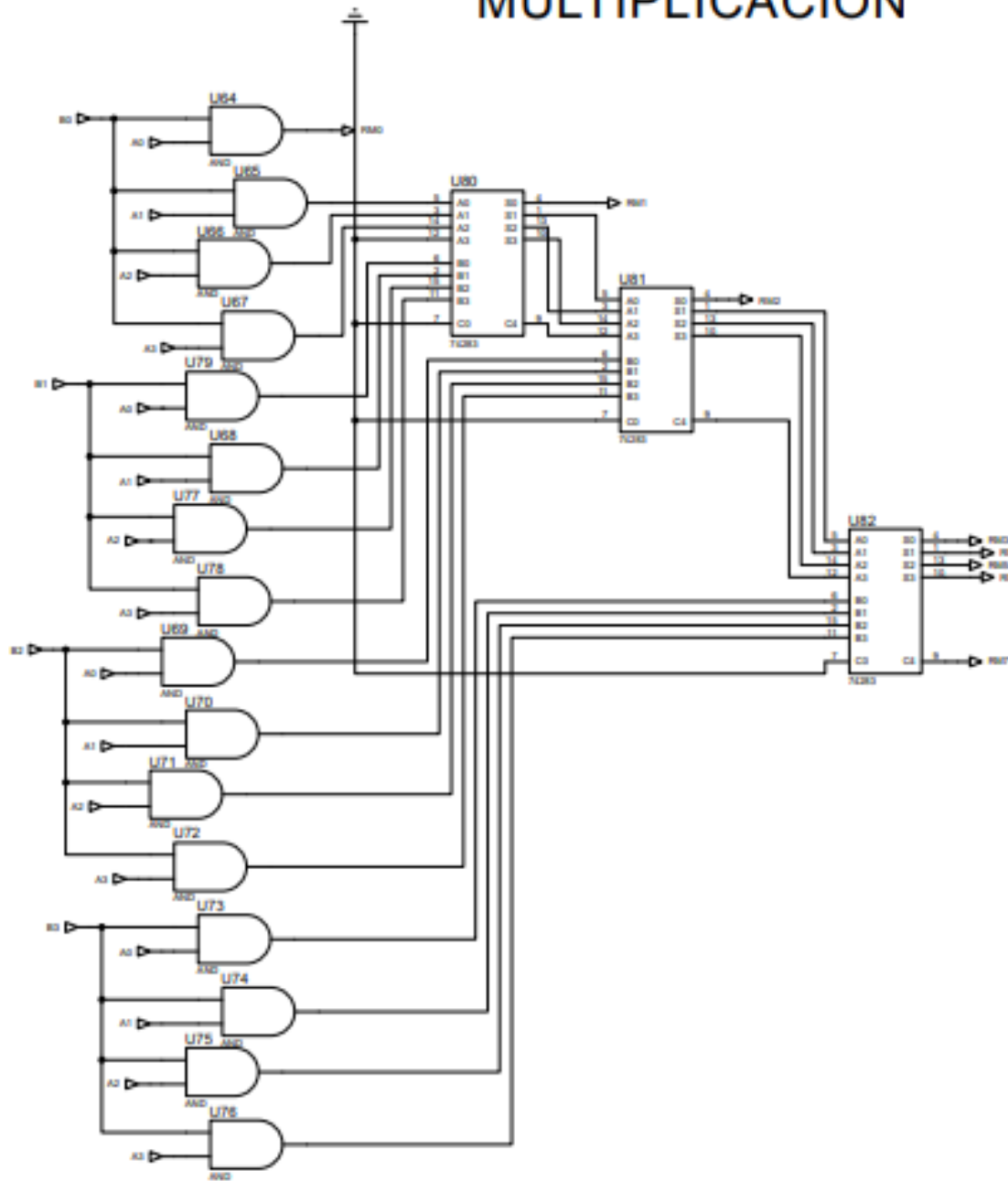
SUMA •



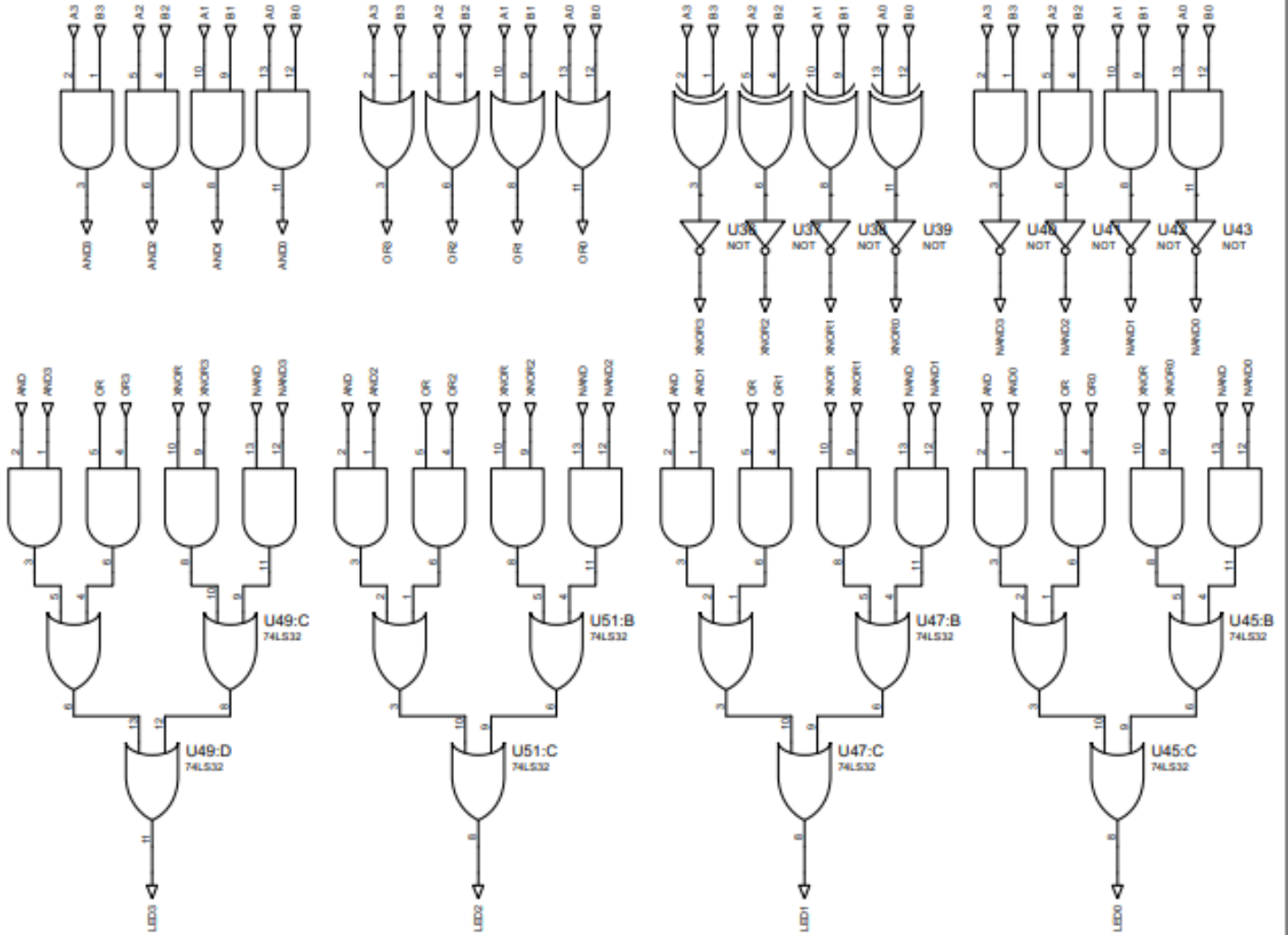
RESTA

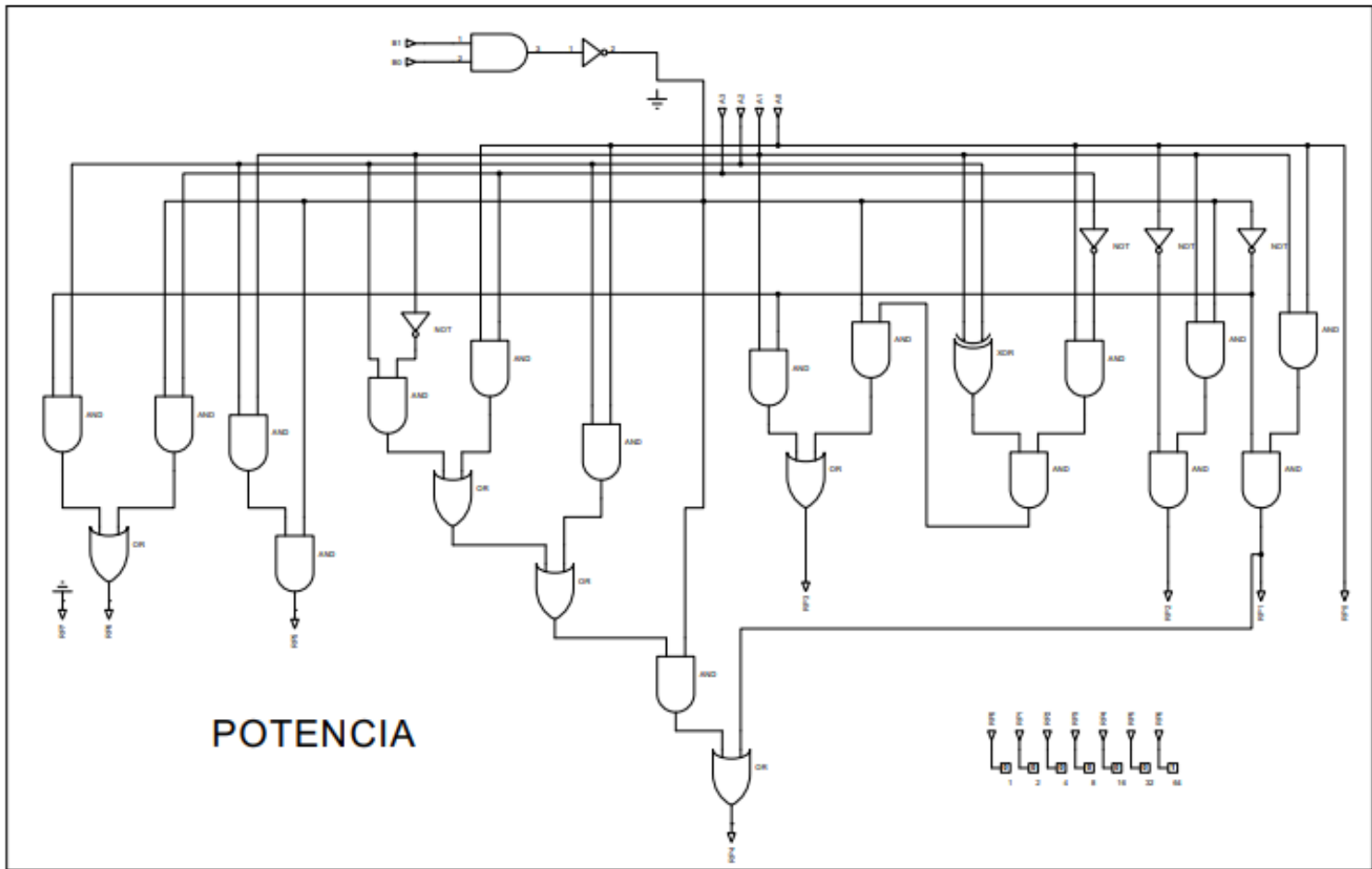


MULTIPLICACIÓN

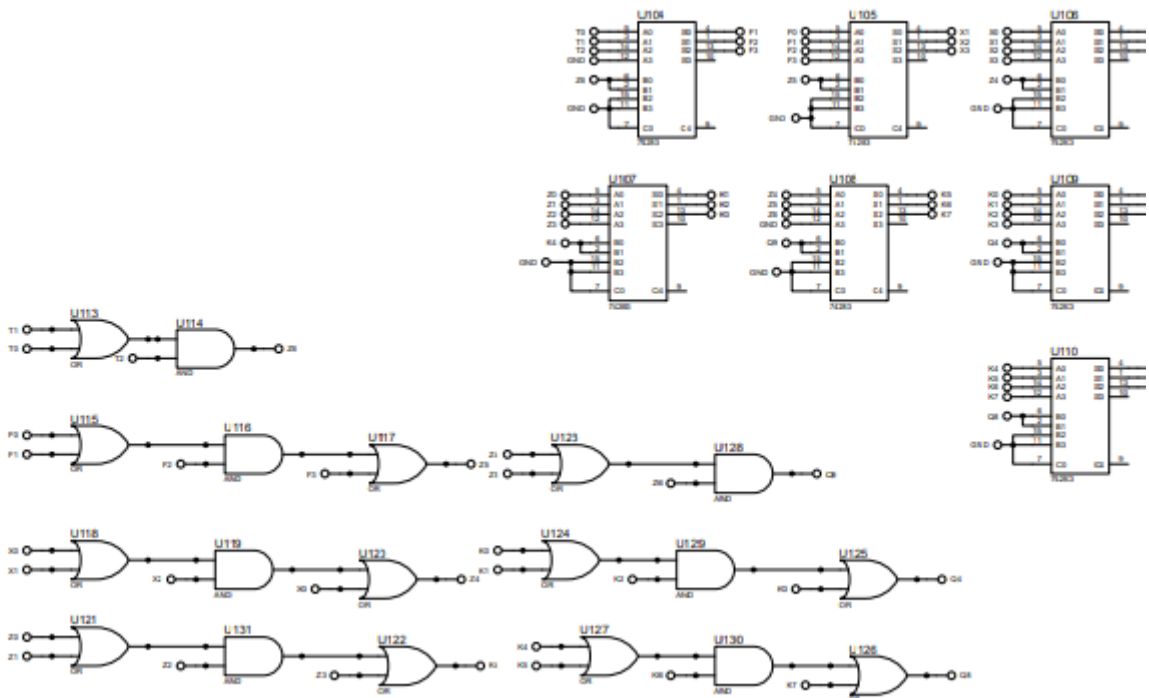
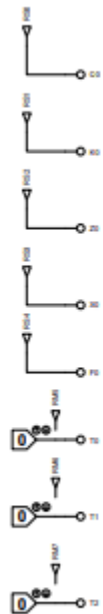
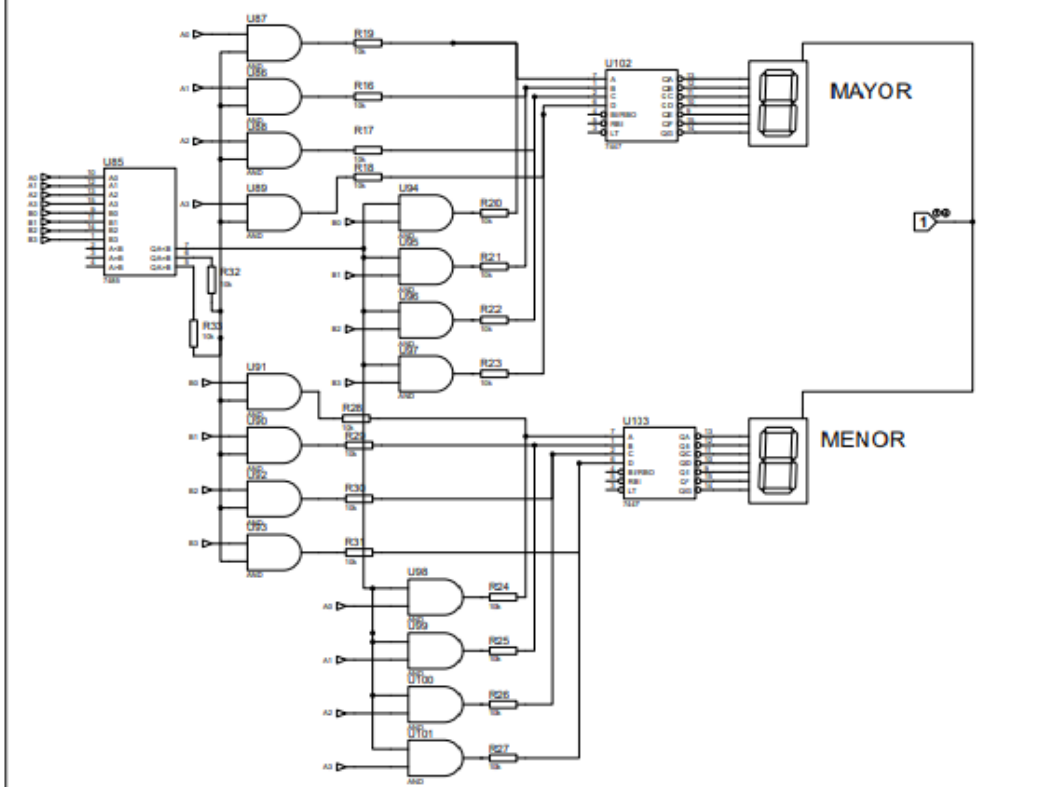


UNIDAD LOGICA





COMPARADOR



EQUIPO UTILIZADO

Componente	Cantidad
Protoboard	1
74HC138 (Decodificador)	1
74LS48N (Decodificador BCD a 7 segmentos)	2
Displays de 7 segmentos	2
DIP Switches (4 bits)	2
LEDs	8
Resistencias de 1k Ω (pull-down)	8
Resistencias de 330 Ω (para LEDs y Displays)	14
Cables de conexión	Varios
Fuente de alimentación de 5V	1

PRESUPUESTO

5	leds	10	
6	compuertas	46	
1	placa	40	
1	cable	12	
4	metros	12	
1	display	2	
1	lija	10	
1	impresiones	9	
1	placa	32	C/u
	TOTAL	173	28.83333333

APORTE DE CADA INTEGRANTE

Nombre	Carné	Porcentaje de Participación
Bryan Alejandro Anona Paredes	202307272	18%
Sebastian Antonio Romero Tzitzimit	202201690	17%
Carlos Eduardo Lau López	202202812	16%
Rodrigo Sebastián Castro Aguilar	202300370	17%
Mariana Abigail Mejia Garcia	202204496	16%
Andy Asael Sánchez Jiménez	201904024	16%

CONCLUSIONES:

- ✓ Se logró implementar una ALU básica capaz de ejecutar operaciones aritméticas, lógicas y comparativas con números de 4 bits.
- ✓ Se comprendió el uso de multiplexores, decodificadores y compuertas lógicas en un circuito combinacional.
- ✓ Se optimizó el diseño para reducir el uso de componentes innecesarios.
- ✓ Se realizó una simulación en Proteus antes de la implementación física para verificar su correcto funcionamiento.
- ✓ Se construyó físicamente el Selector de Operación y el Ingreso de Números, asegurando su correcto desempeño en hardware real.