
XME0601

用户手册

Xilinx Spartan-6 FPGA

Rev. 1.0



版本记录

版本	时间	描述
Rev. 1.0	2019.08.12	第一版发布

版权声明：

XME/IME 系列核心模块、评估板及其相关知识产权由微相科技有限公司所有。

本文档由微相科技有限公司版权所有，并保留一切权利。在未经微相公司书面许可的情况下，不得以任何方式或形式来修改、分发或复制本文档的任何部分。

免责声明

产品中所提供的程序源代码、软件、资料文档等，微相科技不提供任何类型的担保；不论是明确的，还是隐含的，包括但不限于合适特定用途的保证，全部的风险，由使用者来承担。

目录

版本记录	1
版权声明：	2
免责声明	2
目录	3
XME0601 核心模块	4
1 产品简介	4
2 硬件参数	4
2.1 功能框图	4
2.2 资源特性	5
3 XME0601 布局与尺寸	6
4 硬件资源	6
4.1 FPGA	6
4.2 SDRAM	7
4.3 JTAG 连接器	9
4.4 QSPI Flash	10
4.5 Clock	10
4.6 LED	10
4.7 KEY	11
4.8 扩展口	11
4.9 电源	16

XME0601 核心模块

1 产品简介

XME0601 是微相科技推出的一款基于 Xilinx Spartan6 系列的 FPGA 核心模块，它集成了 XC6SLX16-2FTG256C FPGA 芯片，256Mbit SDRAM，16Mbit QSPI flash 和电源管理，大量可配置的 I/O 通过高速连接器扩展。模块尺寸仅为 7.8 x 5.4cm，同时极具有竞争力的价格，非常适合集成到客户的产品中。

FPGA 模块集成了 1 片 Winbond 公司的 W9825G6KH-6 芯片，16bit 数据位宽，容量为 256Mbit；SDRAM 可稳定运行在 166MHz。

模块扩展出 104 个单端 IO（可配置成 52 对差分 IO），其中 104 个 IO（52 对差分）的电压可配（1.2V,1.5V,1.8V,2.5V,3.3V），FPGA Pin 到连接器的走线都做了等长差分处理，阻抗单端 50 欧姆，差分 100 欧姆。对于需要大量 IO 的应用，此模块是一个不错的选择，并且模块尺寸仅为 7.8 x 5.4cm，对于二次开发来说非常适合。

2 硬件参数

2.1 功能框图

XME0601 模块功能框图如 Figure 2-1 所示

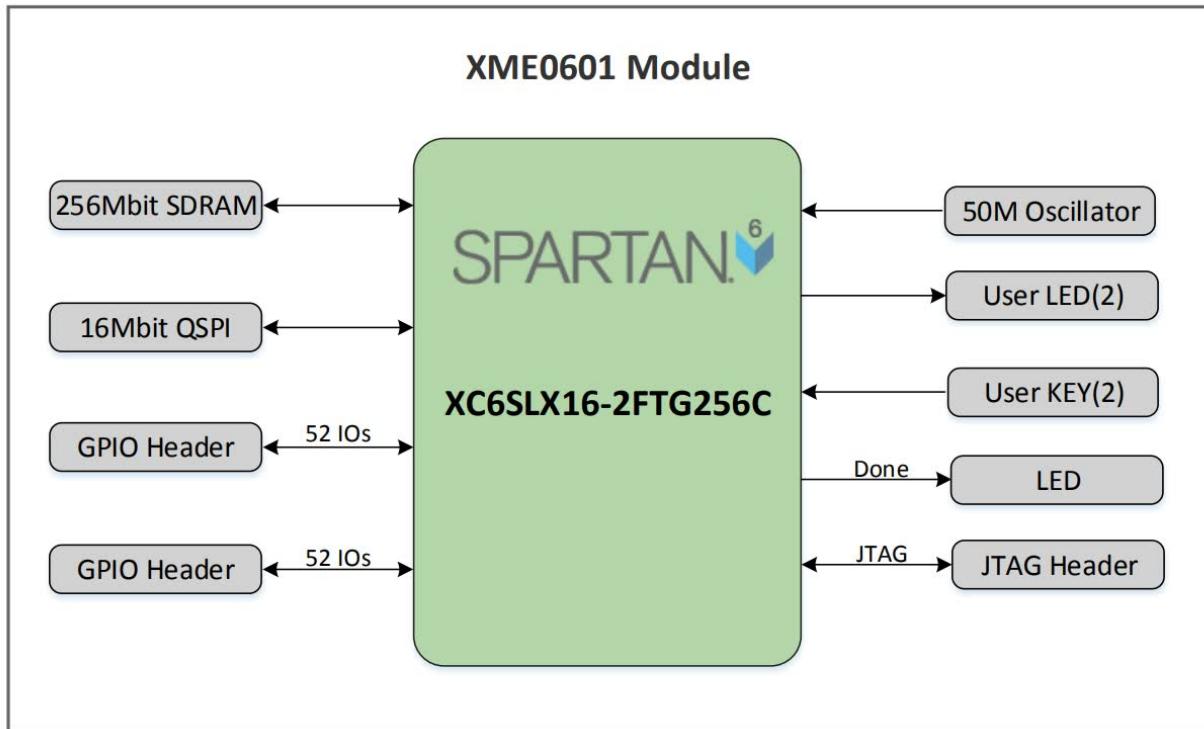


Figure 2-1 XME0601 功能框图

2.2 资源特性

XME0601 提供了如下硬件资源，如表 Table 2-1。

特性	描述
FPGA	搭载 Xilinx XC6SLX16-2FTG256
SDRAM	256Mbit SDRAM
Flash	16Mbit QSPI Flash
尺寸	78 * 54mm
电源输入	DC5V(Micro USB)

Table 2-1 XME0601 硬件资源表

3 XME0601 布局与尺寸

XME0601 全貌和尺寸图如 **Figure 3-1** 和 **Figure 3-2** 所示。

Figure 3-1 XME0601 正面图

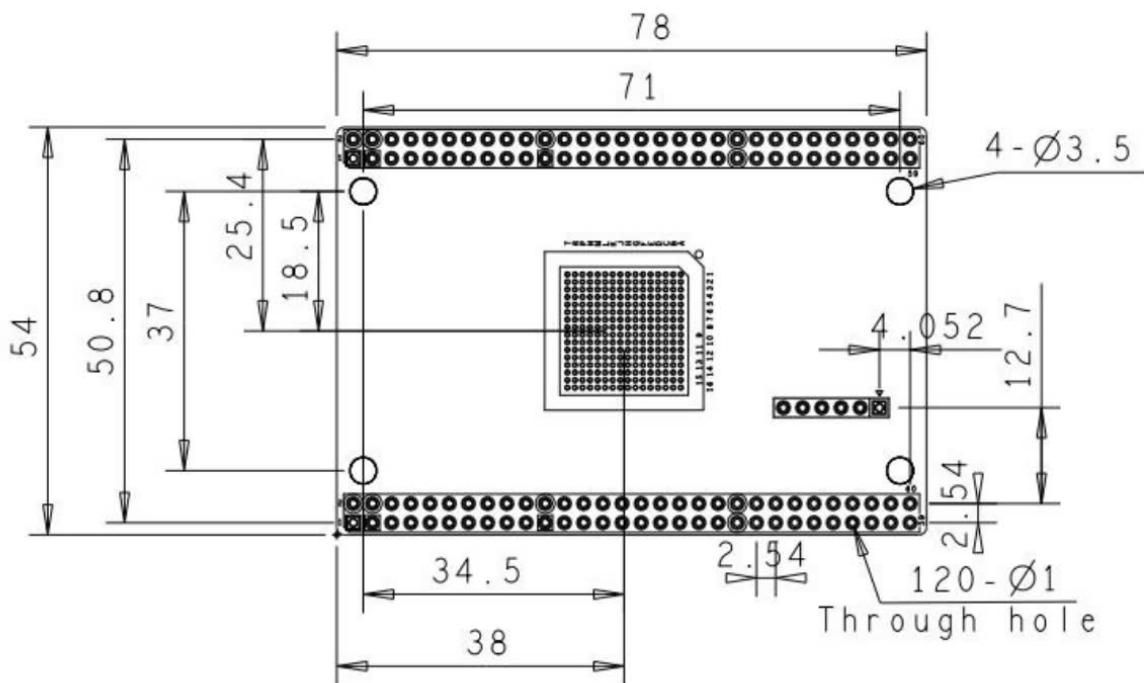


Figure 3-2 XME0601 尺寸图

4 硬件资源

4.1 FPGA

XME0601 使用 Xilinx Spartan-6 XC6SLX16-2FTG256C

Spartan-6 资源表如果 **Figure 4-1** 所示：

Spartan-6 FPGAs

Spartan®-6 LX FPGAs I/O Optimization at the Lowest Cost (1.2V, 1.0V)								
Part Number	XC6SLX4	XC6SLX9	XC6SLX16	XC6SLX25	XC6SLX45	XC6SLX75	XC6SLX100	XC6SLX150
Slices ⁽¹⁾	600	1,430	2,278	3,758	6,822	11,662	15,822	23,038
Logic Cells ⁽²⁾	3,840	9,152	14,579	24,051	43,661	74,637	101,261	147,443
CLB Flip-Flops	4,800	11,440	18,224	30,064	54,576	93,296	126,576	184,304
Max. Distributed RAM (Kb)	75	90	136	229	401	692	976	1,355
Block RAM (18Kb each)	12	32	32	52	116	172	268	268
Total Block RAM (Kb) ⁽³⁾	216	576	576	936	2,088	3,096	4,824	4,824
Clock Mgmt Tiles (CMT) ⁽⁴⁾	2	2	2	2	4	6	6	6
Max. Single-Ended I/O Pins	132	200	232	266	358	408	480	576
Max. Differential I/O Pairs	66	100	116	133	179	204	240	288
DSP48A1 Slices ⁽⁵⁾	8	16	32	38	58	132	180	180
Endpoint Block for PCIe®	—	—	—	—	—	—	—	—
Memory Controller Blocks	0	2	2	2	2	4	4	4
GTP Low-Power Transceivers	—	—	—	—	—	—	—	—
Commercial Speed Grade ⁽¹⁰⁾	-1L, -2, -3	-1L, -2, -3, -3N						
Industrial Speed Grade ⁽¹⁰⁾	-1L, -2, -3	-1L, -2, -3, -3N						
Configuration Memory (Mb)	2.7	2.7	3.7	6.4	11.9	19.6	26.5	33.8

Figure 4-1 Spartan-6 FPGA 资源表

Spartan-6 FPGA 型号定义如下：

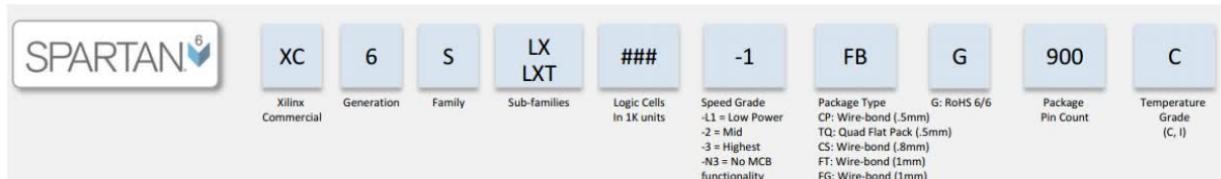


Figure 4-2 Spartan-6 命名规则

4.2 SDRAM

模块采用 1 片 16 位的 SDRAM 内存芯片，芯片的容量是 256Mbit，SDRAM 的型号为：W9825G6KH-6。SDRAM 的可稳定运行在时钟速度为 166MHz，SDRAM 芯片连接到 FPGA 的 BANK0 的 IO 上。

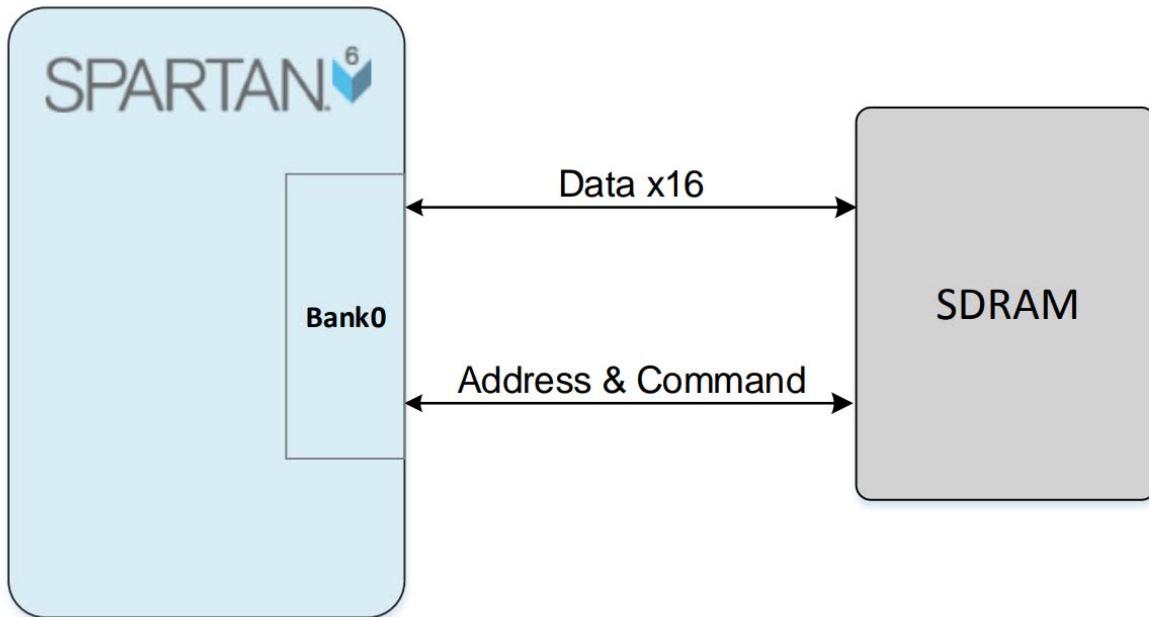


Figure 4-3 FPGA 与 DDR3 连接示意图

SDRAM 与 FPGA 连接分配表

Signal Name	FPGA Pin	Description
DRAM_A0	B12	SDRAM Address[0]
DRAM_A1	A13	SDRAM Address[1]
DRAM_A2	A14	SDRAM Address[2]
DRAM_A3	B14	SDRAM Address[3]
DRAM_A4	A4	SDRAM Address[4]
DRAM_A5	C5	SDRAM Address[5]
DRAM_A6	B5	SDRAM Address[6]
DRAM_A7	A5	SDRAM Address[7]
DRAM_A8	D6	SDRAM Address[8]
DRAM_A9	A8	SDRAM Address[9]
DRAM_A10	A12	SDRAM Address[10]
DRAM_A11	B8	SDRAM Address[11]
DRAM_A12	D8	SDRAM Address[12]
DRAM_CLK	E7	SDRAM Clock
DRAM_CKE	A7	SDRAM Clock Enable
DRAM_LDQM	C11	SDRAM byte Data Mask[0]

DRAM_UDQM	B6	SDRAM byte Data Mask[1]
DRAM_nWE	C10	SDRAM Write Enable
DRAM_nCAS	A10	SDRAM Column Address Strobe
DRAM_nRAS	B10	SDRAM Row Address Strobe
DRAM_nCS	A9	SDRAM Chip Select
DRAM_BA0	C9	SDRAM Bank Address[0]
DRAM_BA1	C8	SDRAM Bank Address[1]
DRAM_DQ0	C13	SDRAM Data[0]
DRAM_DQ1	D12	SDRAM Data[1]
DRAM_DQ2	D11	SDRAM Data[2]
DRAM_DQ3	E11	SDRAM Data[3]
DRAM_DQ4	E10	SDRAM Data[4]
DRAM_DQ5	F10	SDRAM Data[5]
DRAM_DQ6	F9	SDRAM Data[6]
DRAM_DQ7	A11	SDRAM Data[7]
DRAM_DQ8	A6	SDRAM Data[8]
DRAM_DQ9	C6	SDRAM Data[9]
DRAM_DQ10	D9	SDRAM Data[10]
DRAM_DQ11	E8	SDRAM Data[11]
DRAM_DQ12	C7	SDRAM Data[12]
DRAM_DQ13	F7	SDRAM Data[13]
DRAM_DQ14	E6	SDRAM Data[14]
DRAM_DQ15	D5	SDRAM Data[15]

Table 4-1 SDRAM 的 FPGA IO 管脚分配

4.3 JTAG 连接器

用户可以通过这个连接器对 FPGA 进行在线编程和仿真。JTAG 连接器的信号定义如下：

信号	连接器(J4) Pin Number	说明
FPGA_TMS	1	输入
FPGA_TDI	2	输出

FPGA_TDO	3	输入
FPGA_TCK	4	输入
GND	5	GND
VDD_3V3	6	电压输出, JTAG 参考电压

Table 4-2 JTAG 接口信号

4.4 QSPI Flash

模块板载一片 16Mbit QSPI Flash W25Q16JVSSIQ, 它使用 3.3V CMOS 电压标准。由于它的非易失特性，在使用中， QSPI FLASH 可以作为 FPGA 的配置文件。配置文件格式为.mcs 文件，如何将.bit 文件转换成.mcs 文件以及下载方法可以该参考文档附录部分

4.5 Clock

FPGA 模块提供了 50MHz 有源时钟，用户可以通过扩展口作为时钟输入（必须是连接到时钟脚上）

50M 时钟与 FPGA 连接分配表

Signal Name	FPGA Pin	说明
CLK_50M	P8	QSPI 片选信号

Table 4-3 50MHz 时钟管脚分配

4.6 LED

XME0601 板上提供了 4 个 LED，分别是电源指示灯，1 个 FPGA 配置状态灯，2 个 PL 控制的用户 LED。

LED 信号说明如 Table 4-4:

LED	FPGA Pin	Note
D5	--	Power LED
D2	P13	FPGA 配置状态 LED, FPGA 配置成功后点亮
D3	L8	FPGA 输出低时, LED 亮

D4	L7	FPGA 输出低时， LED 亮
----	----	------------------

Table 4-4 LED 信号说明

4.7 KEY

XME0601 板上提供了 2 个用户按键，按键输入常态为高，按下为低。

按键信号说明如 Table 4-4:

Signal Name	FPGA Pin	Note
FPGA_SW1	T6	输入
FPGA_SW2	T4	输入

Table 4-5 KEY 信号说明

4.8 扩展口

XME0601 提供两组双排 2.54mm 间距，60Pin 的扩展口，每组扩展口可以提供 52 个用户 IO，这些 IO 的默认电压为 3.3V，用户可以通过扩展的 VDDIO 电压输入，来自行配置扩展 IO 的电压。

扩展口 J2

扩展口 J2 与 FPGA BANK3 IO 相连，IO 电平出厂默认为 3.3V，如果用户需要其它电平的 IO，

J2 连接器与 FPGA 的 Pin 脚分配如下：

Connector Pin Num.	Signal Name	FPGA Pin	电压	说明
1	VDD_5V			VDD 5V，电源输出或输入，
2	GND			GND
3	VDD_3V3			电源输出
4	GND			GND
5	PA_D0_P	R2	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况

6	PA_D0_N	R1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
7	PA_D1_P	P2	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
8	PA_D1_N	P1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
9	PA_D2_P	M5	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
10	PA_D2_N	N4	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
11	PA_D3_P	N3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
12	PA_D3_N	N1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
13	PA_D4_P	M4	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
14	PA_D4_N	M3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
15	PA_D5_P	M2	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
16	PA_D5_N	M1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
17	PA_D6_P	L4	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
18	PA_D6_N	L5	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
19	PA_D7_P	L3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
20	PA_D7_N	L1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
21	VDDIO_B3			BANK3 的输入电源
22	GND			
23	PA_D8_P	K2	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
24	PA_D8_N	K1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
25	PA_D9_P	K3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
26	PA_D9_N	J4	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
27	PA_D10_P	J3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
28	PA_D10_N	J1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
29	PA_D11_P	J6	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
30	PA_D11_N	H5	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
31	PA_D12_P	H2	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
32	PA_D12_N	H1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况

33	PA_D13_P	H4	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
34	PA_D13_N	H3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
35	PA_D14_P	G3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
36	PA_D14_N	G1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
37	PA_D15_P	F2	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
38	PA_D15_N	F1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
39	PA_D16_P	G6	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
40	PA_D16_N	G5	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
41	GND			
42	GND			
43	PA_D17_P	F4	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
44	PA_D17_N	F3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
45	PA_D18_P	E2	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
46	PA_D18_N	E1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
47	PA_D19_P	E4	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
48	PA_D19_N	E3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
49	PA_D20_P	D3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
50	PA_D20_N	D1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
51	PA_D21_P	F6	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
52	PA_D21_N	F5	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
53	PA_D22_P	C1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
54	PA_D22_N	B1	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
55	PA_D23_P	B2	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
56	PA_D23_N	A2	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
57	PA_D24_P	C3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
58	PA_D24_N	C2	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
59	PA_D25_P	B3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况

60	PA_D25_N	A3	3.3V/VDDIO_B3	取决于 R28,R29 贴装情况
----	----------	----	---------------	------------------

Table 4-6 J2 与 FPGA PIN 分配表**扩展口 J3**

扩展口 J3 与 FPGA BANK3 IO 相连, IO 电平出厂默认为 3.3V, 如果用户需要其它电平的 IO,

J3 连接器与 FPGA 的 Pin 脚分配如下:

Connector Pin Num.	Signal Name	FPGA Pin	电压	说明
1	VDD_5V	-		VDD 5V, 电源输出或输入,
2	GND	-		GND
3	VDD_3V3	-		电源输出
4	GND	-		GND
5	PB_D0_P	R12	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
6	PB_D0_N	T12	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
7	PB_D1_P	T14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
8	PB_D1_N	T13	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
9	PB_D2_P	R14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
10	PB_D2_N	T15	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
11	PB_D3_P	M13	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
12	PB_D3_N	M14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
13	PB_D4_P	R15	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
14	PB_D4_N	R16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
15	PB_D5_P	L12	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
16	PB_D5_N	L13	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
17	PB_D6_P	P15	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
18	PB_D6_N	P16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
19	PB_D7_P	N14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况

20	PB_D7_N	N16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
21	VDDIO_B1			BANK1 的输入电源
22	GND			
23	PB_D8_P	M15	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
24	PB_D8_N	M16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
25	PB_D9_P	K12	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
26	PB_D9_N	K11	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
27	PB_D10_P	L14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
28	PB_D10_N	L16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
29	PB_D11_P	J13	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
30	PB_D11_N	K14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
31	PB_D12_P	K15	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
32	PB_D12_N	K16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
33	PB_D13_P	J14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
34	PB_D13_N	J16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
35	PB_D14_P	H13	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
36	PB_D14_N	H14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
37	PB_D15_P	H15	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
38	PB_D15_N	H16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
39	PB_D16_P	G12	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
40	PB_D16_N	H11	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
41	GND			
42	GND			
43	PB_D17_P	F12	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
44	PB_D17_N	G11	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
45	PB_D18_P	G14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
46	PB_D18_N	G16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况

47	PB_D19_P	E13	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
48	PB_D19_N	E12	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
49	PB_D20_P	F15	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
50	PB_D20_N	F16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
51	PB_D21_P	F13	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
52	PB_D21_N	F14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
53	PB_D22_P	E15	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
54	PB_D22_N	E16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
55	PB_D23_P	C15	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
56	PB_D23_N	C16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
57	PB_D24_P	D14	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
58	PB_D24_N	D16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
59	PB_D25_P	B15	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况
60	PB_D25_N	B16	3.3V/VDDIO_B1	取决于 R26,R27 贴装情况

Table 4-7 J3 与 FPGA PIN 分配表

4.9 电源

XME0601 通过 Micro USB 口 J1 提供 DC5V 电源，用户也可以通过扩展口 J2 或者 J3 的 Pin1 提供 5V 电源输入。5V 通过 2 组 DC/DC 转换器产生了 1.2V 和 3.3V 电源。

