

Uygulama Ödevi: SETD:03.05.2021-17:00

- Ödev: x ve y 32-bitlik floating point sayılar ve $\alpha=5.0$ olmak üzere 32-bit floating point standardında sabit bir sayı olarak tanımlanmaktadır.
- Buna göre 32-bitlik floating point sayı standardına uygun olarak $g=(x*\alpha)+y$ işlemini clock cycle yükselen kenarı '1' ve Basla sinyali '1' olduğunda gerçekleştirerek sonucu cikis_hazir sinyali olarak çıkışa aktaran ve bu anda sonuc_hazir değeri olarak '1' sinyali gönderen sayısal devreyi VHDL dilinde ISE Design Tools/Vivado Suite ile tasarlayınız.
- Yapılan tasarımı testbench ile 1. durum $x=-5.0$ ve $y=0.8$, 2. durum $x=0.1$ ve $y=1.0$, 3. durum $x=5$ ve $y=1.2$ için 10 ns aralıklar ile test ediniz.
- Tasarım kaç Hz'de çalışmaktadır?
- Tasarım 1 s'de kaç g işlemi gerçekleştirebilmektedir?

Uygulama Ödevi: SETD:03.05.2021-17:00

- ✓ Tasarımda giriş ve çıkışlar için ad ve soyadınızın başından itibaren ilk harfleri ikişer ikişer kullanılarak tanımlanacaktır.
- ✓ Örnek:Ali Yener için A girişi **AL**, B girişi **IY** ve C girişi **EN vb**.
- ✓ Türkçe karakterler olduğunda ingilizcedeki en yakın karakterler kullanılacaktır. (ö yerine o, ç yerine c ve ş yerine s gibi).
- ✓ Tasarlanan sistemin VHDL kodunu ve RTL şemasını rapora (**klavyedeki printscreen tuşu ile kopyalarak**) yapıştırınız.
- ✓ Tasarımı test ediniz ve Test kodunu rapora yazınız.
- ✓ Test simülasyon sonuçlarını (sinyallerin olduğu kısım) rapora (**klavyedeki printscreen tuşu ile kopyalarak**) yapıştırınız.
- ✓ Giriş ve çıkış atamaları öğrenci nosunun son hanesine göre yapılacaktır.