

1 Lezione del 14-11-24

1.1 Riconoscitore di sequenze

Vediamo come sintetizzare un circuito **riconoscitore di sequenze**, sia come rete di Moore che come rete di Mealy:

1.1.1 Sintesi in rete di Moore

fallo

1.1.2 Sintesi in rete di Mealy

fallo

1.2 Confronto fra Moore e Mealy

Abbiamo che le reti di Moore hanno leggi B meno flessibili delle reti di Mealy, e quindi in una rete di Mealy si hanno meno stati interni che in una rete di Moore. Si potrebbe quindi pensare che una rete di Mealy può esprimere funzioni che una rete di Moore non può rappresentare. Questo è falso, in quanto si può dimostrare che Moore e Mealy hanno la **stessa potenza descrittiva**: per una rete di Moore, si può ricavare l'equivalente di Mealy, e viceversa.

Tra le altre differenze che possiamo notare, si ha che il clock di una rete di Moore al pari di una rete di Mealy deve essere più veloce, e soprattutto che una rete di Mealy si aggiorna *al pari* con gli ingressi, cioè è una rete **trasparente**.

Un anello di retroazione fra due reti di Mealy può infatti creare un **anello combinatorio**, che sappiamo essere suscettibile a oscillazioni incontrollate. Di contro, fra due reti di Moore incontreremo sempre un registro, ergo non avremo problemi di formazione di anelli combinatori.

1.3 Modello di Mealy ritardato

Creiamo una cosiddetta rete di **Mealy ritardato** prendendo una rete di Mealy e introducendo un ulteriore registro, **OUTR**, in uscita. Le uscite, come nelle reti di Moore, non sono più trasparenti e variano all'arrivo del clock dopo un tempo T_{prop} .

rimetti in ordine da Mealy

1.3.1 Temporizzazione del modello di Mealy ritardato

riporta

1.4 Assegnamenti procedurali

leggi max chiedi foto simone

In Verilog possiamo descrivere il comportamento di una rete di Mealy attraverso i cosiddetti **assegnamenti procedurali**. Notiamo la temporizzazione di una forma del tipo:

```
1 s0: begin STAR <= S1; OUTF <= STAR; end
```

Le istruzioni contenute nel blocco `begin (...)` `end` accadono **contemporaneamente**, e il fatto che STAR sia a sinistra nel primo assegnamento e OUTF sia sinistra nel secondo indica che questi avvengono *dopo il clock*, cioè *prima del clock* si legge il valore (S1 o STAR nell'esempio) e soltanto dopo si scrive effettivamente sul registro.

finisci slide

1.5 Reti sequenziali complesse

I modelli concettuali che abbiamo visto finora (Moore, Mealy e Mealy ritardato) riescono a sintetizzare solo reti molto semplici. Prendiamo ad esempio il modello di Mealy ritardato.

Vogliamo creare una rete che conta, modulo 16, il numero di sequenze corrette 00, 01, 10 ricevute in ingresso. Quindi, ogni volta che viene registrata una sequenza corretta, la rete incrementa di 1 l'uscita, rappresentata su 4 bit. Abbiamo quindi **2 ingressi, 4 uscite**, e 3 stati interni per 16 stati di OUTF, cioè 48 stati interni totali.

Modellizzare questa rete con un tale numero di ingressi risulta chiaramente molto laborioso: un apporccio migliore sarebbe creare una rete di Mealy ritardato che riconosce una sola sequenza, e mandarla in input a un contatore a 4 bit. potresti fare disegni però è laborioso pure quello

Esplorendo una rete siffatta troviamo un modello formato da una rete di Mealy ritardato (cioè da una rete combinatoria di *riconoscimento* nel caso del riconoscitore di sequenza, annessa ai registri STAR e OUTF), e da un contatore (formato a sua volta da una rete combinatoria che implementa la logica del contatore e un altro registro, che chiameremo **COUNT**). L'uscita di questa rete sarà formata dal registro COUNT, e potremo inoltre racchiudere le due reti combinatorie in un'unica RC totale.

La rete così ottenuta non rispetta il modello di Mealy ritardato: ha più di due registri, e soprattutto fa rientrare nella RC totale più di un registro uscente (finora era stato STAR). Troviamo che questo è molto comodo: introducendo **registri operativi** abbiamo a disposizione locazioni di memoria che supportano sia uscite che computazioni intermedie.

Possiamo quindi distinguere i registri in due categorie:

- **Registri di stato:** simili a quelli che abbiamo già visto, cioè che rappresentano lo stato interno della rete;
- **Registri operativi:** che contengono sia *valori di uscita* che *valori intermedi* (o *computazioni intermedie*, insomma risultati utili al ricavo dell'uscita della rete).