

Document name	Document number	Rev.	Page
PK35 Device List	DL2-001	1.0	0 /4

PK35

Device List

Rev. 1.0

PHENITEC SEMICONDUCTOR Corp.

PK35 Family Process Device List

PolI	Well	Poly Type	Device Name	Description	Vth & Poly Res. Layer	Original Parameter	Range	Unit	Monitor Size W/L [um]	DR min		DR max		Comment
										L [um]	W [um]	L [um]	W [um]	
PMOS	Nwell	N+Poly	MPM	5V Pch Medium Vt	PVT	-0.80	±0.10	V	20/20	0.7	3.3	100	100	
			MPL	5V Pch Low Vt	PLVT	-0.58	±0.10	V	20/20	0.8	3.3	100	100	
			MPL2	5V Pch very Low Vt	PLLVT	-0.28	±0.10	V	20/20	1	3.3	100	100	
			MPN	5V Pch Native Vt	-	-1.30	±0.10	V	20/20	0.7	3.3	100	100	NW_Vth出来合い
	Niso+Nwell	N+Poly	MPMI	5V Pch Medium Vt Iso	PVT	-0.81	±0.10	V	20/20	0.7	3.3	100	100	
			MPLI	5V Pch Low Vt Iso	PLVT	-0.59	±0.10	V	20/20	0.8	3.3	100	100	VthはPLVTに連動
			MPL2I	5V Pch very Low Vt Iso	PLLVT	-0.29	±0.10	V	20/20	1	3.3	100	100	VthはPLLVTに連動
			MPNI	5V Pch Native Vt Iso	-	-1.31	±0.10	V	20/20	0.7	3.3	100	100	NW_Vth出来合い
			MNM	5V Nch Medium Vt	NVT	0.55	±0.10	V	20/20	0.7	3.3	100	100	
			MNH (*1)	5V Nch High Vt	PVT+PLVT	1.03	±0.10	V	20/20	0.7	3.3	100	100	VthはPVT+PLVTに連動
NMOS	Pwell	N+Poly	MNL	5V Nch Low Vt	NLVT	0.42	±0.10	V	20/20	0.8	3.3	100	100	
			MND	5V Nch Depletion Vt	NDVT	-0.40	±0.10	V	20/20	2	3.3	100	100	
			MNN	5V Nch Native Vt	-	0.20	±0.10	V	20/20	1	3.3	100	100	PW_Vth出来合い
			MNE_LC (*1)	5V Nch Esd protection (Local Clamp, 8finger)	PVT+PLVT	1.03	±0.10	V	20/20	L=2um[fix], W=480um[fix]		VthはPVT+PLVTに連動		
			MNE_PC (*1)	5V Nch Esd protection (Power Clamp, 10finger)	PVT+PLVT	1.03	±0.10	V	20/20	L=2um[fix], W=600um[fix]		VthはPVT+PLVTに連動		
	Niso+Pwell	N+Poly	MNMI	5V Nch Medium Vt Iso	NVT	0.55	±0.10	V	20/20	0.7	3.3	100	100	VthはNVTに連動
			MNHI (*1)	5V Nch High Vt Iso	PVT+PLVT	1.03	±0.10	V	20/20	0.7	3.3	100	100	VthはPVT+PLVTに連動
			MNLI	5V Nch Low Vt Iso	NLVT	0.42	±0.10	V	20/20	0.8	3.3	100	100	VthはNLVTに連動
			MNDI	5V Nch Depletion Vt Iso	NDVT	-0.40	±0.10	V	20/20	2	3.3	100	100	VthはNDVTに連動
			MNNI	5V Nch Native Vt Iso	-	0.20	±0.10	V	20/20	1	3.3	100	100	PW_Vth出来合い
			MNEI_LC (*1)	5V Nch Esd protection Iso (Local Clamp, 8finger)	PVT+PLVT	1.03	±0.10	V	20/20	L=2um[fix], W=480um[fix]		VthはPVT+PLVTに連動		
			MNEI_PC (*1)	5V Nch Esd protection Iso (Power Clamp, 10finger)	PVT+PLVT	1.03	±0.10	V	20/20	L=2um[fix], W=600um[fix]		VthはPVT+PLVTに連動		
Poly Resistor	-	N+Poly	RPL	Low Resistance Poly-Si Resistor[95q/s]	RL	95	±10	ohm/sq	5/100	30	1.3	100	-	
			RPM	Medium Resistance Poly-Si Resistor[330q/s]	RM	330	±70	ohm/sq	5/100	30	1.3	100	-	
			RPH (*2)	High Resistance Poly-Si Resistor[5kq/s]	RH	5000	±1500	ohm/sq	5/100	30	1.3	100	-	5kohm/sq, 8kohm/sqのいずれか一方を選択
			RPH2 (*2)	High Resistance Poly-Si Resistor[8kq/s]		8000	-3000/+4000	ohm/sq	5/100	30	1.3	100	-	
Dif. Resistor	Nwell	-	RNW	Nwell Diff. Resistor	-	590	±100	ohm/sq	6/60	10	3	100	-	
	Pwell	-	RN	N+ Diff. Resistor	-	35	±10	ohm/sq	6/60	10	1	100	-	
	Nwell	-	RP	P+ Diff. Resistor	-	110	±20	ohm/sq	6/60	10	1	100	-	
Capacitor	-	-	CPIP	PIP Capacitor	-	1.72	±0.20	fF/um ²	50/420	10	10	100	100	
MOS Capacitor (*3)	Pwell	-	CND	Nch Depletion Vt Capacitor	NDVT	2.6	±0.25	fF/um ²	-	2	3.3	100	100	MOS容量として使用
	Niso+Pwell	-	CNDI	Iso Nch Depletion Vt Capacitor	NDVT	2.6	±0.25	fF/um ²	-	2	3.3	100	100	MOS容量として使用
	Nwell	-	CPL2	Pch Very Low Vt Capacitor	PLLVT	2.6	±0.25	fF/um ²	-	1	3.3	100	100	MOS容量として使用
	Niso+Nwell	-	CPL2I	Iso Pch Very Low Vt Capacitor	PLLVT	2.6	±0.25	fF/um ²	-	1	3.3	100	100	MOS容量として使用
BJT (*4)	-	-	PNP	Vertical PNP (P+/Nwell/Psub)	-	-0.73	±0.03	V	-	Emitter size=5um x 5um [Fix]			Diode(B-C結線)として使用, Vbe@Ib=2.5uA	
	-	-	PNP2	Vertical PNP (P+/Nwell+DNW/Psub)	-	-0.73	±0.03	V	-	Emitter size=5um x 5um [Fix]			Diode(B-C結線)として使用, Vbe@Ib=2.5uA	
	-	-	NPN	Vertical NPN (N+/Pwell/DNW)	-	0.75	±0.03	V	-	Emitter size=5um x 5um [Fix]			Diode(B-C結線)として使用, Vbe@Ib=2.5uA	
Laser Poly Fuse	-	N+Poly	RFS	Poly-Si Laser Trimming Fuse	-	84(non cut) 1G (cut)		ohm	-	-	-	-	-	
Diode (*5)	Pwell	-	DN	N+/Pwell Diode	-	-0.67	±0.03	V	-	Cathode size=5um x 5um [Fix]			Vf@If=2.5uA	
	Niso+Pwell	-	DN2	N+/Pwell in Niso Diode	-	-0.67	±0.03	V	-	Cathode size=5um x 5um [Fix]			Vf@If=2.5uA	
	Nwell	-	DP	P+/Nwell Diode	-	0.69	±0.03	V	-	Anode size=5um x 5um [Fix]			Vf@If=2.5uA	
	Niso+Nwell	-	DP2	P+/Nwell in Niso Diode	-	0.70	±0.03	V	-	Anode size=5um x 5um [Fix]			Vf@If=2.5uA	
PMOS	Nwell	N+Poly	P	3.3V Pch MOS Transistor	PVT3+GOX	-0.83	+0.15 -0.10	V	20/0.35	0.39	0.60	-	-	Vth@Vd=-3.0v Kmax法
NMOS	Pwell	N+Poly	N	3.3V Nch MOS Transistor	GOX	0.70	+0.10 -0.15	V	20/0.35	0.39	0.50	-	-	Vth@Vd=3.0v Kmax法

*1.MNH, MNHI, MNE_LC, MNE_PC, MNEI_LC, MNEI_PCのVthはMPM, MPMI, MPL, MPLIのVthと逆連動するため使用には注意すること。(ex.MPM, MPLのVthがfastの場合、MNH, MNE_xCのVthはslow側に変動する)

*2.RPH, RPH2の併用は不可。いずれか一方のみを使用すること。

*3. MOS Capacitorはシミュレーションはトランジスタ構造(4端子素子)として扱うがレイアウトでは2端子容量(Pos側: Gate, Neg側: Source/Drain/Back結線)として使用。

*4. BJTはダイオード(ベース/コレクタ結線)としてのみ使用可能。トランジスタとしての使用は不可。

Document name

PK35 Device List

Document number

DL2-001

Rev.

1.0

Page

1 / 4

Document name	Document number	Rev.	Page
PK35 Device List	DL2-001	1.0	2 /4










制定日 Rev.0.0	2017.05.16
----------------	-------------------

Approval	Check	Issue
技術グループ 2017/05/16 栗原	技術グループ 2017/05/16 栗原	技術1課 29/05/16 喜多川

保管先	技術グループPDKプロジェクト
-----	-----------------








Revision History					
Rev.	Date	Description of Change	Approval	Check	Issue
0.1	2017.07.04	<ul style="list-style-type: none"> ・MNE, MNEIをLocal Clamp/Power Clamp用に分離 MNE -> MNE_LC, MNE_PC MNEI -> MNEI_LC, MNEI_PC ・全MOS及びCPIPのSpiceModelをsubckt化 ・注釈*4 誤記修正(下記) ベース/エミッタ結線 -> ベース/コレクタ結線 ・保管先 技術1課 -> PDKプロジェクトに変更 	技術グループ 2017/07/05 栗原	PDK 2017/07/04 満園	PDK 29/07/04 喜多川
0.2	2017.07.25	<ul style="list-style-type: none"> ・管理番号誤記修正 DL1-001 ->DL2-001 下記デバイス記述を変更 (理由) 関連文書との表記統一 PMOS/NMOS, MOS Capacitor ・全MOS "Vt"追記 (MNE_LC/PC, MNEI_LC/PC除く) ・MNE/MNEI_LC "8finger"追記 ・MNE/MNEI_PC "10finger"追記 BJT <ul style="list-style-type: none"> ・ Vertical PNP (P+/Nwell+NisoPsub) -> (P+/Nwell+DNW/Psub) ・ Vertical NPN (N+/Pwell/Niso) -> (N+/Pwell/DNW) Poly Resistor <ul style="list-style-type: none"> ・ Low sheet Poly Resistor -> Low Resistance Poly-Si Resistor 【95Ω/s】 ・ Medium sheet Poly Resistor -> Medium Resistance Poly-Si Resistor 【330Ω/s】 ・ High sheet Poly Resistor 【5kΩ/sq】 -> High Resistance Poly-Si Resistor 【5kΩ/s】 ・ High sheet Poly Resistor 【8kΩ/sq】 -> High Resistance Poly-Si Resistor 【8kΩ/s】 Laser Poly Fuse <ul style="list-style-type: none"> ・Fuse -> Poly-Si Laser Trimming Fuse NMOS <ul style="list-style-type: none"> ・MNE_PC W誤記修正 480 -> 600 Change start page from p.0 to p.1 	技術グループ 2017/07/26 栗原	PDKプロジェクト 17.07.25 大川	PDK pj 29/07/25 喜多川

Document name	Document number	Rev.	Page
PK35 Device List	DL2-001	1.0	3 / 4

改訂履歴					
Rev.	Date	Description of Change	Approval	Check	Issue
0.3	2017.08.17	Change format(表紙&ヘッダ: 日本語→英語表記) 名称 -> Document name PK35 デバイスリスト -> PK35 Device List 管理番号 -> Document number 版 -> Rev. 頁 -> Page Change P0 PK35 デバイスリスト ver.0.2 -> PK35 Device List Rev.0.3 フェニテックセミコンダクター株式会社 生産本部 鹿児島工場 -> PHENITEC SEMICONDUCTOR Corp. Change P.1 Add DRmax, MOS Capacitor's DRmin Change format(改定頁ヘッダ: 日本語→英語表記) 改訂履歴 -> Revision History(sheet name) VER -> Rev. 年月日 -> Date 変更内容(変更箇所・頁・改訂内容) -> Description of Change 作成、照査、承認 -> Issue, Check, Approval			
0.4	2017.10.27	p.1 RFS parameter(non cut): 54 -> 84ohm * 計算値から実Fuseパターン(KX082 PCM)の実測値に修正			
0.5	2017.12.04	p.1 BJT ・parameter(Vbe): TRX参考値から実測値に修正 PNP : -0.56 -> -0.73 V PNP2: -0.75 -> -0.73 V NPN : 0.77 -> 0.75 V ・DR min/DR max: Emitter Fix size追記 Resistor全7種のDRmax_Wを削除 *PDK toolで便宜上設定していたルール。プロセス上max規定は必要無いので削除とする。			

Document name	Document number	Rev.	Page
PK35 Device List	DL2-001	1.0	4 /4

改訂履歴

Rev.	Date	Description of Change	Approval	Check	Issue
0.6	2018.03.19	Change P.1 ・Add Diode (DN, DN2, DP, DP2) ・Add BJT measurement condition ・Change BJT parameter range $\pm 0.05V \rightarrow \pm 0.03V$ Add P.4 (RevisionHistory(3))		 	
1.0	2019.09.06	■Upgraded Rev.0.6 to Rev.1.0 by adding 3.3V_MOS. Change P.1 ・Add "5V" to Description of all 5V_MOS transistors. ・Add 3.3V_MOS (P, N).	Kurihara 	Kitagawa  Takenaka 	Ohkawa 