PK35 Device Structure

Rev.1.0

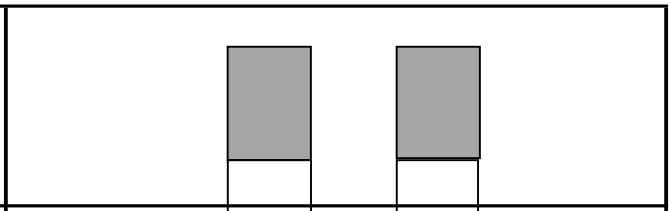
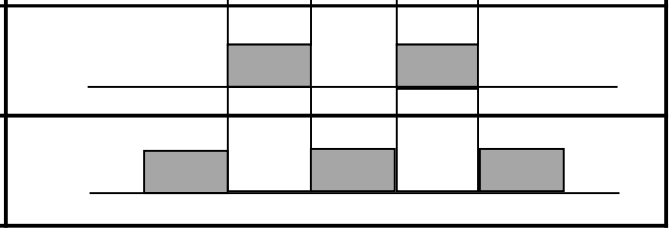
PHENITEC SEMICONDUCTOR Corp.

Contents

1. About Layout pattern and Dark/Clear

2

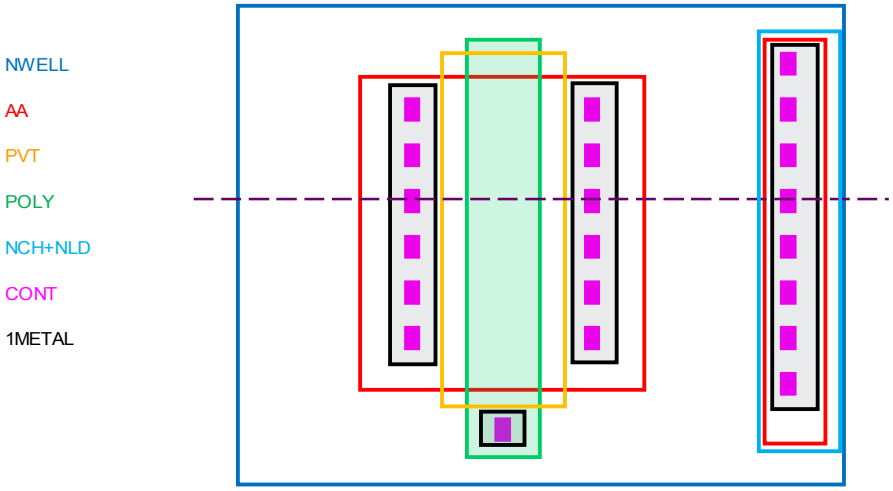
下記にレイアウトデータとマスクの概念を示します。

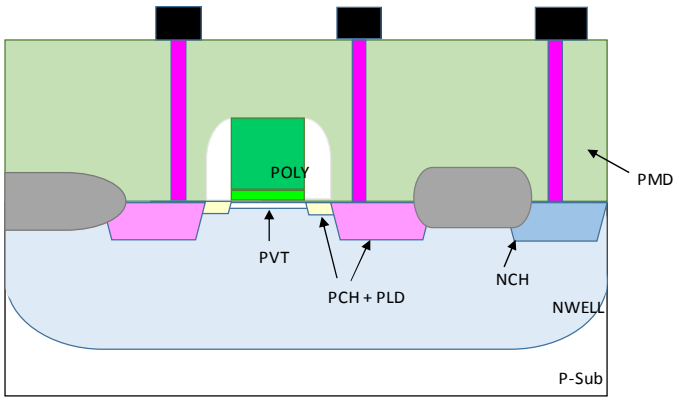
<table>
<tr><td colspan="2">レイアウトデータ</td><td>  </td></tr>
<tr><td rowspan="2">マスクパターン</td><td>正</td><td rowspan="2">  </td></tr>
<tr><td>反</td></tr>
</table>

2. Device Cross section

MPM(5V Pch Medium Vt)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18	-		
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		





MPL(5V Pch Low Vt)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18	-		
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

NWELL

AA

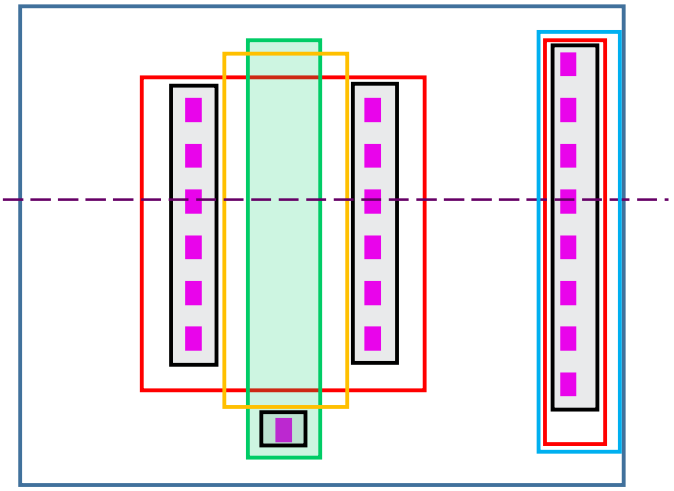
PLVT

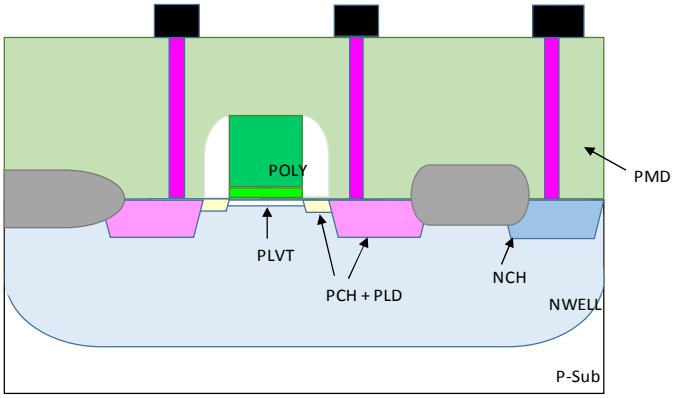
POLY

NCH+NLD

CONT

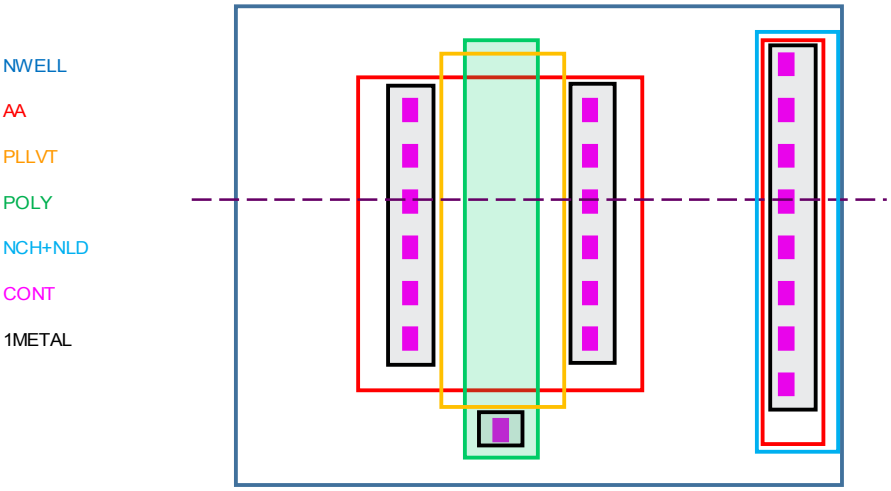
1METAL

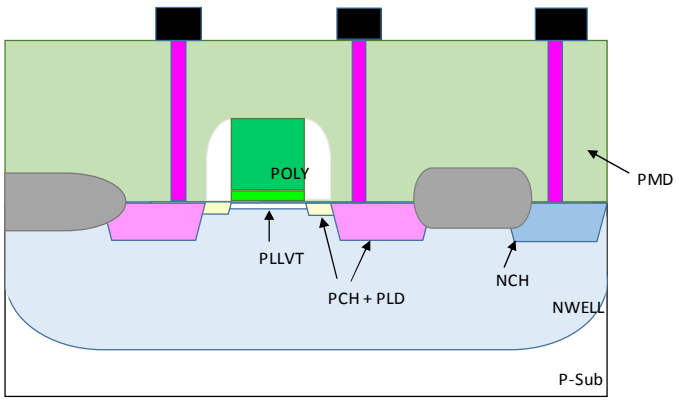




MPL2(5V Pch very Low Vt)

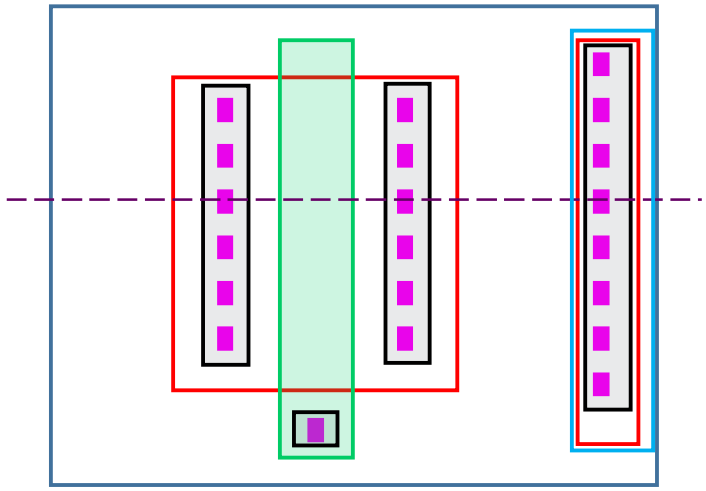
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18	-		
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

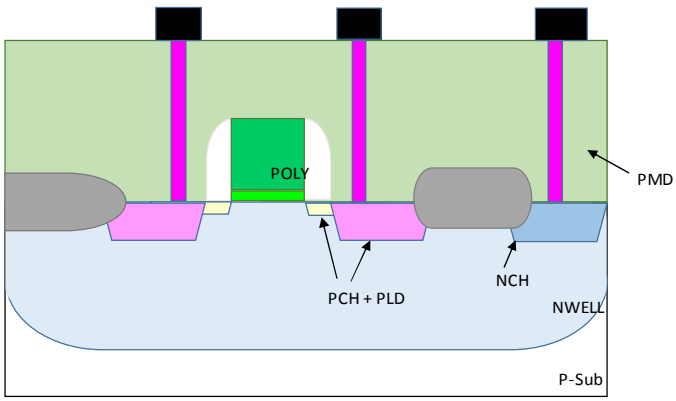




MPN(5V Pch Native Vt)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18	-		
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		





MPMI(5V Pch Medium Vt Iso)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18	-		
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

DNW

NWELL

AA

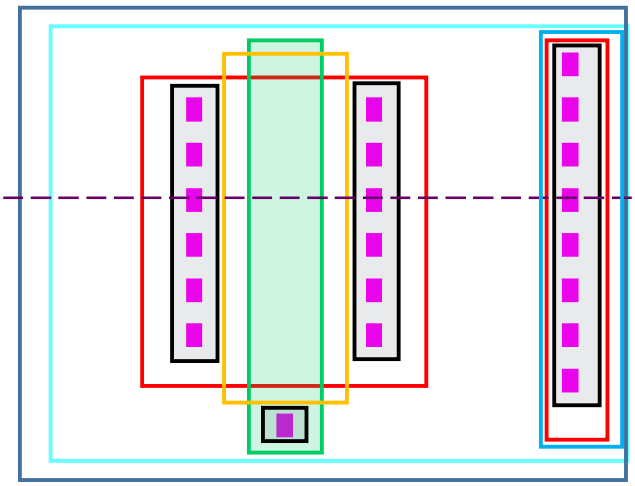
PVT

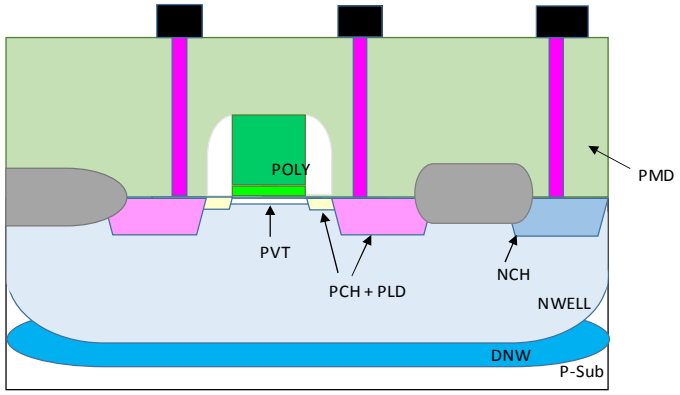
POLY

NCH+NLD

CONT

1METAL





MPLI(5V Pch Low Vt Iso)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18	-		
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

DNW

NWELL

AA

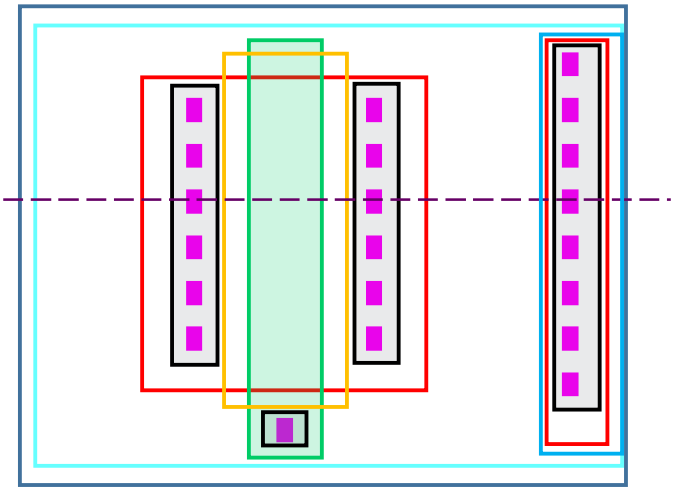
PLVT

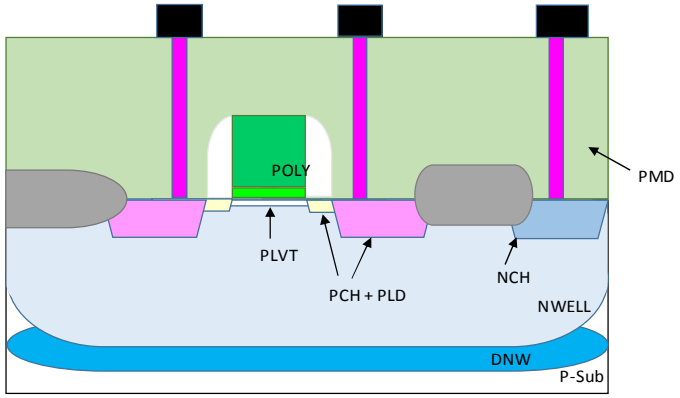
POLY

NCH+NLD

CONT

1METAL





MPL2I(5V Pch very Low Vt Iso)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18	-		
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

DNW

NWELL

AA

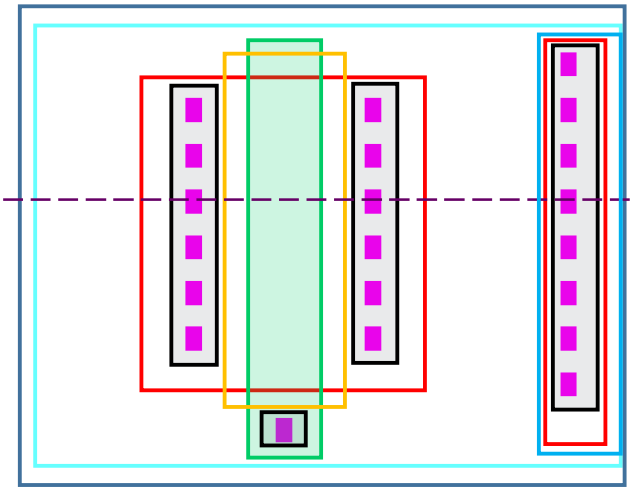
PLLVT

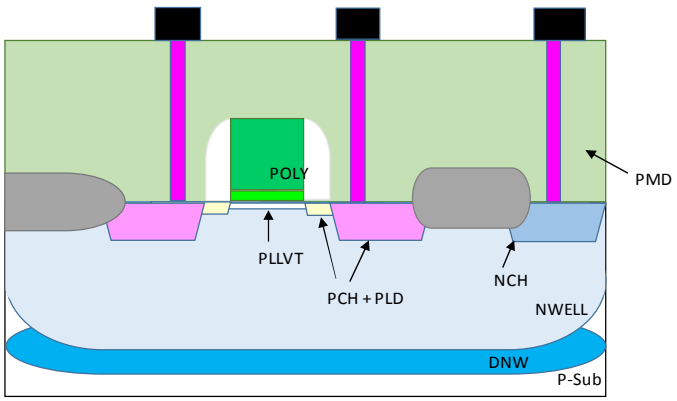
POLY

NCH+NLD

CONT

1METAL





MPNI(5V Pch Native Vt Iso)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18	-		
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

DNW

NWELL

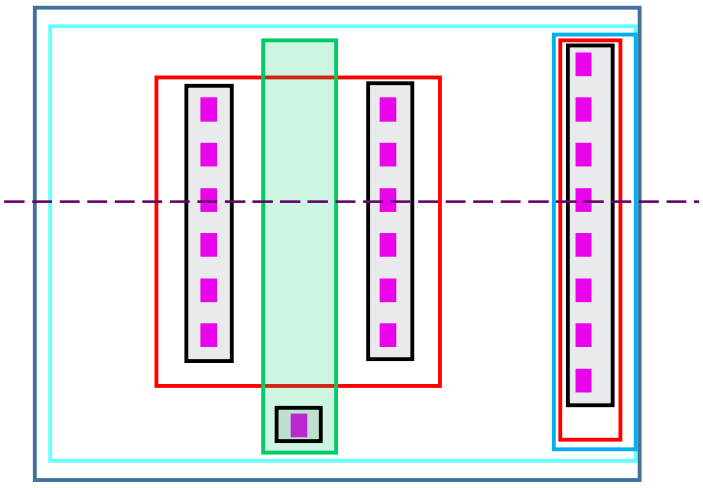
AA

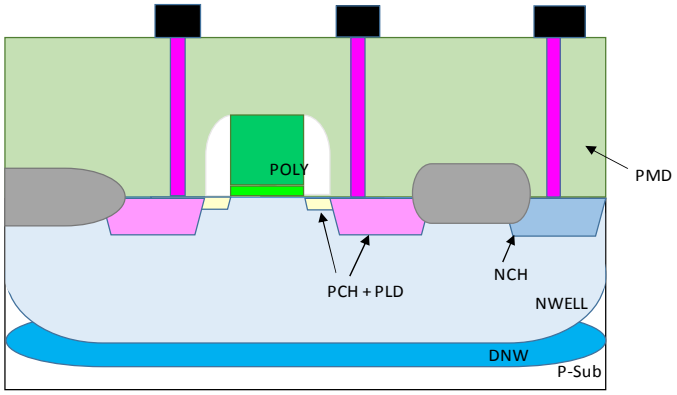
POLY

NCH+NLD

CONT

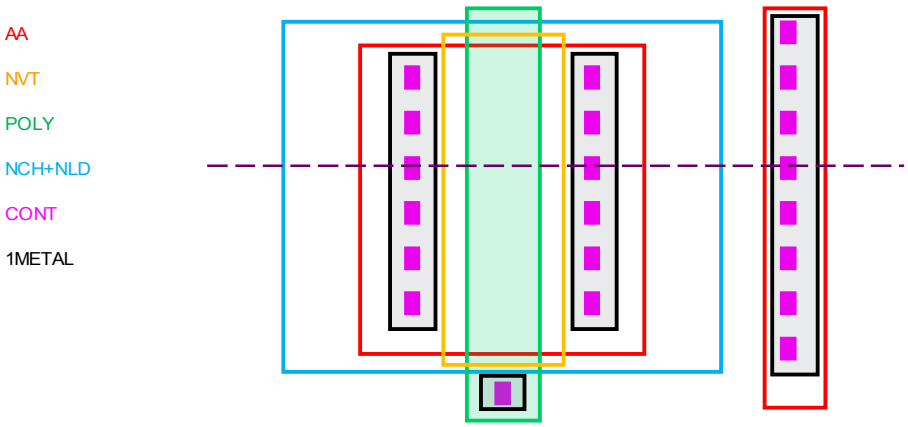
1METAL

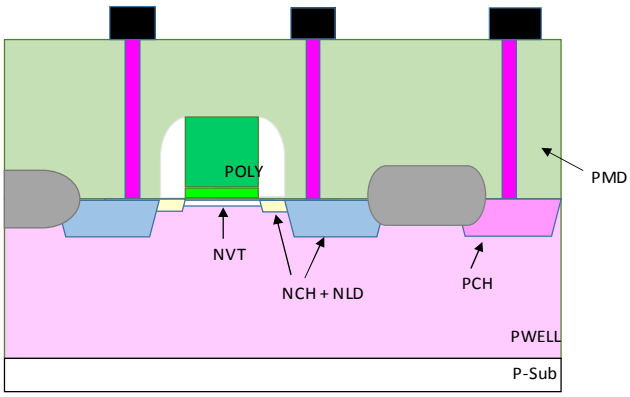




MNM(5V Nch Medium Vt)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		





MNH(5V Nch High Vt)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

AA

PVT

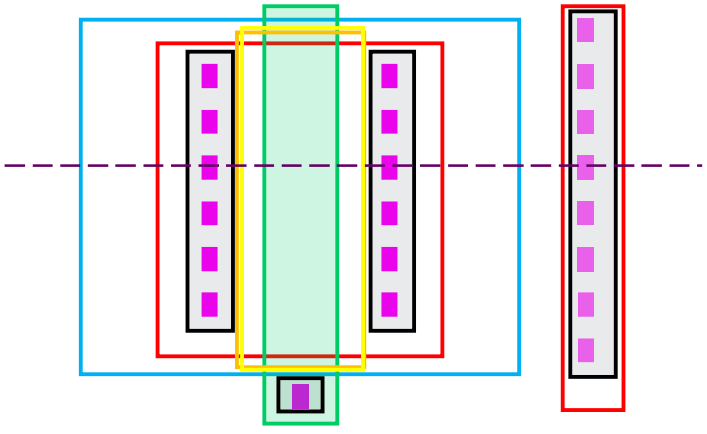
PLVT

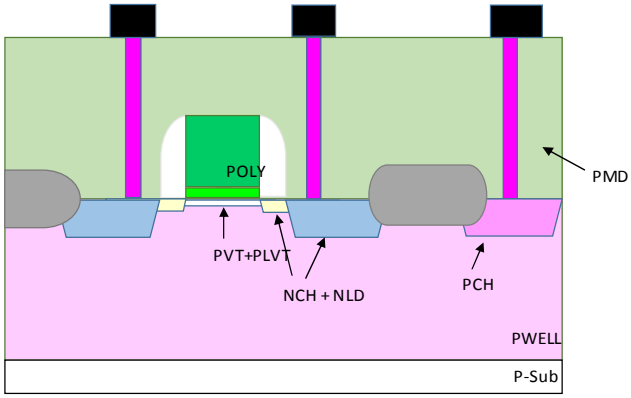
POLY

NCH+NLD

CONT

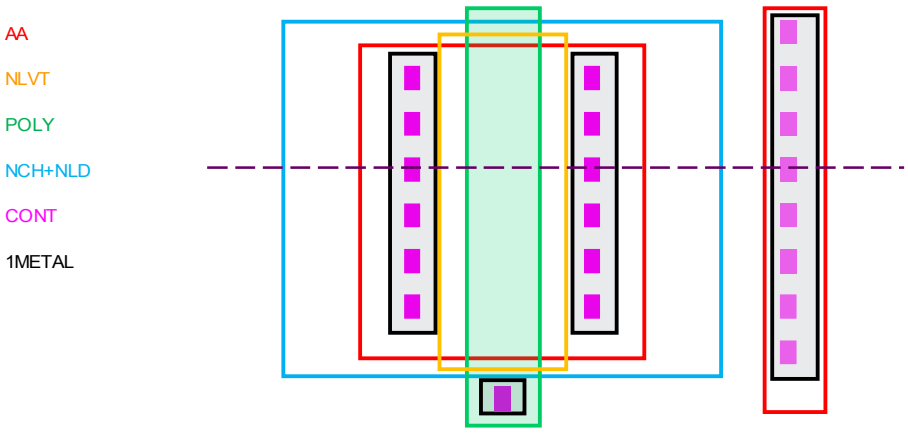
1METAL

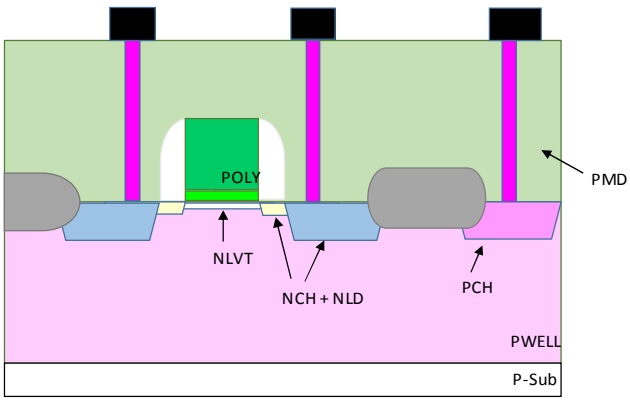




MNL(5V Nch Low Vt)

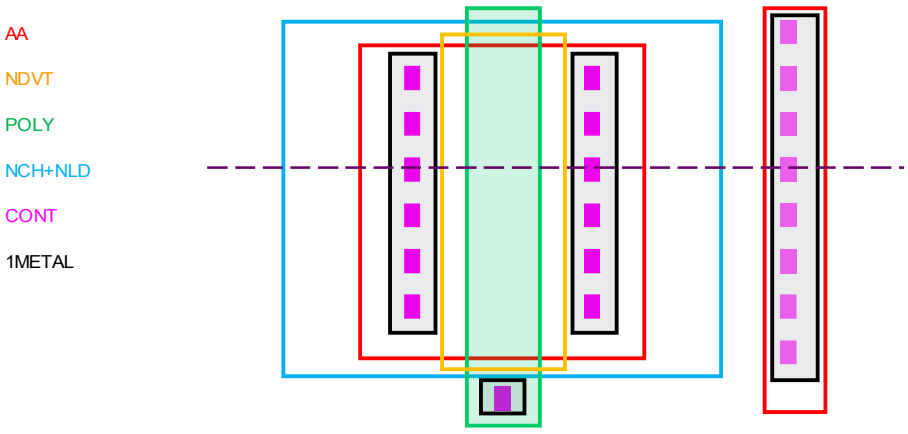
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

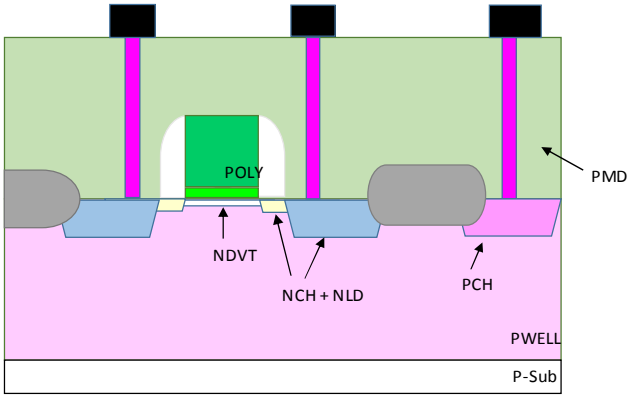




MND(5V Nch Depletion Vt)

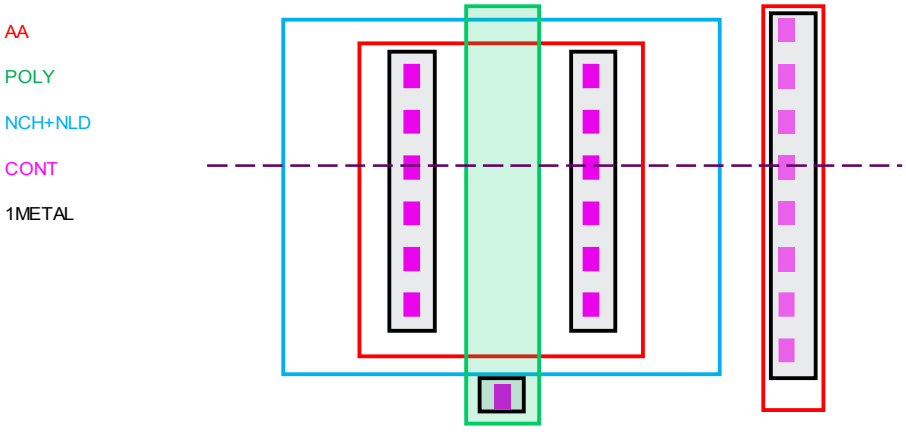
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

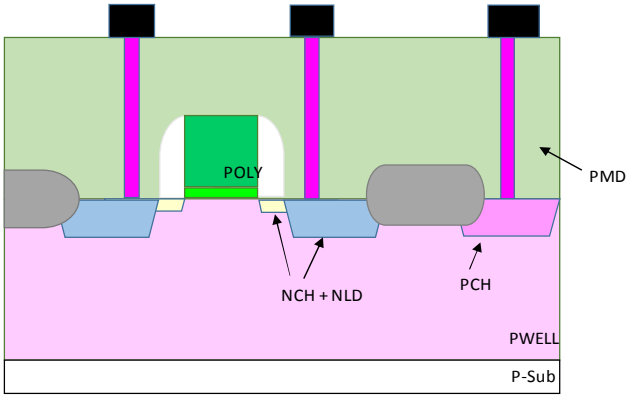




MNN(5V Nch Native Vt)

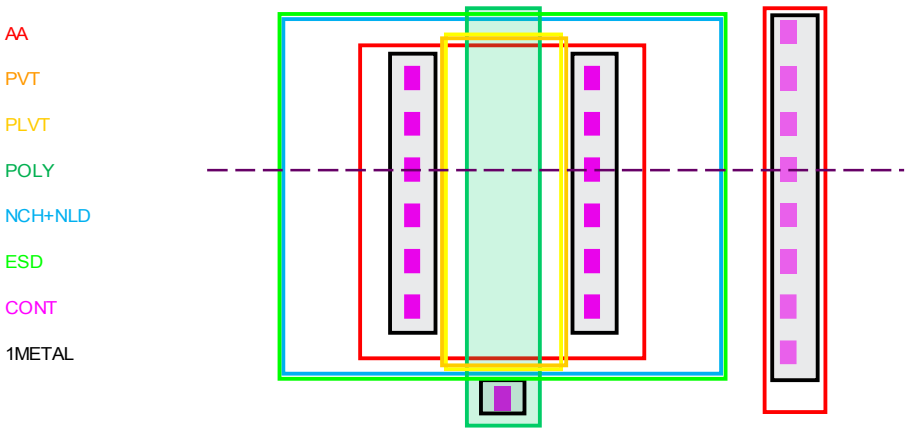
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

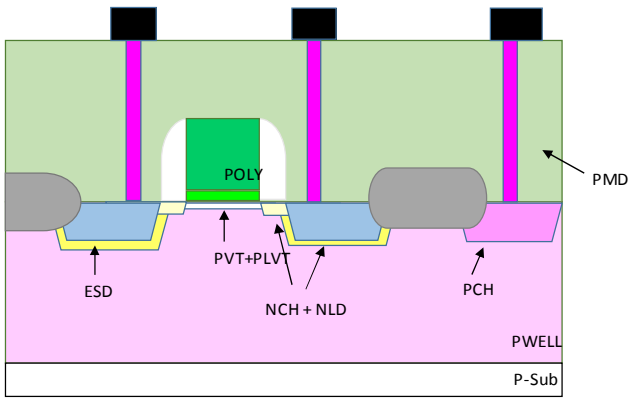




MNE_LC, MNE_PC(5V Nch Esd protection /8finger, 10finger)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		





MNMI(5V Nch Medium Vt Iso)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

DNW

NWELL

AA

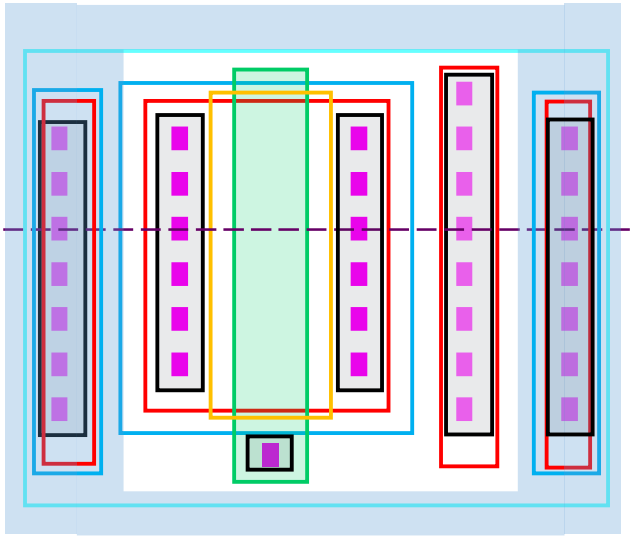
NVT

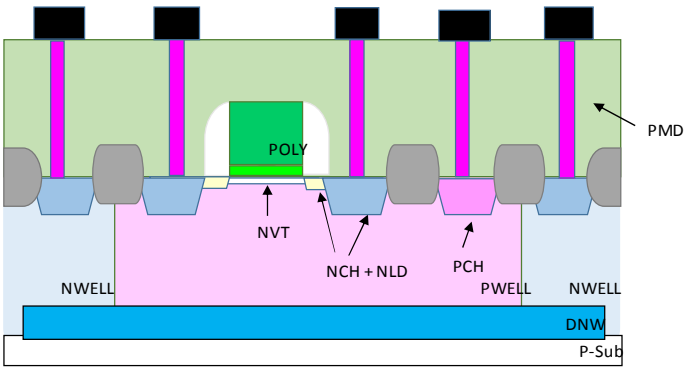
POLY

NCH+NLD

CONT

1METAL





MNHI(5V Nch High Vt Iso)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

DNW

NWELL

AA

PVT

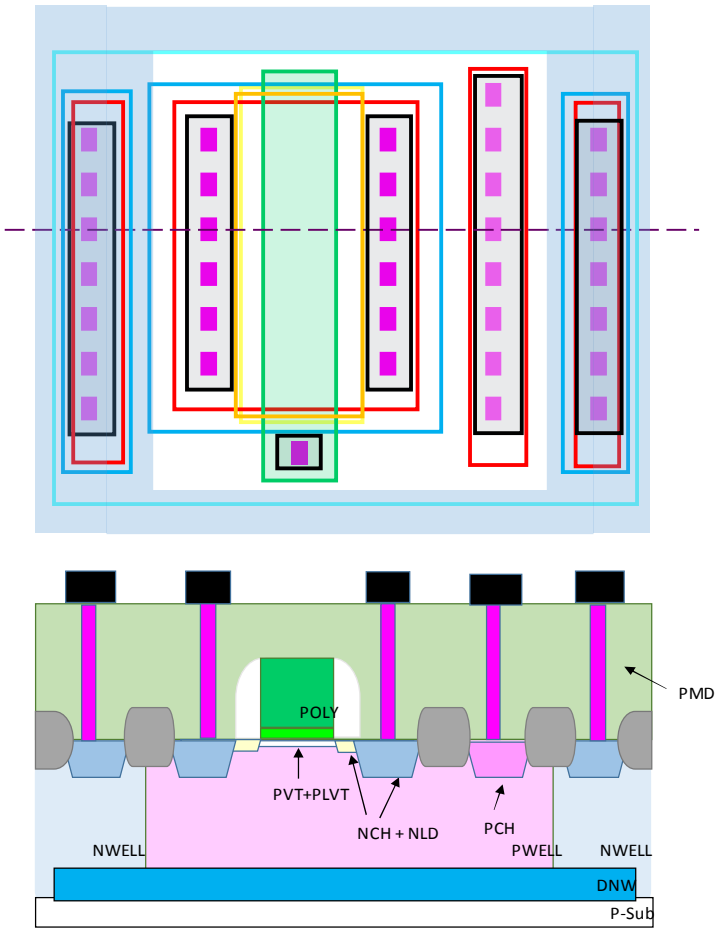
PLVT

POLY

NCH+NLD

CONT

1METAL



MNLI(5V Nch Low Vt Iso)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

DNW

NWELL

AA

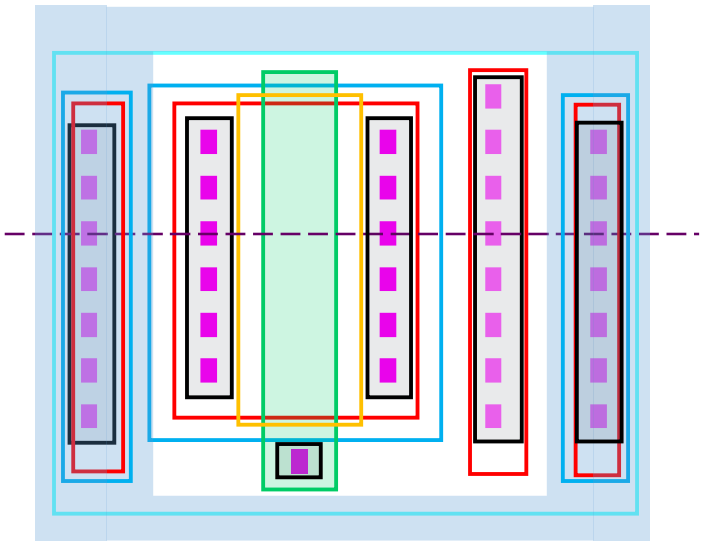
NLVT

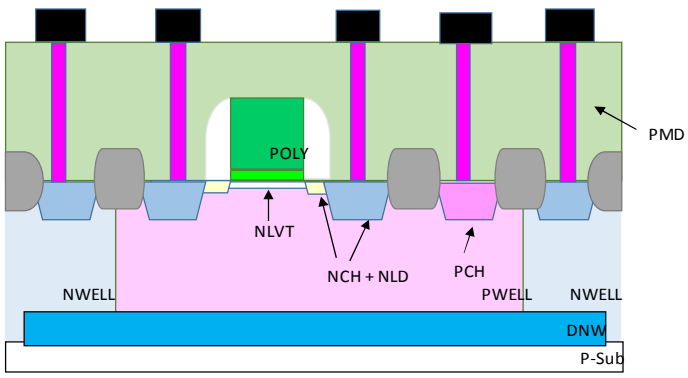
POLY

NCH+NLD

CONT

1METAL





MNDI(5V Nch Depletion Vt Iso)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

DNW

NWELL

AA

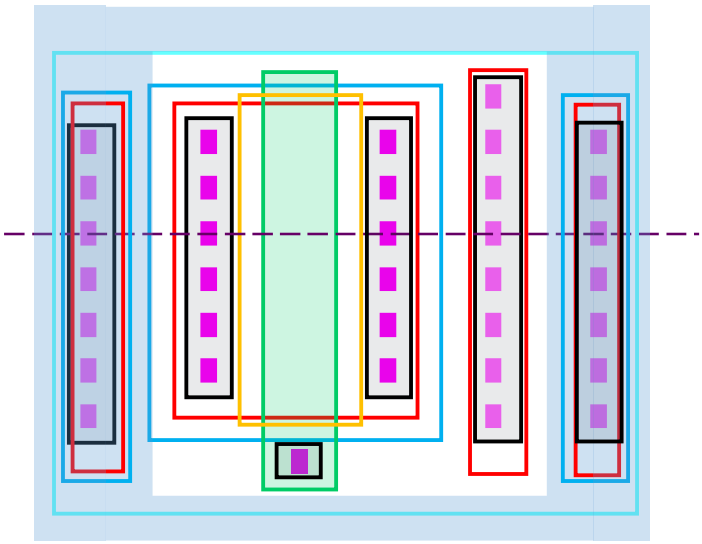
NDVT

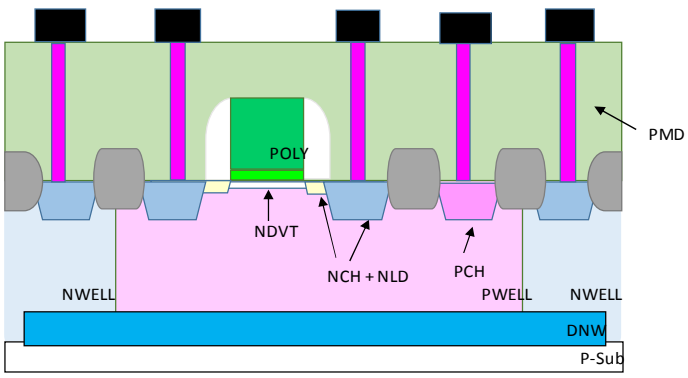
POLY

NCH+NLD

CONT

1METAL





MNNI(5V Nch Native Vt Iso)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

DNW

NWELL

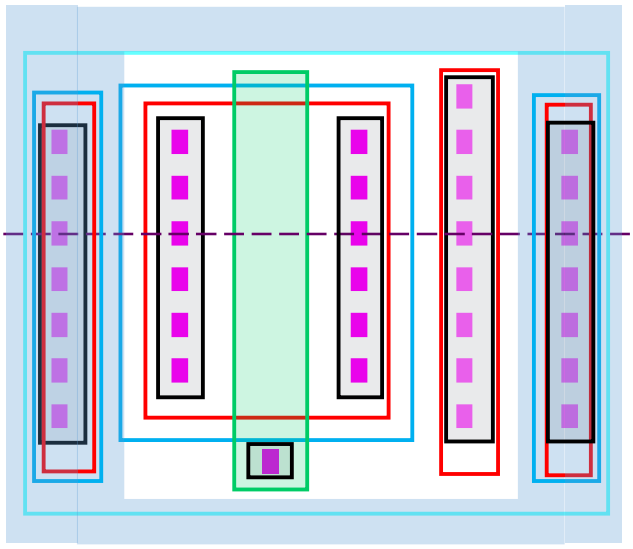
AA

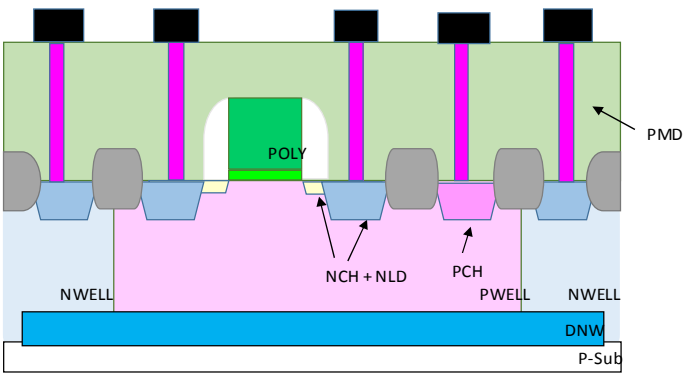
POLY

NCH+NLD

CONT

1METAL

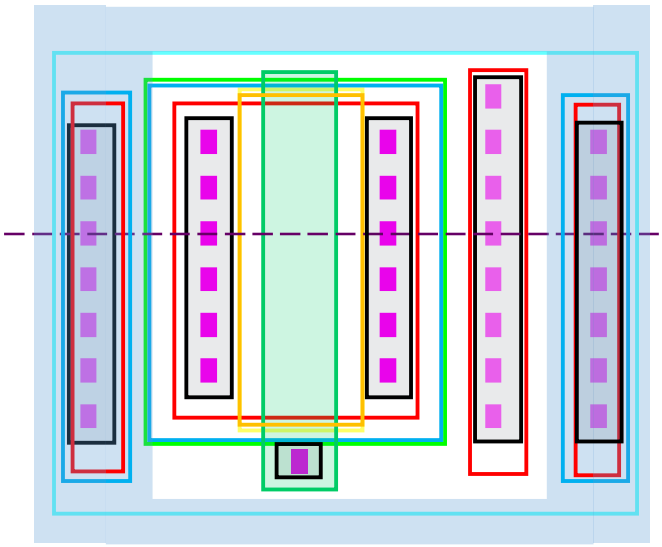


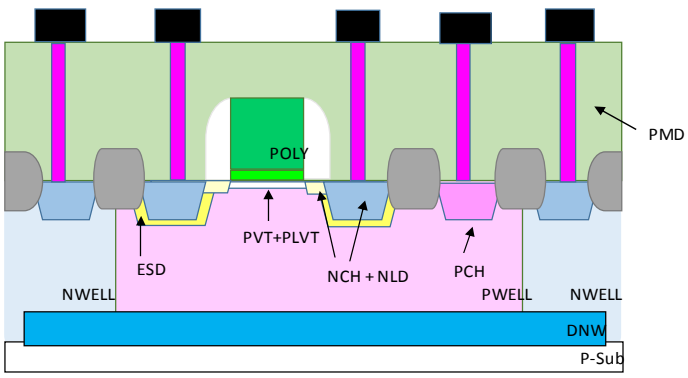


MNEI_LC, MNEI_PC(5V Nch Esd protection Iso /8finger, 10finger)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		

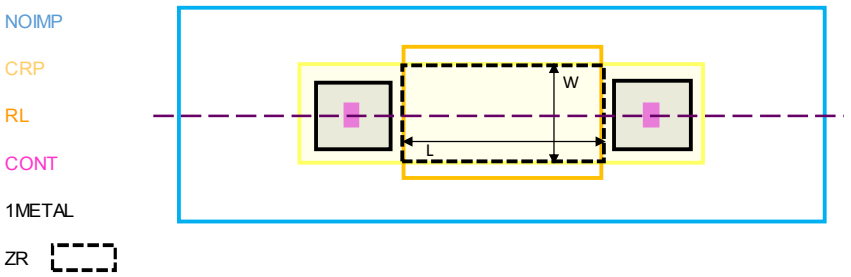
DNW
NWELL
AA
PVT
PLVT
POLY
NCH+NLD
ESD
CONT
1METAL

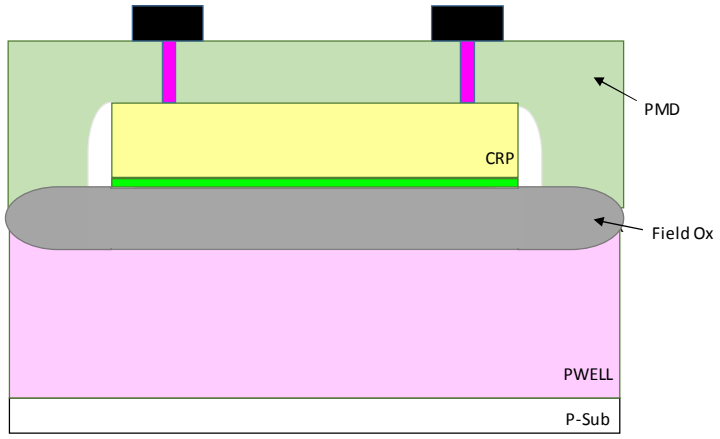




RPL(Low Resistance Poly-Si Resistor【95Ω/s】)

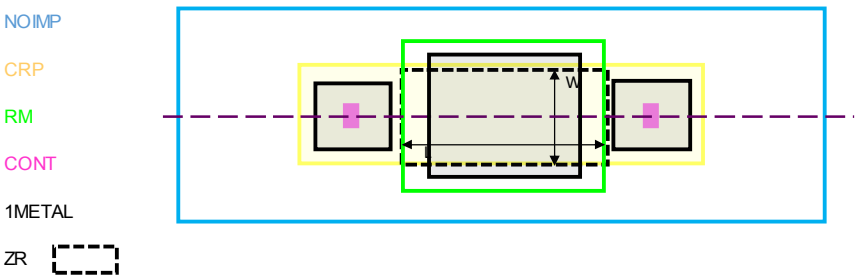
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZR	75			

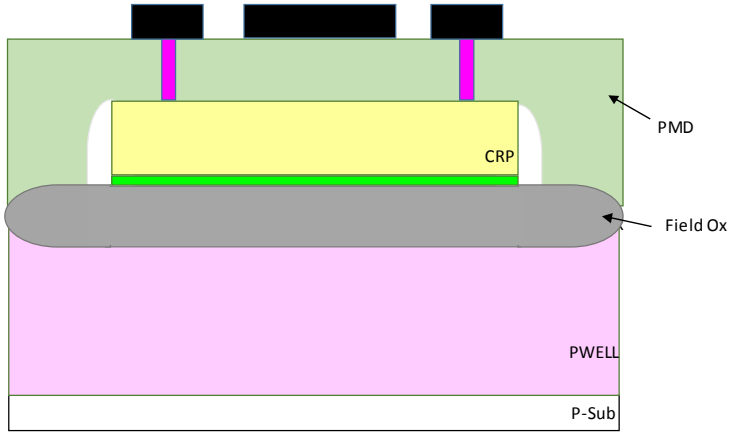




RPM(Medium Resistance Poly-Si Resistor【330Ω/s】)

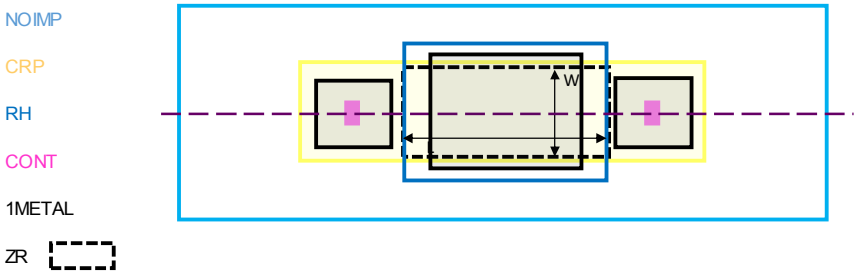
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZR	75			

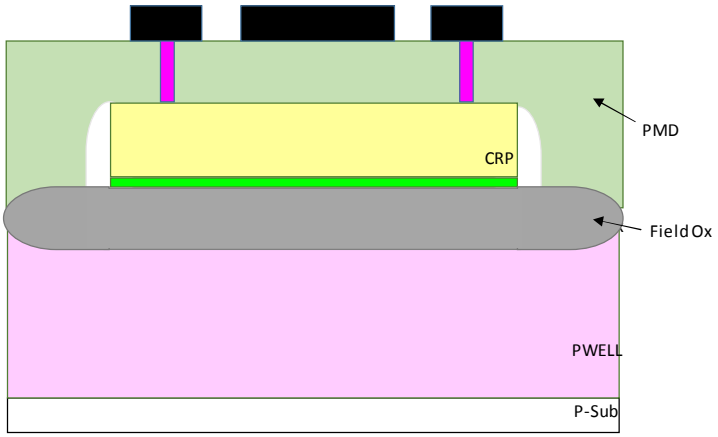




RPH, RPH2(High Resistance Poly-Si Resistor【5kΩ/s】,【8kΩ/s】)

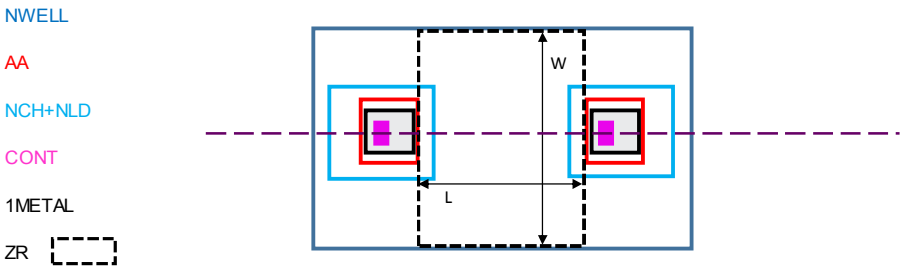
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZR	75			

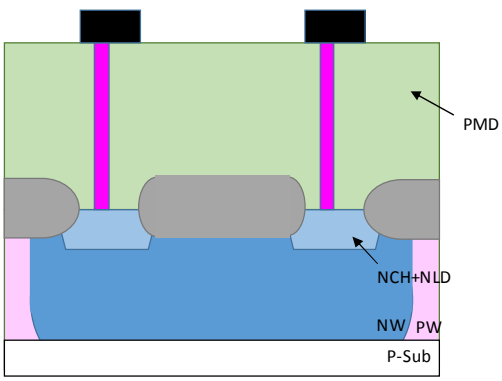




RNW(Nwell Diff. Resistor)

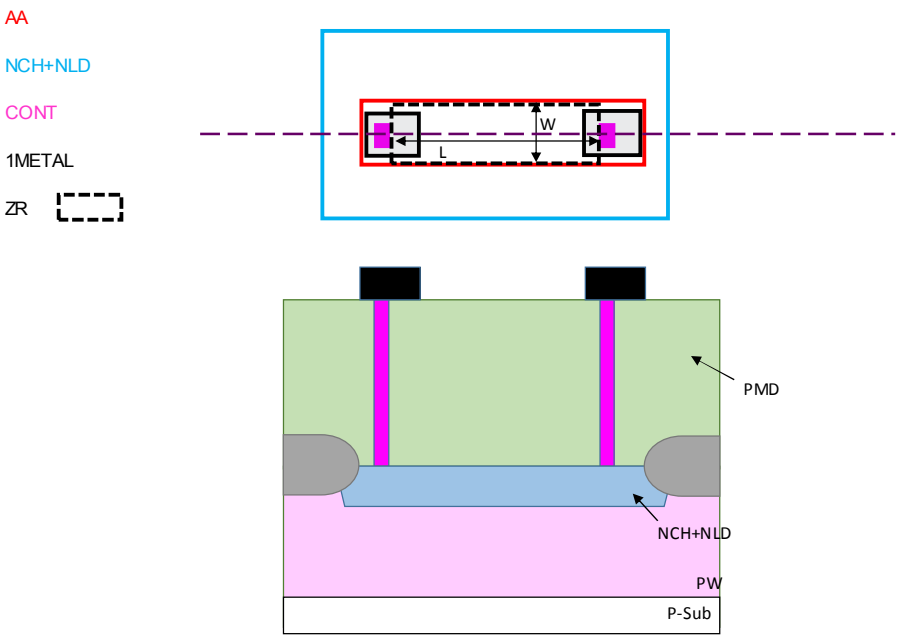
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZR	75			





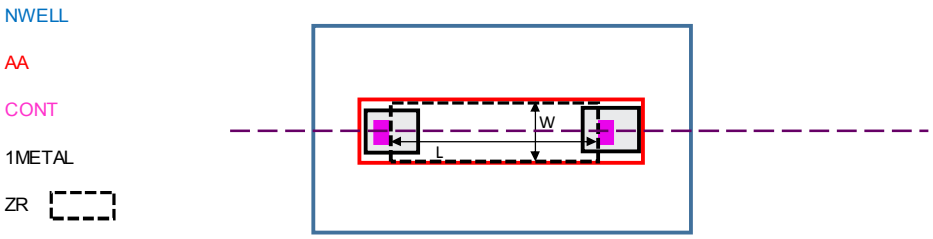
RN(N+ Diff. Resistor)

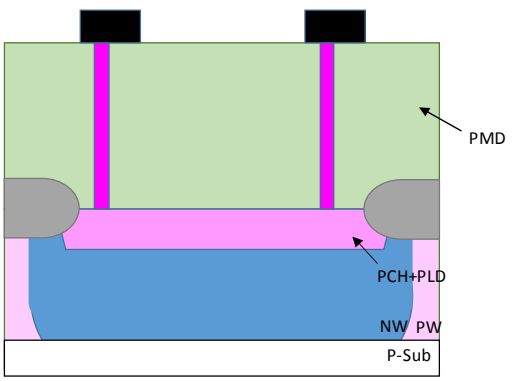
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZR	75			



RP(P+ Diff. Resistor)

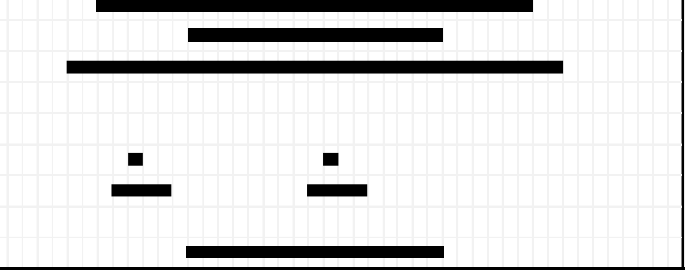
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZR	75			





CPIP(PIP Capacitor)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	Don't Care
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZC	76			



CRP

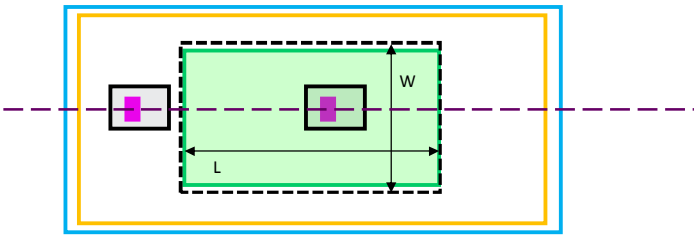
POLY

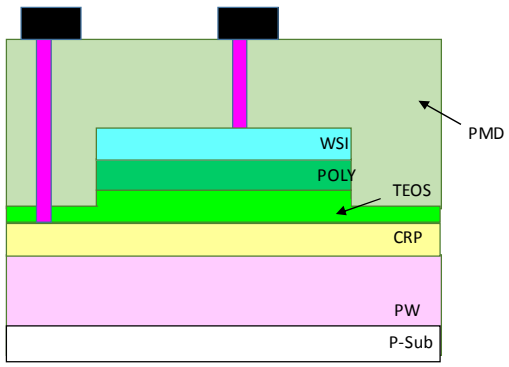
NCH+NLD

CONT

1METAL

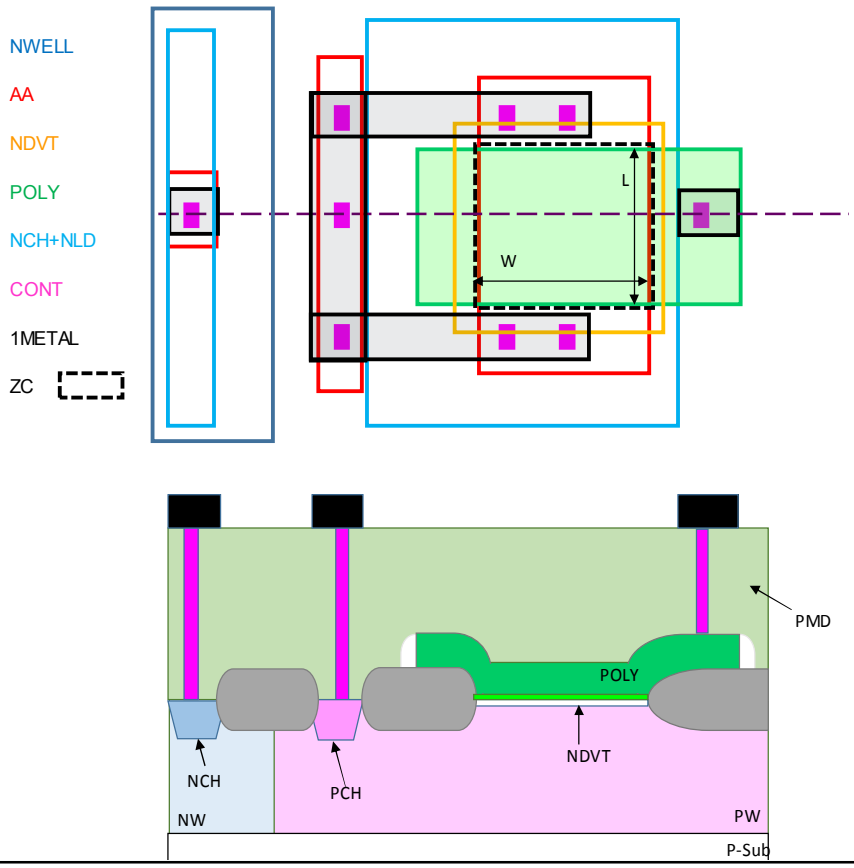
ZC





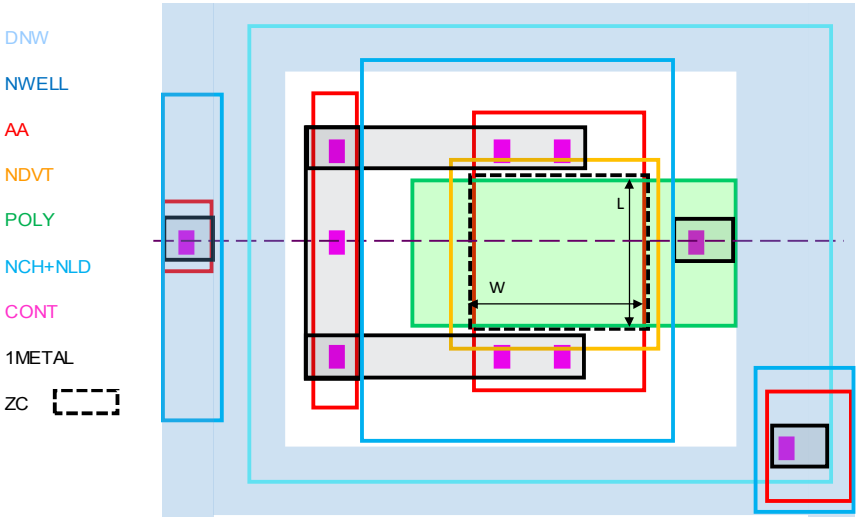
CND(Nch Depletion Vt Capacitor)

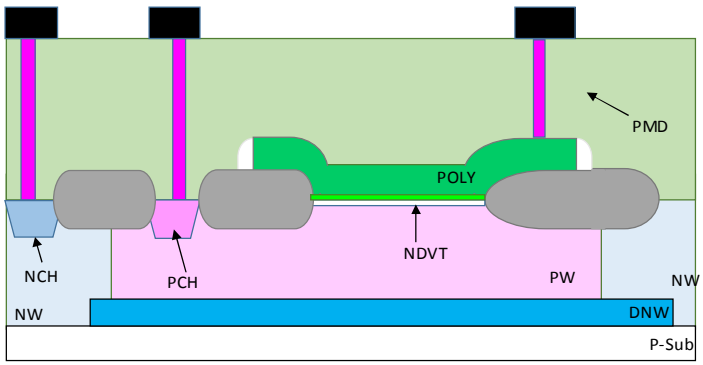
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZC	76			



CNDI(Iso Nch Depletion Vt Capacitor)

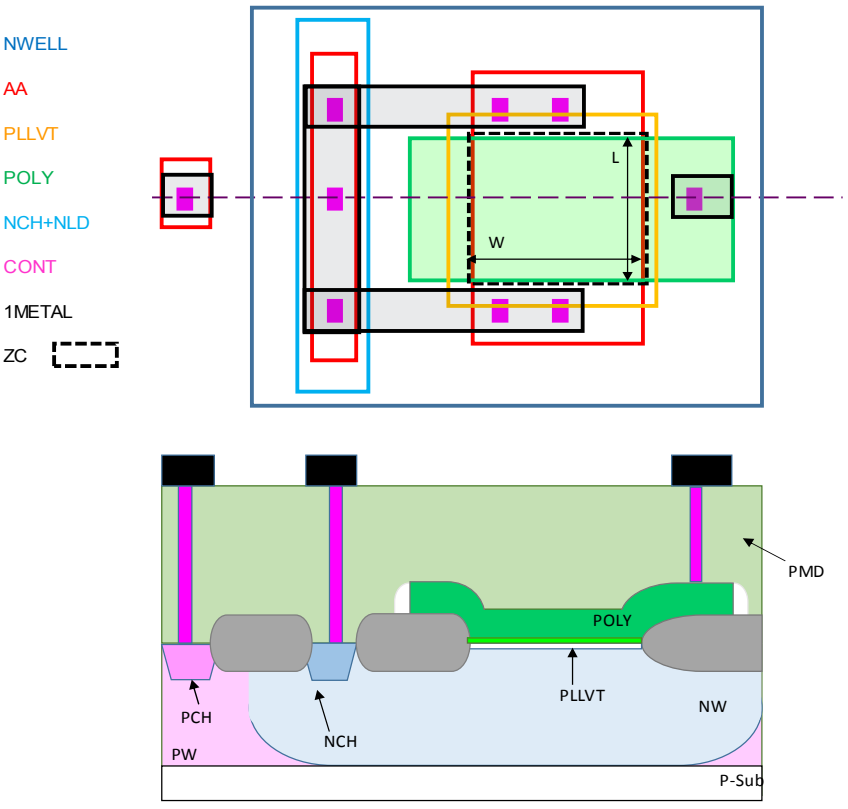
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZC	76			





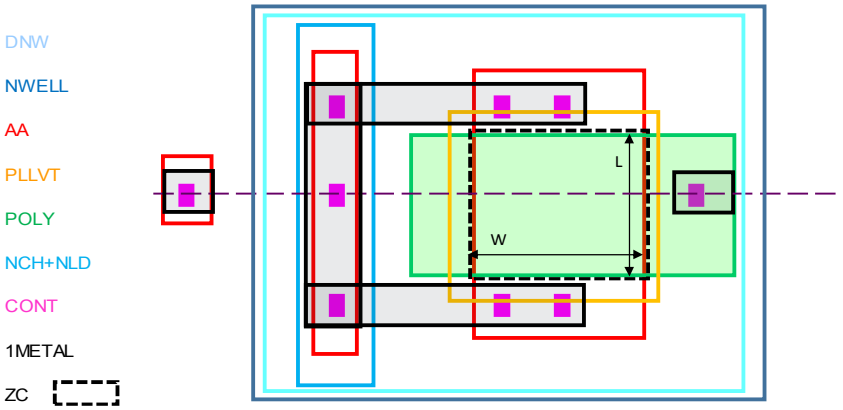
CPL2(Pch Very Low Vt Capacitor)

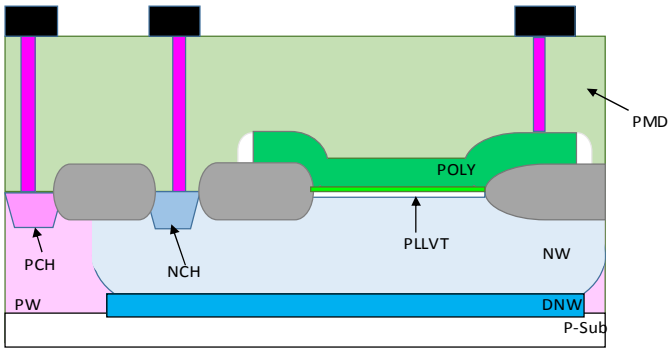
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZC	76			



CPL2I(Iso Pch Very Low Vt Capacitor)

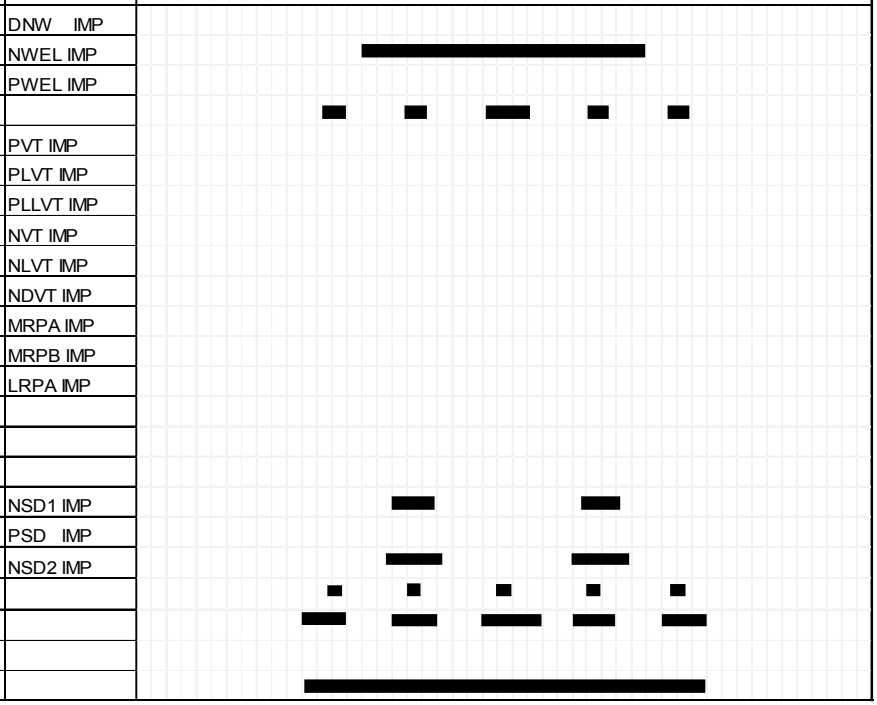
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZC	76			





PNP(Vertical PNP (P+/Nwell/Psub))

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZB	74			



NWELL

AA

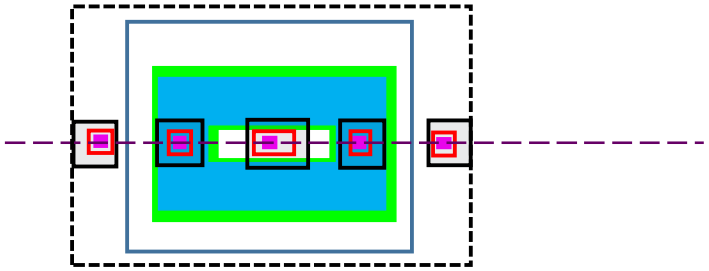
NCH+NLD

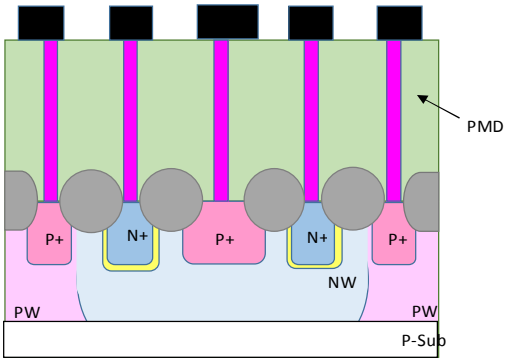
ESD

CONT

1METAL

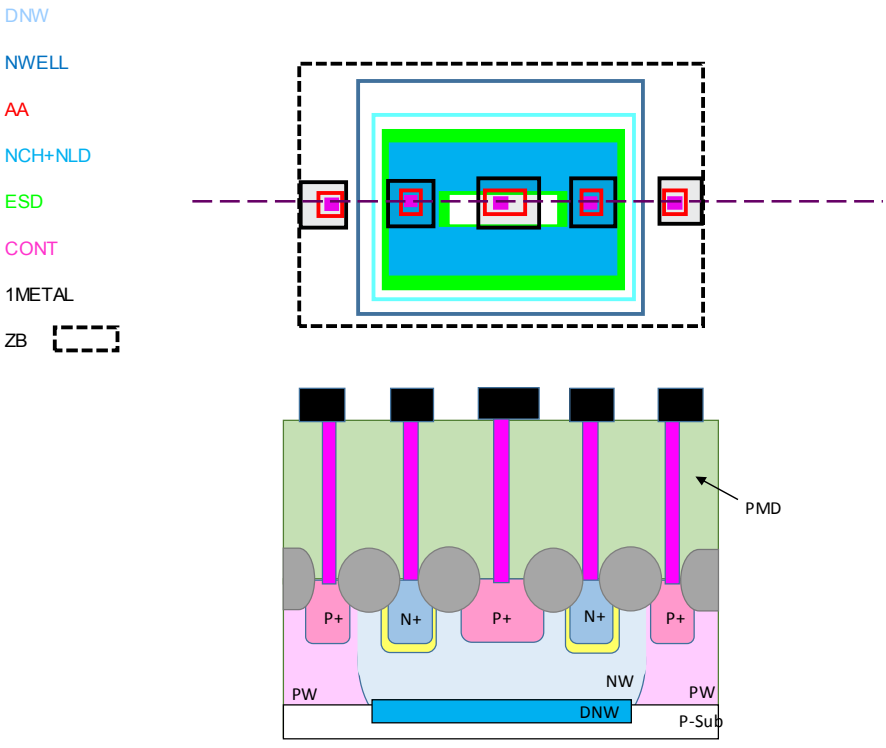
ZB





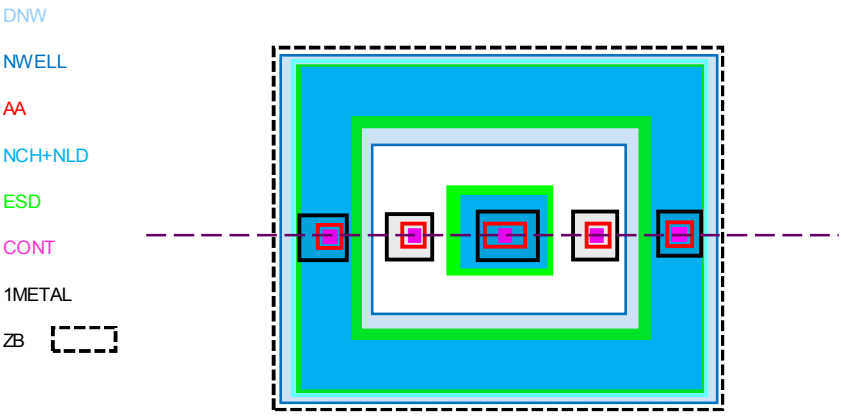
PNP2(Vertical PNP (P+/Nwell+DNW/Psub))

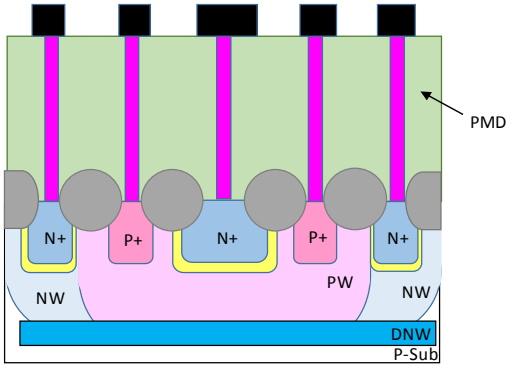
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZB	74			



NPN(Vertical NPN (N+/Pwell/DNW)

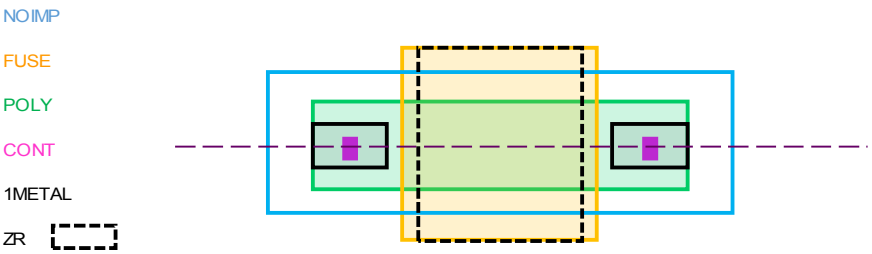
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZB	74			

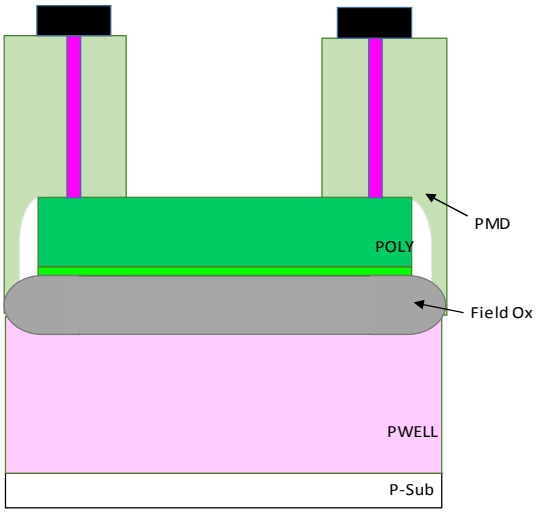




RFS(Poly-Si Laser Trimming Fuse)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZR	75			





DP(P+/Nwell Diode)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZD	73			

NWELL

AA

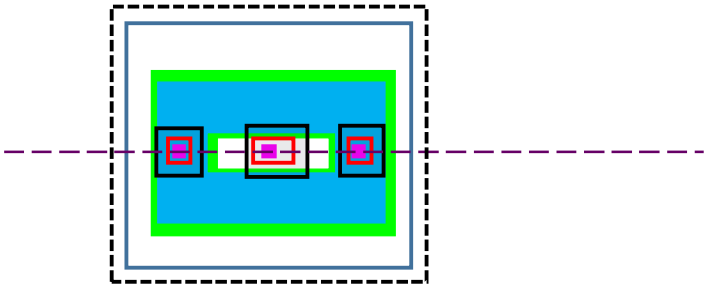
NCH+NLD

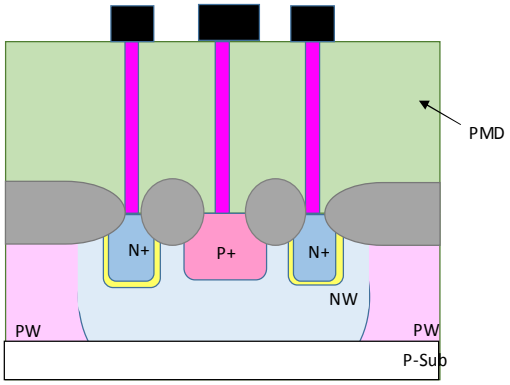
ESD

CONT

1METAL

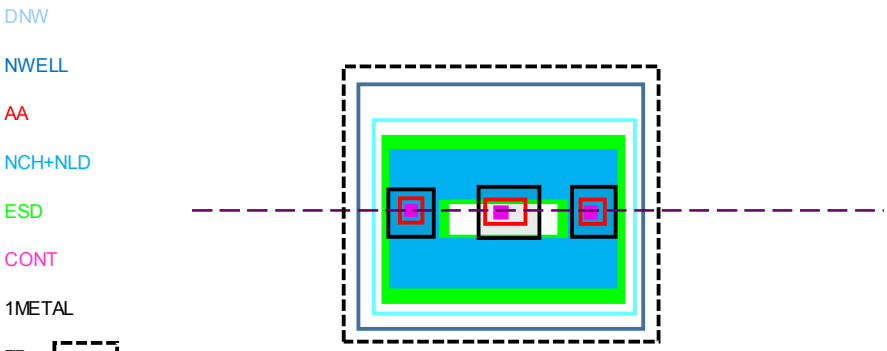
ZD

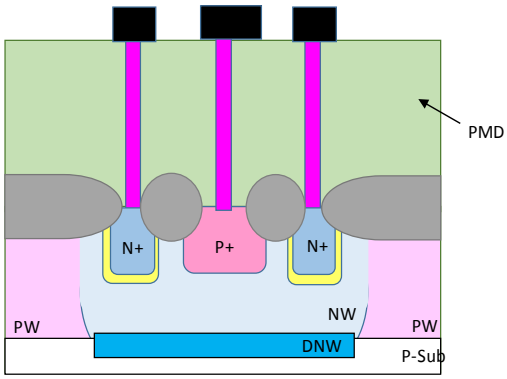




DP2(P+/Nwell in Niso Diode)

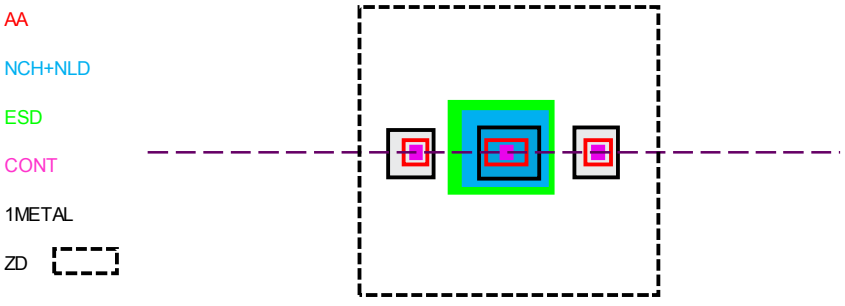
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZD	73			

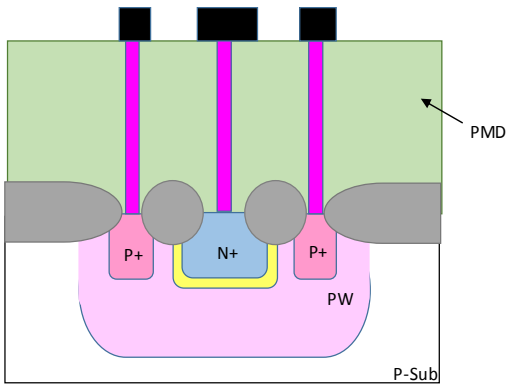




DN(N+/Pwell Diode)

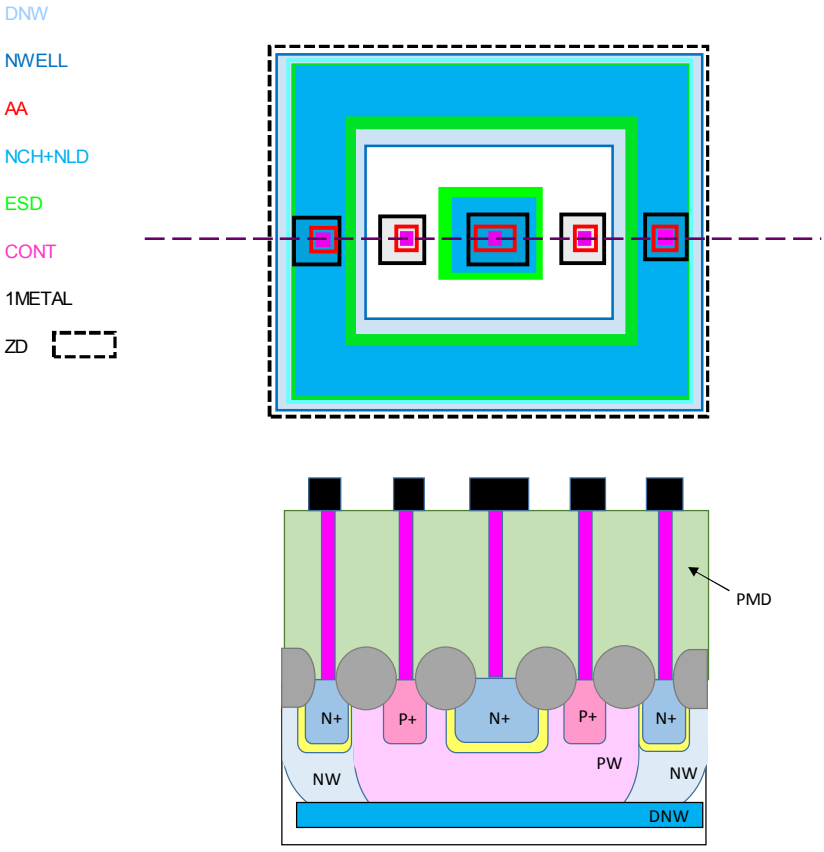
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZD	73			





DN2(N+/Pwell in Niso Diode)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		
FUSE	46	反		
ZD	73			



P (3.3V Pch MOS)

Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
PL3 (*1)	26	反	PVT3 IMP PPKT IMP	
NL3 (*1)	24	反	NPKT IMP NLD3 IMP	
GO	23	正	GOX IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18	-		
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		

(*1) GDSﾃﾞｰﾀは演算で生成。

NWELL

AA

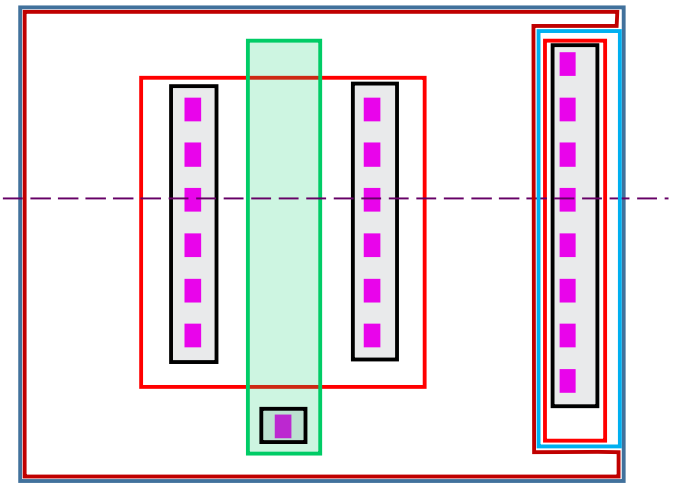
POLY

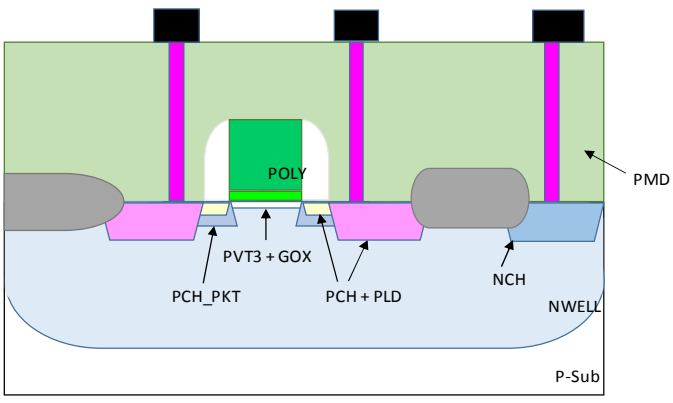
PL3

NCH+NLD+NL3

CONT

1METAL

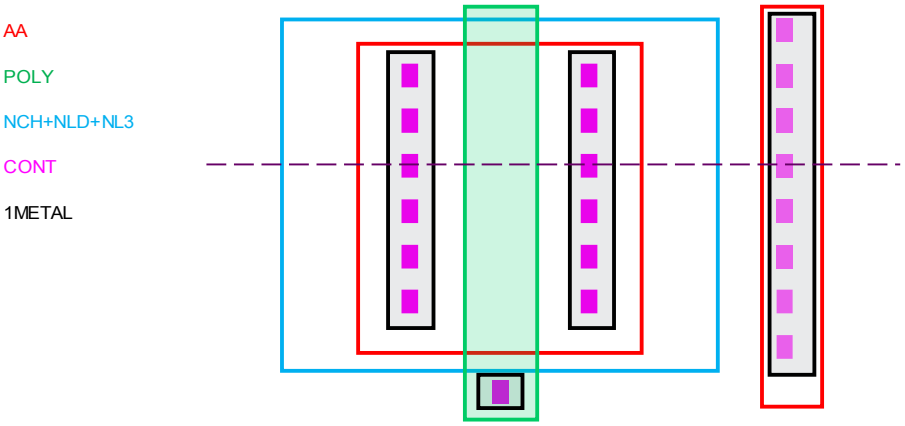


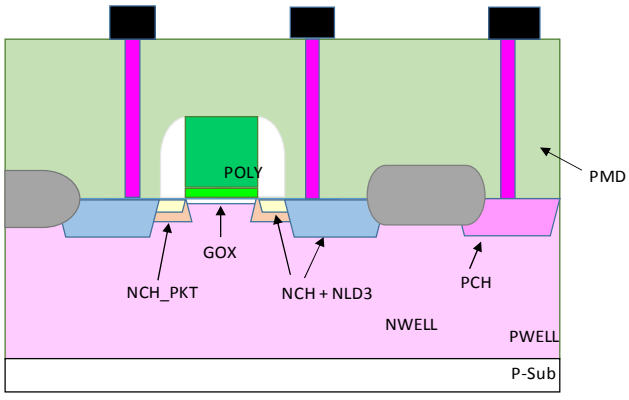


N (3.3V Nch MOS)

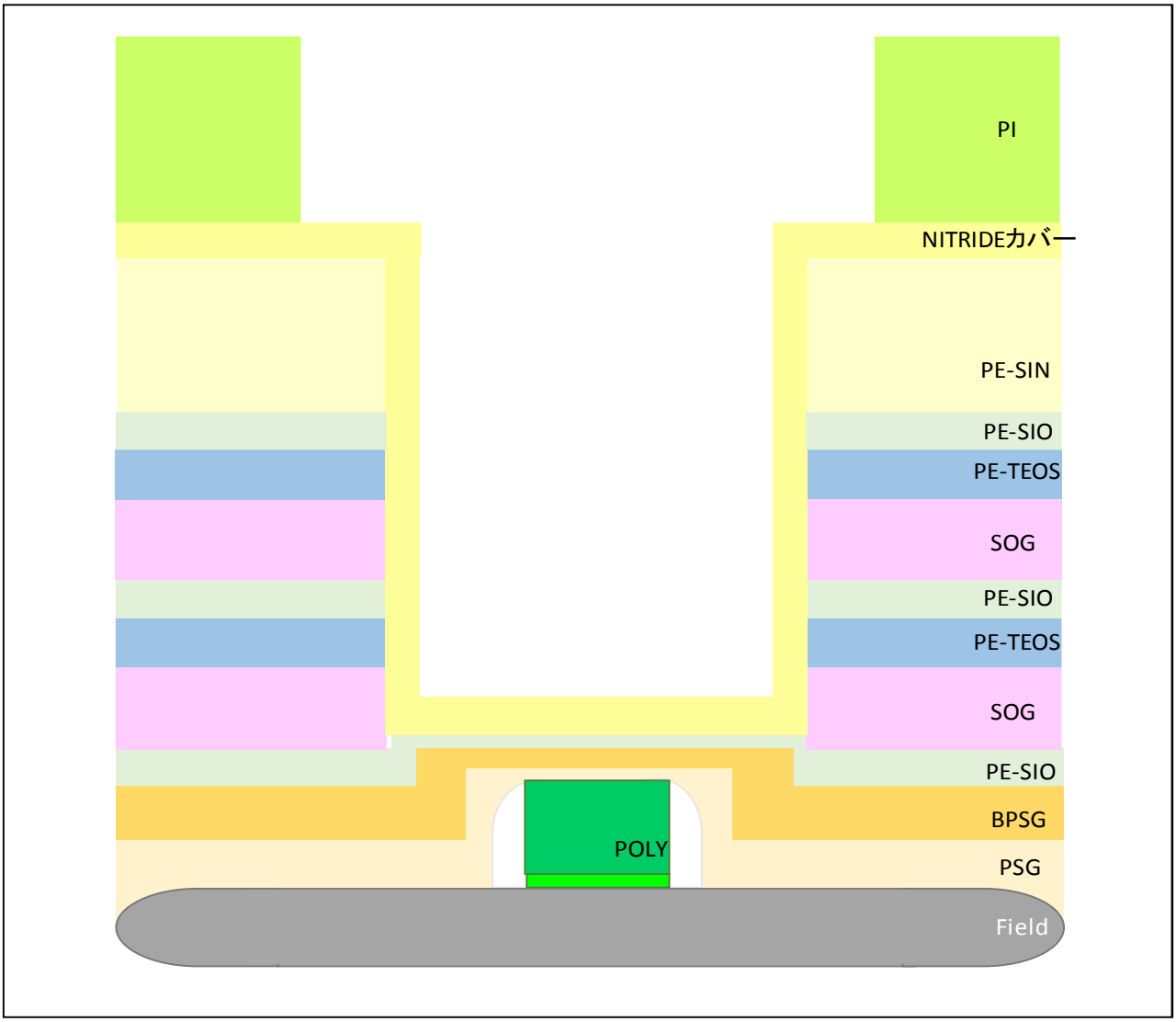
Layer	GDS No.	マスク 正反	工程名称	レイアウトデータ
DNW	20	反	DNW IMP	
NWELL	3	反	NWEL IMP	
PWELL	4	正	PWEL IMP	
AA	1	正		
PVT	48	反	PVT IMP	
PLVT	47	反	PLVT IMP	
PLLVT	84	反	PLLVT IMP	
NVT	49	反	NVT IMP	
NLVT	50	反	NLVT IMP	
NDVT	51	反	NDVT IMP	
PL3 (*1)	26	反	PVT3 IMP PPKT IMP	
NL3 (*1)	24	反	NPKT IMP NLD3 IMP	
GO	23	正	GOX IMP	
RH	19	正	MRPA IMP	
RM	65	正	MRPB IMP	
RL	66	正	LRPA IMP	
NOIMP	18			
CRP	17	正		
POLY	7	正		
NCH(NLD)	6	反	NSD1 IMP	
PCH(PLD)	5	正	PSD IMP	
ESD	71	反	NSD2 IMP	
CONT	8	反		
1METAL	9	正		

(*1) GDSﾃﾞｰﾀは演算で生成。





3. Fuse Opening-part Cross section



4. Relation between Mask and Implant for CRP (1st Poly-Si)

[Matrix of Mask and Implant for each device area]

Process Name	Layer Composition	Mask Dark/ Clear	Poly-Si Resistor				PIP Capacitor Bottom plate	Gate-Poly (1st Poly-Si)
			Body area			Tap area		
			RPH/RPH2	RPM	RPL			
HR Impla	(Blanket Implant)		✓	✓	✓	✓	✓	✓
MRPA Mask	RH	Dark	chrome					
MRPA Impla	-	-	X	✓	✓	✓	✓	✓
MRPB Mask	RH+RM	Dark	chrome	chrome				
MRPB Impla	-	-	X	X	✓	✓	✓	✓
LRPA Mask	RH+RM+RL	Dark	chrome	chrome	chrome			
LRPA Impla	-	-	X	X	X	✓	✓	✓

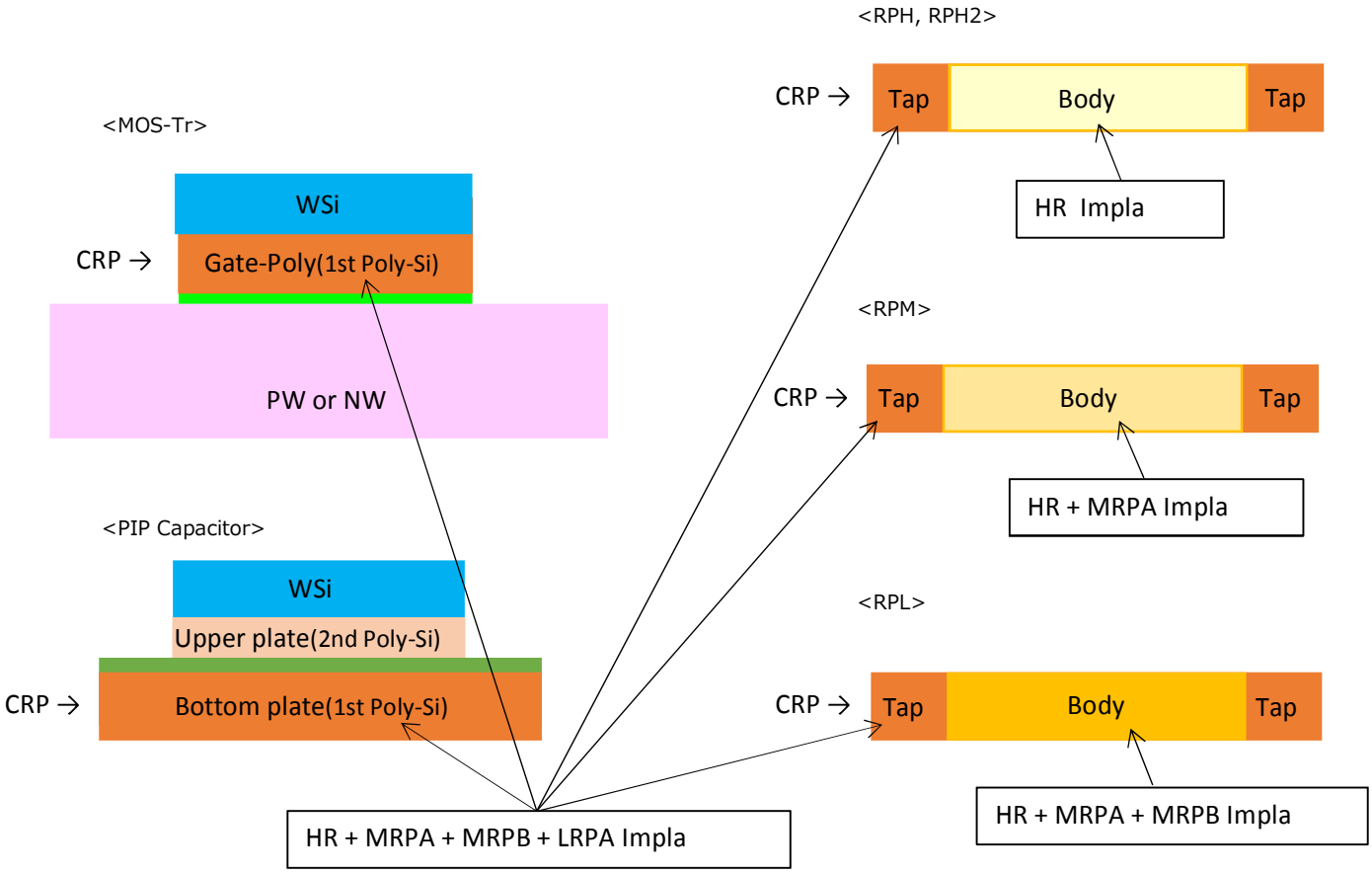
Impurity Concentration → Lower ⟷ Higher

Poly Sheet Resistance → Higher ⟷ Lower

***Notation**

✓	Implanted	chrome	chrome on Mask
X	Not Implanted		No chrome on Mask
-	N/A		

[Cross sectional diagrams for CRP used device]



制定日 Rev.0.0	**2016.11.30**

保管先	技術グループ　PDKプロジェクト

Approval	Check	Issue
技術グループ 2017/07/26 栗原	PDKﾌﾟﾛｼﾞｪｸﾄ '17.07.26 大川	PDK pj 29/07/26 喜多川

4. Revision History

Rev.	Date	Description of change	Issue Check Approval
0.0	2016/11/30	･Initial Release	Akano
0.1	2017/5/16	･Layer_matrix delete	Mituzono
0.2	2017/7/26	Change Device description as following (whole pages) MOS-Tr, MOS-Cap; add "Vt" BJT ･Vertical PNP (P+/Nwell+NIsoPsub) -> (P+/Nwell+DNW/Psub) ･Vertical NPN (N+/Pwell/NIso) -> (N+/Pwell/DNW) Poly Resistor ･Low sheet Poly Resistor -> Low Resistance Poly-Si Resistor【95Ω/s】 ･Medium sheet Poly Resistor -> Medium Resistance Poly-Si Resistor【330Ω/s】 ･High sheet Poly Resistor【5kohm/sq】 -> High Resistance Poly-Si Resistor【5kΩ/s】 ･High sheet Poly Resistor【8kohm/sq】 -> High Resistance Poly-Si Resistor【8kΩ/s】 Laser Poly Fuse ･Fuse -> Poly-Si Laser Trimming Fuse MNE_LC, MNE_PC -> add "/8finger, 10finger" MNEI_LC, MNEI_PC -> add"/8finger, 10finger" Layer table ･change order of layer PVT, RL, NOIMP, FUSE ･add layer ZB for PNP, PNP2, NPN ･add layer ZR for RFS ･delete layer PMP, PPP RPM, RPH, RPH2 ･add 1METAL cover P.3　add Chapter name "2.Device Cross section" P.38 add Chapter name "3.Fuse Opening-part Cross section"	Kitagawa Ohkawa Kurihara

4. Revision History

Rev.	Date	Description of change	Issue Check Approval
0.3	2017/08/17	All pages　Change format of header name → Document name control number → Document number ver → Rev. 4.Rev.his.(2)　Page addition. (total pages 39 → 40)	Ohkawa PDKプロジェクト '17.08.17 大川 Kitagawa PDK pj 29/08/17 喜多川 Kurihara 技術グループ 2017/08/18 栗原
0.4	2017/12/07	p.1, Contents ・Add 4. Relation between Mask and Implant for CRP (1st Poly-Si) ・change 4. Revision History -> 5. Revision History p.39, Relation between Mask and Implant for CRP (1st Poly-Si) ・Add "sheet" Implant matrix table and cross sectional diagrams for CRP used device Total page 40 -> 41	Kitagawa PDK pj 29/12/07 喜多川 Akano 技術1課 2017/12/07 赤野 Kurihara 技術グループ 2017/12/07 栗原

4. Revision History

Rev.	Date	Description of change	Issue Check Approval
0.5	2018/02/16	MOS (excluding native Vt MOS) and all MOS_Capacitor. Illustration correction. (VIMP enclosure of "AA" → "gate") 4.Rev.his.(3) Page addition. (total pages 41 → 42)	Ohkawa Kitagawa Kurihara
0.6	2018/03/16	cover(P.0) Total Page 42 → 46 contents(P.1) add DP, DP2, DN, DN2 DP(P+/Nwell Diode) (P.38) sheet addition DP2(P+/Nwell in Niso Diode) (P.39) sheet addition DN(N+/Pwell Diode) (P.40) sheet addition DN2(N+/Pwell in Niso Diode) (P.41) sheet addition Change "工程名称" : I2 -> IMP	Mitsuzono PDK pj 2018/03/22 満園 Kitagawa PDK pj 2018/3/23 喜多川 Kurihara 技術グループ 2018/03/23 栗原
1.0	2019/09/06	■Upgraded Rev.0.6 to Rev.1.0 by adding 3.3V_MOS. cover(P.0) Total Page 46 → 48 contents(P.1) add "5V" to description of all 5V_MOS. add 3V_MOS (P, N). P.3 ~ P.22 add "5V" to description of all 5V_MOS. P (3.3V Pch MOS) (P.42) sheet addition N (3.3V Nch MOS) (P.43) sheet addition	Ohkawa 技術1課 '19. 08. 22 大川 Kitagawa 技術1課 2019/8/26 喜多川 Takenaka 技術1課 2019/09/06 竹中 Kurihara 鹿児島工場 '19.09.06 栗 原