

Универзитет у Крагујевцу
Факултет инжењерских наука



Семинарски рад из предмета
Основи рачунарске технике 2

Тема:
Реализација система за детекцију
земљотреса коришћењем
акцелерометарског сензора

Студенти:
Филип Секулић
Софија Јаковљевић

Предметни професор:
Александар Пеулић

Крагујевац 2017.

Садржај:

1.УВОД.....	2
2. АРХИТЕКТУРА	2
2.1.1 Архитектура FPGA.....	2
2.1.2 Clocks.....	4
2.1.3 Улазно/излазни уређаји	5
2.1.4 Xilinx Spartan-3E (XC3S500E)	7
2.2 Акцелерометарски сензор V1R0	9
3.ПРОЈЕКТНИ ЗАДАТАК	11
4. ЗАКЉУЧАК.....	12
5. ПРИЛОГ КОДОВИ	13
5.1 Главна функција.....	13
5.2 Имплементациони код	13
6. ЛИТЕРАТУРА	14

1.УВОД

Овај рад представља опис реализације и пратећег хардвера система за детекцију земљотреса коришћењем акцелерометарског сензора V1R0 и развојног система FPGA-Spartan-3E-S500 уз помоћ Xilinx програма за успешну имплементацију и реализацију овог пројекта.

Сензор реагује на одређено убрзање тј. на промену почетног положаја и тада шаље сигнал уређају да је дошло до одређеног померања. Када сигнал стигне до уређаја, долази до паљења 8 диода које симултано реагују, што у ствари значи да је дошло до померања (у овом случају подрхтавања тла – земљотреса).

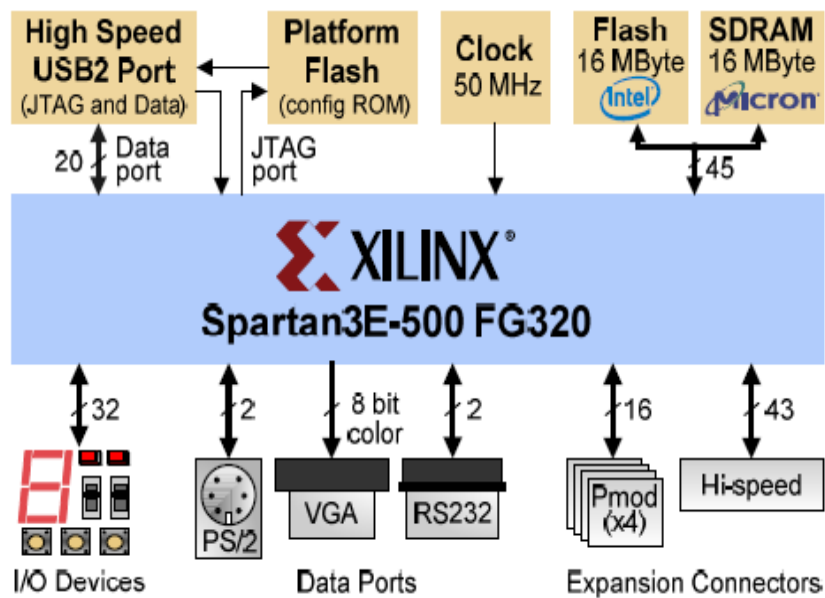
2. АРХИТЕКТУРА

2.1.1 Архитектура FPGA

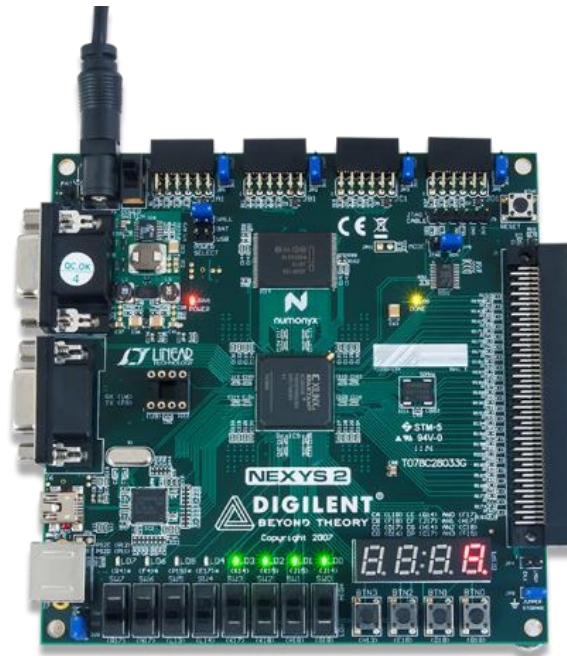
У овом пројекту коришћен је FPGA-Spartan-3E-S500. FPGA на Nexys2 плочи мора бити конфигурисан (или програмиран) од стране корисника пре обављања било које функције. Током конфигурације, „бит” фајл се пребациује у меморијске ћелије унутар FPGA да би се дефинисале логичке функције и међусобне везе у колу. Слободан ISE/WebPack CAD софтвер од Xilinx-а, може да се користи за прављење „бит” фајла помоћу VHDL-а, Verilog-а, или шематски на бази изворних фајлова. Што се тиче архитектуре плоче, њу одликују:

500K-gate Xilinx Spartan 3E FPGA

- *FPGA конфигурација заснована на USB2 и брзом протоку података (уз употребу бесплатног софтвера Adept Suite)*
- *напајање преко USB-а (такође се могу користити батерије или струја из исправљача)*
- *16MB Micron PSDRAM-а и 16MB-а Intel StrataFlash ROM-а*
- *Xilinx Platform Flash за разне FPGA конфигурације*
- *Ефикасно напајање преко прекидача (корисно за апликације које користе батерије као извор напајања)*
- *50MHz осцилатор уз додатни улаз за други осцилатор*
- *60 FPGA улазно/излазних јединица повезаних на проширујуће-конекторе (један брзи Hirose FX2 конектор и четири 6-пинска квадратна конектора)*
- *8 LED-а, четири 7-сегментна дисплеја, 4 дугмета, 8 прекидача*
- *Продаје се у пластичној кутији заједно са USB каблом*

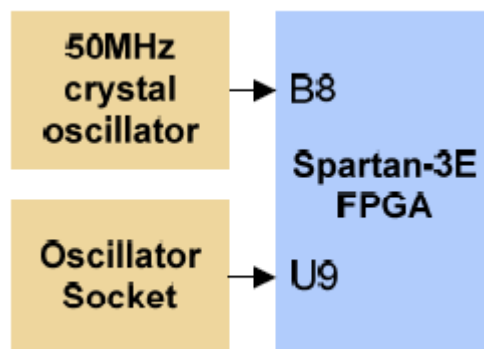


Digilent Nexys 2



2.1.2 Clocks

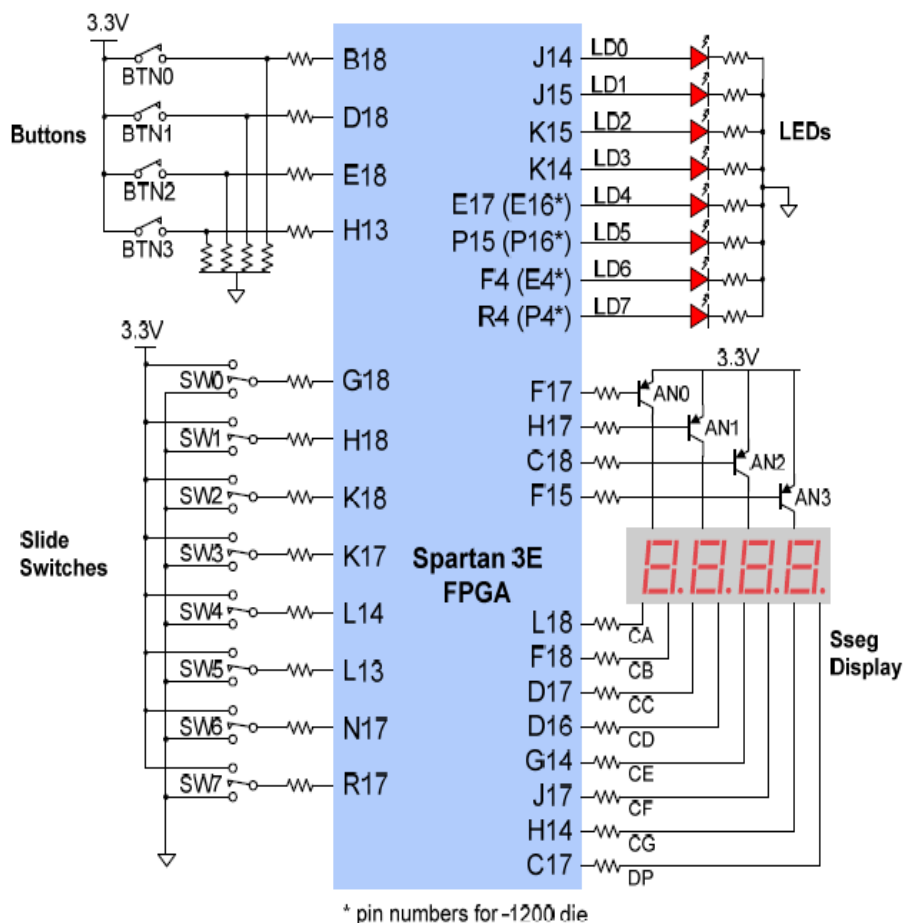
Nexys2 плоча садржи осцилатор од 50MHz и прикључак за други осцилатор. Сигнали клона са осцилатора се директно повезују на пине на FPGA који су повезани са синтесајзером клона. Синтесајзери (или DLL-ови) пружају могућност повећавања улазне фреквенције за 2 или 4 пута, односно дељења улазне фреквенције неком целобројном вредношћу, као и могућност прецизног дефинисања фазе и кашњења различитих клок сигнала.



2.1.3 Улазно/излазни уређаји

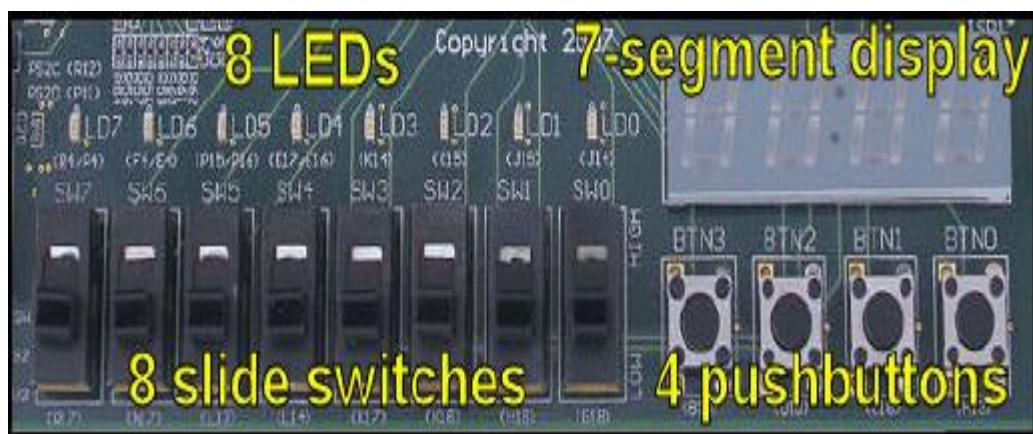
Улази: Прекидачи и тастери

Четири тастера и осам прекидача представљају улазе овог кола. Стања тастера су у неактивираним стању ниска (логичка 0), и побуђују се само када је тастер притиснут (логичка 1). Прекидачи генеришу сигнал у зависности од положаја у ком се налазе и задржавају то стање. И прекидачи и тастери користе отпорнике везане на ред као заштиту од кратког споја (који би се десио ако би се FPGA улаз за дугме или прекидач дефинисао као излаз).



Излази: LED

Диоде се пале када им FPGA на LED аноду пошаље сигнал у виду логичке '1', што ће произвести струју од 3mA, а да не би дошло до оптерећења самог FPGA испред сваке аноде налази се отпорник од 390Ω. Има укупно 10 диода, од тога девета показује да FPGA добија напон, десета показује статус програмирања, а остале су на располагању кориснику за употребу по потреби.



Периферни конектори

Nexys2 плоча поседује четири дворедна 6-пинска Pmod конектора која могу да приме до 8 Pmod-ова. Сваки од четири 12-пинска конектора поседује 8 пинова за сигнале података и по 2 пина за уземљење и напон. Сви пинови за податке поседују заштиту од кратког споја у виду отпорника и ESD заштитне диоде. Може се бирати извор напајања: 3.3V са плоче или други извор.

Pmod конектори су означени: JA(најближи пиновима за напон), JB, JC и JD (најдаљи од напонских пинова).

Додатни Pmod конектори се могу додати плочи куповином екстерне плочице.

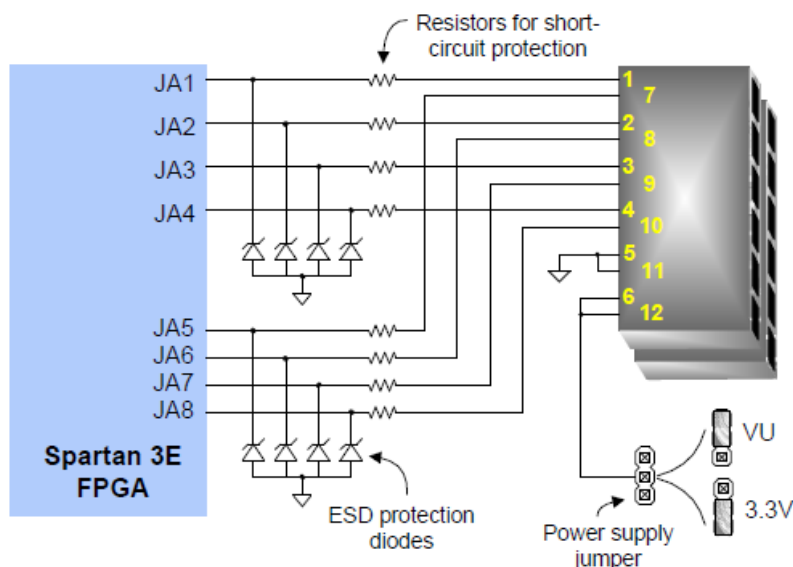


Figure 23: Nexys2 Pmod connector circuits

Table 3: Nexys2 Pmod Connector Pin Assignments							
Pmod JA		Pmod JB		Pmod JC		Pmod JD	
JA1: L15	JA7: K13	JB1: M13	JB7: P17	JC1: G15	JC7: H15	JD1: J13	JD7: K14 ¹
JA2: K12	JA8: L16	JB2: R18	JB8: R16	JC2: J16	JC8: F14	JD2: M18	JD8: K15 ²
JA3: L17	JA9: M14	JB3: R15	JB9: T18	JC3: G13	JC9: G16	JD3: N18	JD9: J15 ³
JA4: M15	JA10: M16	JB4: T17	JB10: U18	JC4: H16	JC10: J12	JD4: P18	JD10: J14 ⁴

Notes: ¹ shared with LD3 ² shared with LD3 ³ shared with LD3 ⁴ shared with LD3

2.1.4 Xilinx Spartan-3E (XC3S500E)

Spartan-3 је први FPGA са технологијом од 90nm. Када је пуштен у продају био је функционалнији од свих претходника и поставио нове стандарде у индустрији програмабилне логике. Због своје изузетно ниске цене, ова генерација је погодна за широки спектар примене у електронским уређајима од кућних мрежа преко пројектовања слике до опреме за дигиталну телевизију.

Одлике:

- 500K системских логичких кола
- 10.476 еквивалентних логичких ћелија
- 73K дистрибуираних RAM битова
- 360K блок RAM битова
- 20 множача
- 4 DCM-ова (dual-chip модула)

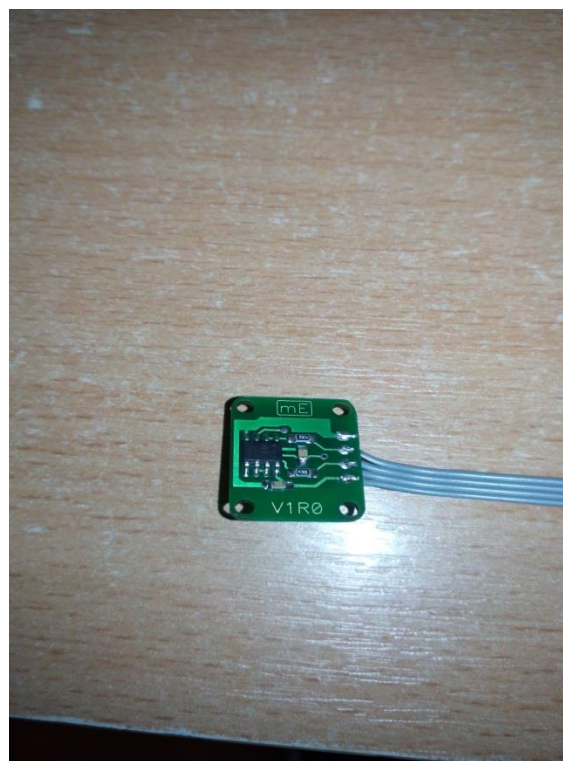
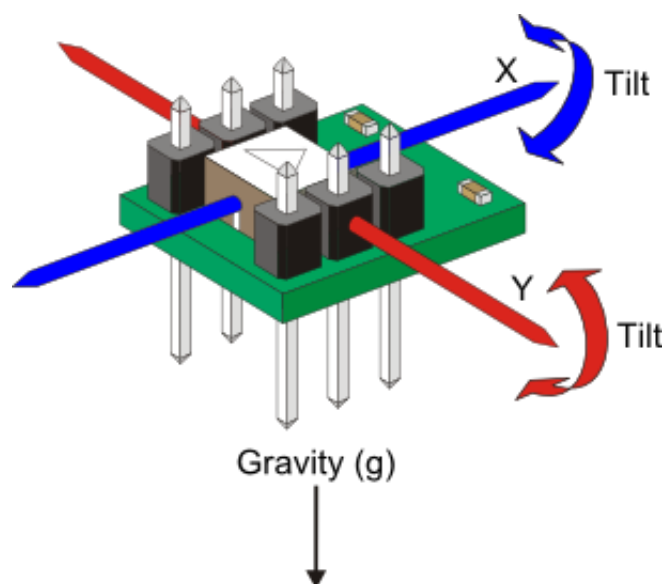
- 158 корисничких улазно/излазних портова
- 65 максималних диференцијалних улазно/излазних парова

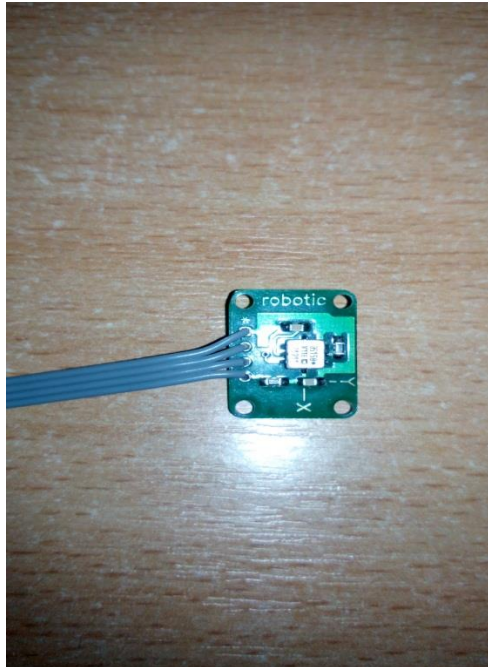


XILINX SPARTAN XCS3500E чип

2.2 Акцелерометарски сензор V1R0

Спакован на плочицу малих димензија и врло мале масе налази се сензор за детектовање убрзања. Са плоче излазе 4 пина за повезивање са уређајима: уземљење, напајање, излази за X и Y осу.



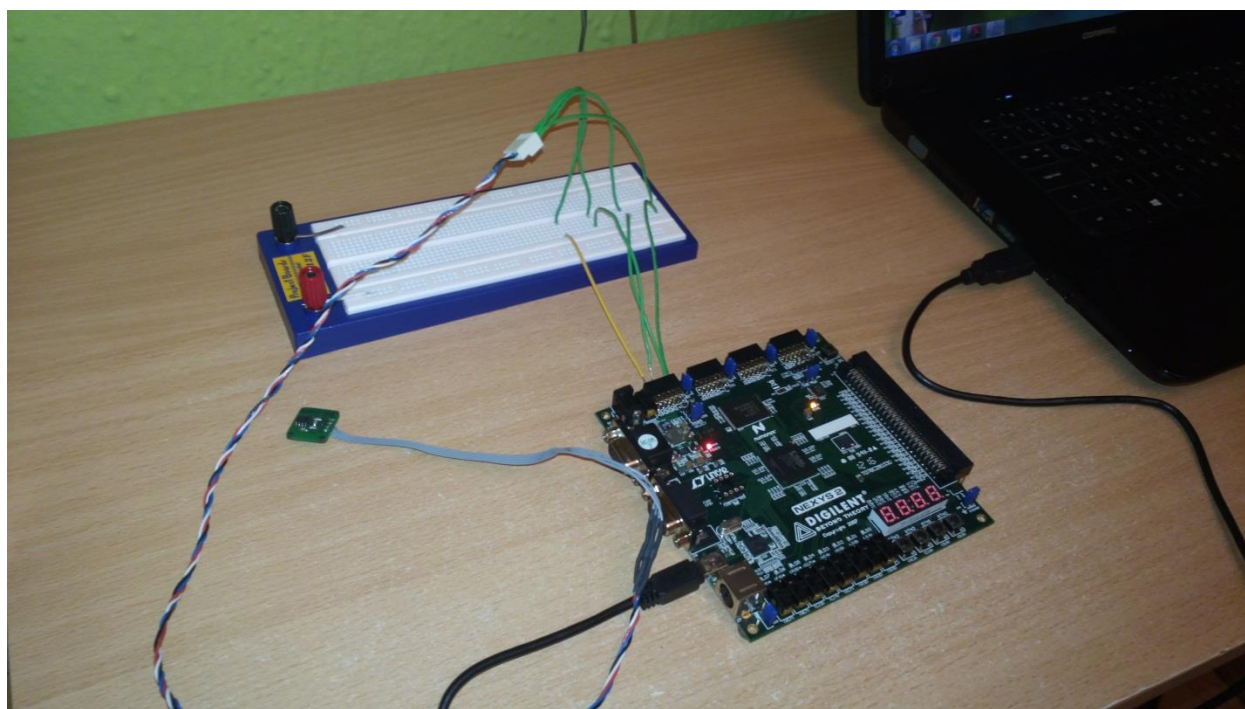


3.ПРОЈЕКТНИ ЗАДАТАК

На врло једноставан начин је одрађена реализација система за детекцију земљотреса, која је притом и јефтина, тако да је на кориснику само да одабере локацију за његово смештање.

Како функционише овај систем?

Приликом подрхтавања тла, долази до реакције коју сензор региструје и шаље сигнал диодама да се упале. Том приликом диоде дају до знања кориснику да је дошло до подрхтавања тла, у овом случају земљотреса.



Опрема коришћена за реализацију пројекта

4. ЗАКЉУЧАК

Овакав систем је јако користан и јефтин за производњу, а такође је и мањи од уређаја који се тренутно користи за детекцију земљотреса (сеизмографа). Оно што је јако битно, јесте и то да кориснику не треба никакво знање за његово коришћење јер приликом детекције земљотреса, диоде се пале и тако шаљу обавештење да је дошло до померања тла.



Кућиште акцелерометарског сензора



Сеизмограф

5. ПРИЛОГ КОДОВИ

5.1 Главна функција

```
module modul(input ulaz0, ulaz1, output izlaz0, izlaz1, izlaz2, izlaz3, izlaz4, izlaz5, izlaz6, izlaz7);
```

```
nor (izlaz0, ulaz0, ulaz1);
```

```
nor (izlaz1, ulaz0, ulaz1);
```

```
nor (izlaz2, ulaz0, ulaz1);
```

```
nor (izlaz3, ulaz0, ulaz1);
```

```
nor (izlaz4, ulaz0, ulaz1);
```

```
nor (izlaz5, ulaz0, ulaz1);
```

```
nor (izlaz6, ulaz0, ulaz1);
```

```
nor (izlaz7, ulaz0, ulaz1);
```

```
endmodule
```

5.2 Имплементациони код

```
NET ulaz0 LOC = "L15";
```

```
NET ulaz1 LOC = "L17";
```

```
NET izlaz0 LOC = "J14";
```

```
NET izlaz1 LOC = "J15";
```

```
NET izlaz2 LOC = "K15";
```

```
NET izlaz3 LOC = "K14";
```

```
NET izlaz4 LOC = "E17";
```

```
NET izlaz5 LOC = "P15";
```

```
NET izlaz6 LOC = "F4";
```

```
NET izlaz7 LOC = "R4";
```


6. ЛИТЕРАТУРА

- [1] https://reference.digilentinc.com/_media/nexys:nexys2:nexys2_rm.pdf
- [2] <http://store.digilentinc.com/nexys-2-spartan-3e-fpga-trainer-board-retired-see-nexys-4-ddr/>