

SYSTEMES LOGIQUES TRAVAIL PRATIQUE TP04 - SOLUTIONS

4. TP04: MACHINE D'ÉTATS FINIS

Le travail pratique TP04 présente l'étude de circuit nécessitant la mise en œuvre de machine d'état finis, ainsi que des connaissances acquises précédemment.

4.1 PARTIE 1, COMPTEUR

Soit un système de nombres exprimés en base $B=3$ au moyen de trois chiffres. Un nombre serait par exemple $121_{B=3}$. Chaque chiffre est codé sur 2-bit suivant le code ci-dessous.

Digit	Code
$0_{B=3}$	11_b
$1_{B=3}$	10_b
$2_{B=3}$	00_b

Le code binaire 01_b n'est pas valide, et est considéré comme *don't care*.

La tâche suivante est proposée.

- Créer un circuit qui compte en boucle de $000_{B=3}$ à $222_{B=3}$. Afficher la valeur sur un affichage 7-segments à trois chiffres.
- Méthode proposée par *divide-and-conquer*: divisez le problème en sous-problèmes (compteur LSB, compteur Middle, compteur MSB), développez la solution pour chaque sous-bloc, puis connectez les sous-circuits de façon appropriée pour obtenir la solution générale.

4.2 PARTIE 2, CONTRÔLE ASYNCHRONE

Etendre le système en lui ajoutant un bouton ayant la fonction suivante. Lorsque le bouton est pressé, de façon brève ou asynchrone, le compteur change le sens du comptage (comptage devient décomptage) lorsqu'il atteint la valeur $111_{B=3}$. Par exemple, le bouton est pressé alors que le compteur est à $000_{B=3}$. Le compteur incrémente jusqu'à atteindre la valeur $111_{B=3}$, puis décroimente, générant ainsi une séquence partielle similaire à la séquence: ... $102_{B=3}$, $110_{B=3}$, $111_{B=3}$, $110_{B=3}$, $102_{B=3}$, ...

Portez le circuit sur le système-cible en prenant soin de limiter la fréquence de l'horloge principale.

4.3 SOLUTION PROPOSÉE

Le fichier TP04S.circ implémente une solution possible. Il est disponible sur le site Moodle du cours et est commenté dans la suite.

Le schéma-bloc général de la solution proposée est présenté en Figure 4.1.

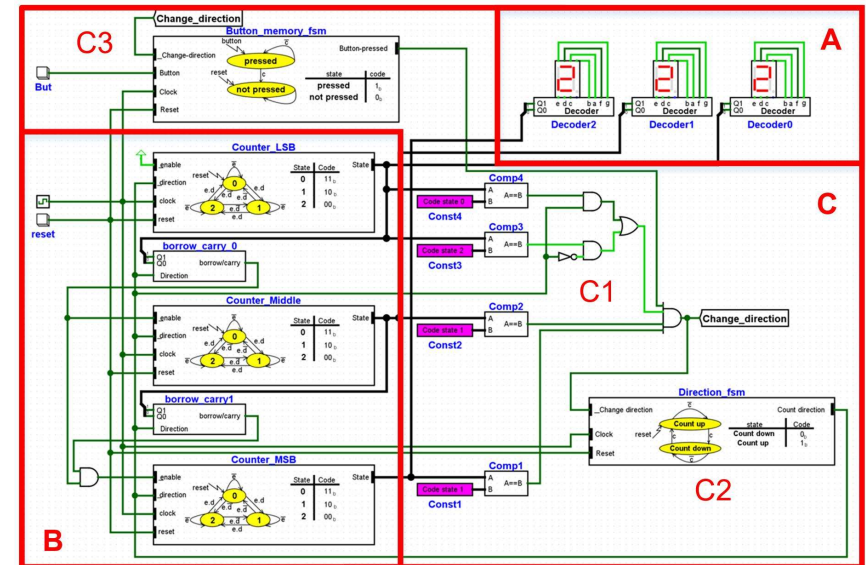


Figure 4.1: Schéma-bloc de solution possible.

Les blocs fonctionnels suivant en font partie, et sont développés dans l'ordre présenté.

- Blocs A. Un affichage sept segment est développé, utilisant les techniques présentées au TP01.
- Blocs B. Le compteur-décompteur est développé suivant la méthode présentée au TP03 et s'appuyant sur la méthode divide-and-conquer. Trois blocs ayant des fonctions quasi-identiques réalisent l'opération de comptage-décomptage d'un bit. Chacun des blocs est assigné à l'opération d'un bit, du LSB au MSB. Leur connexion nécessite de résoudre les conditions de carry/borrow. Le bloc de comptage-décomptage est réalisé au moyen d'une machine d'états finis (FSM). La FSM comprend les trois états décrits dans la donnée du problème, et qui sont respectivement codés. Les conditions de transitions sont données par deux signaux, soient un signal de direction d qui permet de déterminer l'état suivant (sens de rotation des états), et un signal e (enable); ces deux signaux sont générés par des dispositifs de hiérarchie supérieure.
- Blocs C. Les modules permettant le contrôle général, de haut niveau sont regroupés dans les Blocs C. En C1, un comparateur détecte la condition limite (l'état limite à partir duquel le sens de comptage change en décomptage). En C2, une FSM simple génère le signal d qui contrôle les FSM secondaires dans leur mode de comptage-décomptage. En C3, une FSM secondaire détecte l'état du bouton et génère un signal qui est utilisé pour la génération du signal d .

Chaque FSM est synthétisée suivant la méthode standard: 1. définition du diagramme d'états, 2. table de transitions correspondante, 3. table de Karnaugh et optimisation, 4. expressions algébriques et circuit de la logique de transition.

Ainsi, le système présenté comprend plusieurs FSM secondaires, qui sont contrôlées par un contrôleur principal, comprenant aussi une FSM. Cette approche permet de développer des systèmes numériques complexes est utilisée dans le projet de fin de semestre.