

1ª Questão) (1,5 ponto) Identificar as situações de dependência (WAW, WAR, RAW) na seguinte sequência de código, do MIPS64:

DIVD F1, F3, F5
ADDD F4, F1, F9
SD F4, 0(R1)
SUBD F1, F10, F14
MULD F9, F10, F8

2ª Questão) (1,5 ponto) Assinale verdadeiro (V) ou falso (F).

(Lembre-se: um item assinalado incorretamente anula um item assinalado corretamente)

- ☐ CISC apresenta poucos formatos de instrução e muitos registradores de uso genérico, enquanto RISC possui instruções de vários comprimentos (no mesmo conjunto)
- ☐ Arquitetura superpipeline baseia-se no aumento das unidades funcionais de forma que seja possível executar mais de uma instrução em cada ciclo de relógio
- ☐ Arquitetura multicore consiste múltiplos processadores em um único encapsulamento
- ☐ Na CISC a complexidade está no compilador, enquanto na RISC a complexidade está no microprograma
- ☐ Uma arquitetura super-escalar consiste em aumentar o número de estágios da pipeline, conseguindo diminuir Tcc e aumentar a frequência de relógio
- ☐ Arquitetura vetorial especifica uma série de operações a realizar em vários dados, numa só instrução
- ☐ Uma arquitetura com grau de grau de super-escalaridade igual a 2 apresenta 2 ciclos de penalização (5 instruções) nos saltos previstos incorretamente
- ☐ Programas compilados para arquitetura CISC possuem garantia que serão menores que os compilados para RISC.
- ☐ No mecanismo de write back uma escrita modifica o dado na cache e na memória juntos
- ☐ No caso em que não há escalonamento dinâmico, as instruções são emitidas pela ordem com que são geradas pelo compilador, executadas pela mesma ordem e terminadas ainda em ordem
- ☐ Tamanhos e posições das instruções são fixos e alinhados de acordo com o tamanho de uma palavra em RISC
- ☐ No escalonamento dinâmico consiste em realizar a execução de instruções fora de ordem em um pipeline
- ☐ O escalonamento estático não bloqueia a execução de instruções em estágios posteriores do pipeline, nem bloqueia a emissão de novas instruções
- ☐ No escalonamento estático independentemente da ordem na qual as instruções chegam ao datapath, esta pode executá-las por uma ordem diferente desde que não quebre o fluxo de dados

