Esc	cola c	idade de São Paulo de Artes, Ciências e Humanidades e: Prof. Dr. Clodoaldo A M Lima.
Dis	cent	e: No. USP:
		tão) (1,5 ponto) Identificar as situações de dependência (WAW, WAR, RAW) na seguinte sequência de do MIPS64:
	,	DIVD F1, F3, F5 ADDD F4, F1, F9 SD F4, 0(R1) SUBD F1, F10, F14 MULD F9, F10, F8
2ª (Ques	tão) (1,5 ponto) Assinale verdadeiro (V) ou falso (F).
		e-se: um item assinalado incorretamente anula um item assinalo corretamente)
()	CISC apresenta poucos formatos de instrução e muitos registradores de uso genérico, enquanto RISC possui instruções de vários comprimentos (no mesmo conjunto)
()	Arquitetura superpipeline baseia-se no aumento das unidades funcionais de forma que seja possível executar mais de uma instrução em cada ciclo de relógio
()	Arquitetura multicore consiste múltiplos processadores em um único encapsulamento
()	Na CISC a complexidade está no compilador, enquanto na RISC a complexidade está no microprograma
()	Uma arquitetura super-escalar consiste em aumentar o número de estágios da pipeline, conseguindo diminuir Tcc e aumentar a frequência de relógio
()	Arquitetura vetorial especifica uma série de operações a realizar em vários dados, numa só instrução
()	Uma arquitetura com grau de grau de super-escalaridade igual a 2 apresenta 2 ciclos de penalização (5 instruções) nos saltos previstos incorretamente
()	Programas compilados para arquitetura CISC possuem garantia que serão menores que os compilados para RISC.
()	No mecanimo de write back uma escrita modifica o dado na cache e na memória juntos
()	No caso em que não há escalonamento dinâmico, as instruções são emitidas pela ordem com que são geradas pelo compilador, executadas pela mesma ordem e terminadas ainda em ordem
()	Tamanhos e posições das instruções são fixos e alinhados de acordo com o tamanho de uma palavra em RISC
()	No escalonamento dinâmico consiste em realizar a execução de instruções fora de ordem em um pipeline
()	O escalonamento estático não bloqueia a execução de instruções em estágios posteriores
`	,	do pipeline, nem bloqueia a emissão de novas instruções
()	No escalonamento estático independentemente da ordem na qual as instruções chegam ao datapath, esta pode executá-las por uma ordem diferente desde que não quebre o fluxo de dados

3ª Questão) (2,0 pontos) Considere o conjunto de instruções abaixo

					Latencia
I1	div	F1	F6	F4	3
I2	lw	F2	45(R3)		2
I3	mult	F4	F2	F4	3
I4	div	F8	F1	F2	4
I5	sub	F10	F4	F1	1
I 6	add	F1	F8	F10	1

- a) Identifique as situações de dependência (WAW, WAR, RAW) na seguinte sequência de código acima, do MIPS64.
- b) Apresente uma sequência de termino em ordem e outra em fora de ordem (que execute no menor tempo)
- 4ª. Questão) (2,5 ponto) Mostrar o resultado (décimo ciclo) do uso do placar(scoreboard) para a sequência de instruções, considerando-se que a instrução LD leva 2 ciclo para execução; MULD, 4 ciclos. ADDD e SUBD levam 3 ciclos; e DIVD leva 20 ciclos.

LD F2, 34(R2) ADD F2, F2, R4 LD F6, 45(R3) MULD FO, F2, F4 SUBD ,F8, F6, F2 DIVD F10, F0, F6 ADDD F6, F8, F2

Estado da il Instrução	nstruç j	ão k		Lê E	X Es	creve				
	,		Emite	Oper fin	al res	ultado	1			
	1									
*										
	r									
		L					J			
Estado das	FU									
Tempo restante	FU	Busy	Op	dest Fi	S1 Fj	S2 Fk	FU Qj	FU	Fj? Rj	Fk?
	Int									
	Mult1 Mult2									
	Ad									
	Div									
Registro de	estado	dos	resul	tados						
		F0	F2	F4	F6	F8	F10	F12		F30
	FU									

5ª Questão) (2,5 ponto) Mostrar o resultado do uso do algoritmo de Tomasulo, com os mesmos números de ciclos para a mesma sequência de instruções da questão anterior.

