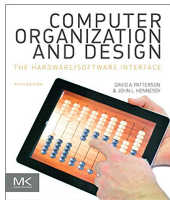
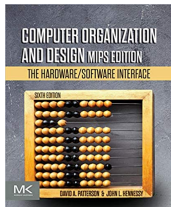


# Aula 03 – Conceitos básicos e Linguagem Assembly

Prof. Dr. Clodoaldo A. de Moraes Lima

Material baseado no livro “Patterson, David A., Hennessy, J. L. - Computer Organization And Design: The Hardware/Software Interface”



# Técnicas de Balanceamento do Desempenho

- Ajuste da organização e arquitetura para compensar as diferenças de capacidade dos componentes.
- Gargalo de von Neumann (estratégias de solução):
  - Aumento do número de bits recuperados em cada acesso
    - Memória e barramentos mais largos.
  - Modificação da interface com a memória
    - Cache
  - Redução da quantidade de acessos à memória
    - Cache mais complexa e eficiente (vários níveis).
  - Aumento da largura de banda da conexão
    - Barramentos de alta velocidade
    - Hierarquia de barramentos

## Projeto de E/S

- Aplicações mais sofisticadas usam periféricos com grande demanda de E/S.
- Resultado: alta demanda da transferência de dados entre CPU e periféricos
- Estratégias de solução:
  - Estrutura de cache armazenamento temporário.
  - Barramentos de alta velocidade.
  - Estruturas de barramento mais elaboradas (vários níveis).
  - Multiprocessadores minimiza a demanda E/S.

# Técnicas de Balanceamento do Desempenho

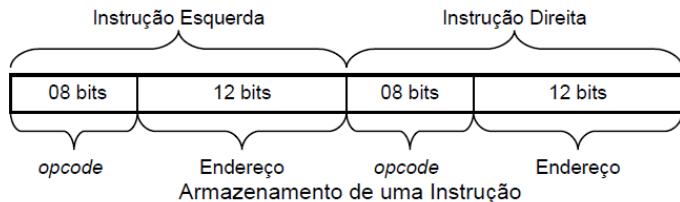
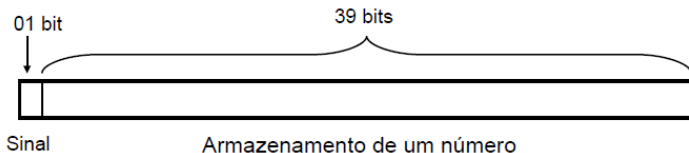
- Máquinas RISC (Reduced Instructions Set Computer)
- COW (Clusters Clusters Of Workstations)
- Técnicas para melhorar o desempenho:
  - Paralelismo
    - Pipelines
    - Multiprocessadores
  - Hierarquia de memória
    - Memórias cache

# A estrutura geral do IAS consistia de:

- Memória Principal, que armazena dados e instruções;
- Unidade Lógica e Aritmética (ULA), capaz de realizar operações com dados binários;
- Unidade de Controle, interpreta e executa instruções armazenadas na memória;
- Dispositivos de Entrada e Saída, operados pela unidade de controle.

- Unidade com 1K posições de memória, denominadas palavras, cada constituída por 40 bits;
- Uma palavra pode conter duas instruções de 20 bits, constituída de um código de operação (opcode) de 8 bits e um endereço de memória de 12 bits, que referencia uma palavra na memória;
- Armazena tanto dados como instruções;
- Os números são representados por 39 bits, ficando um para determinar o sinal;

# Palavra



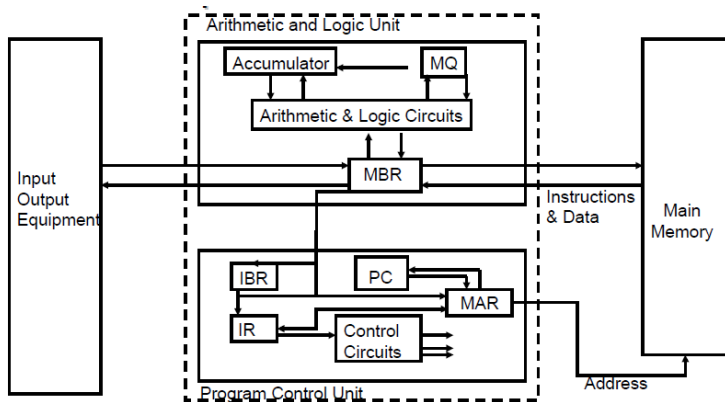
- Controla a operação do IAS, buscando instruções na memória e executando-as uma de cada vez;
- Tanto a UC quanto a ULA contêm células de armazenamento denominadas registradores;



- Registrador temporário de dados (Memory Buffer Register - MBR), contém uma palavra com dados a ser armazenada na memória ou vinda da mesma;
- Registrador de endereçamento á memória (Memory Address Register - MAR), contém o endereço da palavra a ser lida ou escrita na MBR;
- Registrador de Instruções (Instruction Register - IR), contém o opcode que está sendo executado;

- Registrador de armazenamento temporário de instruções (Instruction Buffer Register - IBR), armazena temporariamente a instrução contida na porção à direita em uma palavra;
- Contador de programa (Program Counter - PC), contém o endereço de memória da próxima instrução a ser buscada na memória;
- Acumulador (Accumulator - AC) e quociente de multiplicação (Multiplier Quocient - MQ), armazena temporariamente os operandos e os resultados de operações efetuados na ULA;

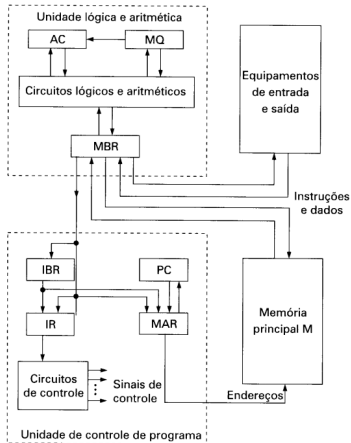
# Estrutura do IAS



- A operação do IAS consiste na execução repetida de ciclo de instruções.
- Cada ciclo de instrução consiste em dois subciclos, ciclo de busca e ciclo de execução.
- Ciclo de busca
  - O código da próxima operação é carregado no IR e a parte correspondente ao endereço é carregada no MAR. A instrução pode ser obtida do IBR ou da memória, carregando a palavra correspondente no MBR e, a partir daí, no IBR, no IR e no MAR.
- Ciclo de execução
  - O circuito de controle interpreta o código de operação e executa a instrução, enviando os sinais de controle apropriados, para fazer com que os dados sejam transferidos ou para que uma operação seja executada pela ULA.

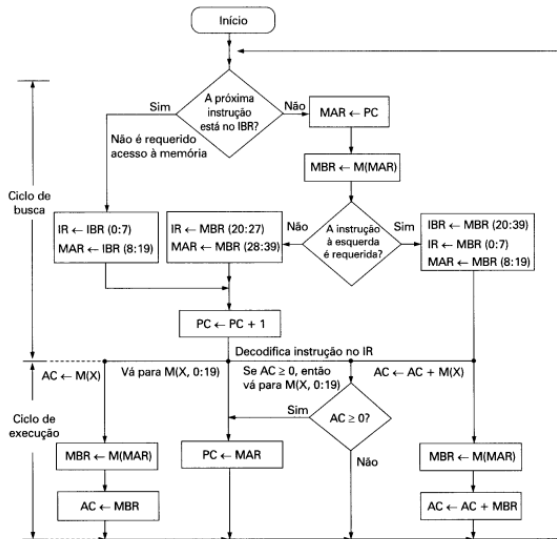
- O IAS tinha um total de 21 instruções divididas em grupos:
  - Transferência de dados, responsáveis pela transferência de dados entre a memória e os registradores da ULA ou entre registradores da ULA;
  - Desvio incondicional, responsáveis pela alteração da sequência de execução de dados da UC;
  - Desvio condicional, desvio efetuado através de um teste de condição;

# Estrutura Detalhada do IAS



### Estrutura detalhada do IAS.

# Estrutura Detalhada do IAS



$M(X)$  = conteúdo da posição de memória cujo endereço é  $X$

$(X : Y)$  = bits  $X$  a  $Y$

# Exemplo de ciclo de instruções

- Somar conteúdo do endereço 940 com o endereço 941 e colocar o resultado no endereço 941.
- O PC inicial é 300.
- As instruções e os dados possuem 16 bits.
  - 4 bits de códigos de operação
  - 12 bits de endereços da memória



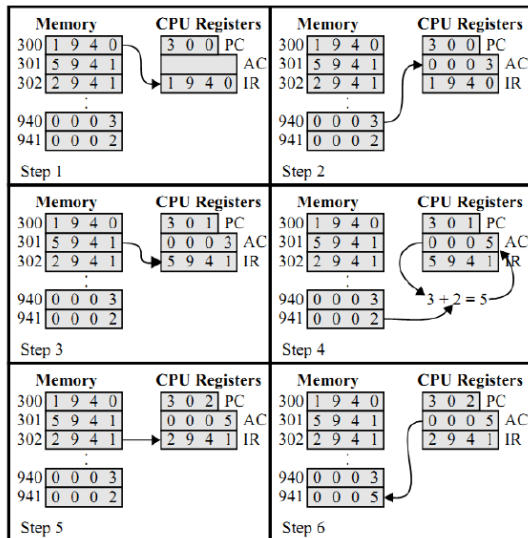
# Exemplo

Lista de Códigos  
de Operação:

0001:  $AC \leftarrow M(X)$

0010:  $M(X) \leftarrow AC$

0101:  $AC \leftarrow AC + M(X)$



# Próxima Aula

