

Escola	EACH		TURMA		Nota do aluno na PROVA
Curso	Sistemas de Informação				
Disciplina	Arquitetura de Computador		Data da Prova	12/11/20	
Professor	Clodoaldo Aparecido de Moraes Lima				
Aluno					
No. USP					

1ª Questão) Assuma que os estágios individuais de um fluxo de dados tem as seguintes latências

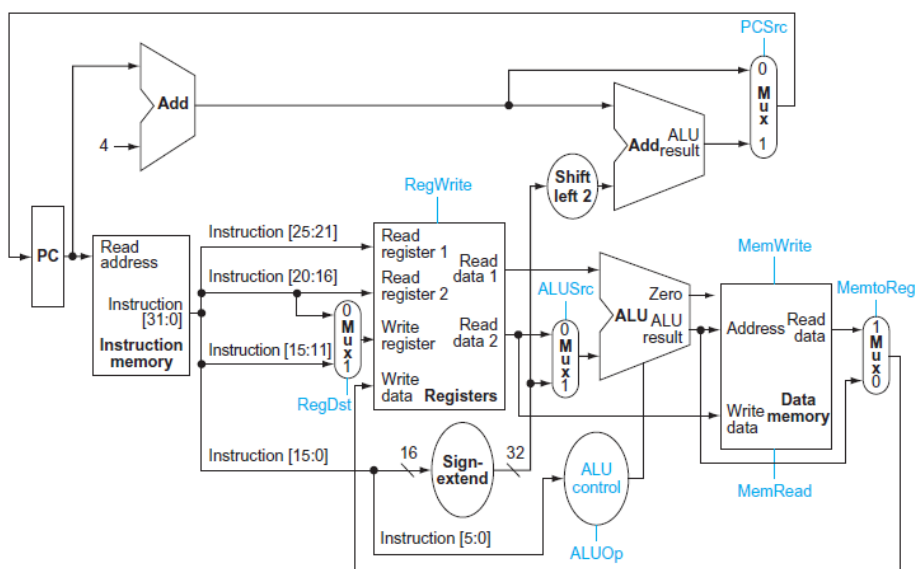
IF	ID	EX	MEM	WB
250 ps	350 ps	150 ps	300 ps	200 ps

Assuma que instruções executadas pelo processador são quebradas como segue

formato R	beq	lw	sw
45%	20%	20%	15%

- Qual é o tempo de ciclo em processador com pipeline e sem pipeline?
- Qual a latência da instrução lw em processador com pipeline e sem pipeline?
- Se pudermos dividir um estágio do fluxo de dados no pipeline em dois novos estágios, cada com metade do estágio original, qual estágio você dividiria e qual o novo ciclo de clock do processador?

2ª Questão) Apresente os valores dos sinais de controle *ALUSrc*, *ALUOp*, *MemRead*, *MemWrite*, *RegWrite*, *MemtoReg* e *RegDst*, na implementação da instrução *addi* no MIPS pipeline, indicando em que estágio cada um desses sinais são usados.



3ª Questão) Por que a instrução *addi* não pode ser considerada uma instrução de formato R, com opcode igual 000000?

4ª Questão Usando o sistema de previsão local de desvio de 2 bits, mostrado na Figura 1, um certo loop é executado duas vezes:

- considerando-se que o estado inicial seja 00, calcular a porcentagem de acertos e erros de previsão, considerando-se que o loop termina com 10 iterações;
- comparar com o caso em que não use esse sistema de previsão, e apenas considere que a previsão seja sempre de desvio;
- comparar com o sistema de previsão de um bit.

PROVA P1

