RISC-V Vector Extension Assembly Test Code

1. 지난 미팅에서 지원하기로 했던 명령어를 중심으로 간단한 테스트 코드를 작성
2. 이 코드들은 SiFive의 Freedom-tools와 Spike를 사용하여 테스트
3. ASM code의 구조
   1. 입력 데이터를 .short, .byte 등의 디렉티브를 사용하여 선언(.VECTOR16\_1, .VECTOR8\_2 등)
   2. 명령어 결과 데이터를 선언(.VV\_EXPECTED16, .VX\_EXPECTED16 등)
   3. 입력 데이터를 Vector register에 load 후 명령어 실행
   4. 실행결과와 B에서 저장된 데이터와 비교하여 결과를 벡터 레지스터에 저장 (VMSNE.vv 명령어 사용)
4. 테스트 코드 Assemble 및 실행
   1. Spike에서 수행하기 위하여 라이브러리와 startup code가 필요하며, 이를 생성하기 위하여 다음과 같이 컴파일러를 이용
      1. fr-riscv64-unknown-elf-gcc -Wa,”-ahls=vldst.lst” -march=rv32imafc\_v0p10 -mabi=ilp32 -o vldst.out vldst.s
      2. fr-riscv64-unknown-elf-gcc는 freedom tool에 포함된 컴파일러임 (원래 명칭은 riscv64-unknown-elf-gcc임)
      3. vldst.lst는 어셈블러 결과를 텍스트로 보여주는 리스트 파일 (링크 전에 생성되는 파일이기 때문에 심볼 주소는 0으로 처리)
      4. 출력 파일은 vldst.o로 ELF 형태이며, 모든 라이브러리와 start-up 코드가 포함되며, Spike에 수행 가능함
      5. “fr-riscv64-unknown-elf-objdump -D vldst.out > vldst.dump” 명령을 사용하면, 링커까지 실행된 후의 심볼의 주소에 대한 정보를 얻을 수 있음
   2. Verilog 시뮬레이션을 등을 위하여 code 부분 만이 필요한 경우에는 다음과 같이 코드 부분만을 이진 파일로 추출 가능한
      1. fr-riscv64-unknown-elf-objcopy -O binary vldst.out vldst.bin : vldst.bin이 출력 파일임