



集成电路版图设计培训

4、模拟版图设计基础

5 模拟版图设计基础

模拟电路设计和数字电路设计是有很大的区别：

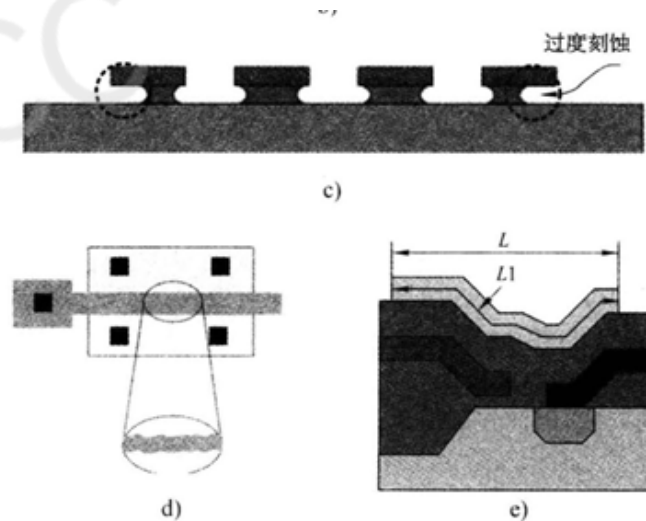
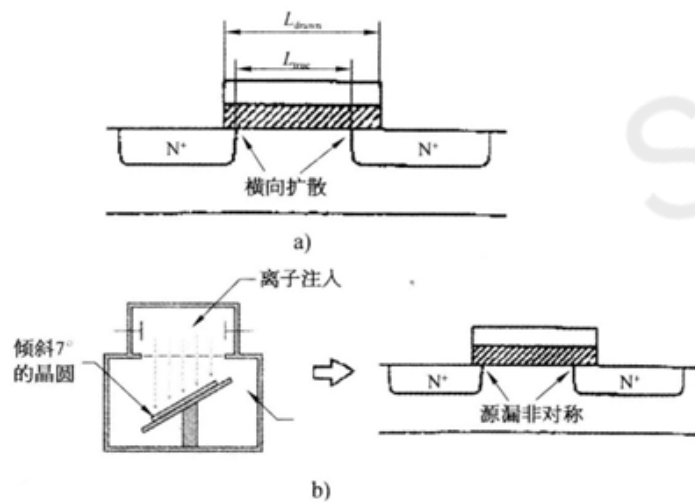
- 1、最基本的是模拟电路处理的是模拟信号，这些信号在时间上是连续的，数字电路处理的数字信号，它在时间上是离散的，基于这个特点，模拟电路设计在某些程度上比数字电路设计困难。
- 2、模拟电路设计需要在速度、功耗、增益、精度、面积、噪声、串扰等多种因素间进行考虑，而数字设计只需在功耗、速度和面积三个因素间进行平衡。

因此对于数字集成电路版图设计只需满足版图设计规则，但对于模拟电路而言仅满足版图设计规则是远远不够的，它对器件的匹配要求很高，匹配是重要的技巧之一；寄生电阻与寄生电容在集成电路版图中是无处不在的，当电路要求高额、低功耗、低噪声的时候，如何减少寄生电容和寄生电阻将是设计师面临的挑战；噪声在集成电路中一直是一个比较难以解决的问题，特别是在高速和数模混合信号电路中，更需要小心对待。

本节着重讨论了 MOS管、电阻、电容三极管的匹配。为什么会有失配？失配会有哪些影响？比如基准模块中，由于电阻的失配，会导致整个电路的参考电压发生偏移，影响电路的正常工作；比如比较器电路中，由于差分管的失配，导致电路精度不够。。。我们怎么解决失配对版图的影响？？？

5 模拟版图设计基础>>>失配

集成电路生产工艺是一个复杂的微观世界，非理想因素包括光刻版的分辨率、光刻版套不准问题、芯片表面不平整、横向扩散、过度刻蚀和因载流子浓度不均匀分布造成的梯度效应等，如图所示。这些非理想因素会造成两个版图完全相同的器件特性参数不同，这种现象称为**失配**。



制造工艺中的非理想因素

a) 横向扩散 b) 非对称的离子注入 c) 过度刻蚀 d) 光刻分辨率 e) 三维效应

5 模拟版图设计基础>>>失配

失配可以分为随机失配与系统失配两种：

随机失配主要来自与尺寸，掺杂，氧化层厚度和其他器件值参数的影响波动，尽管这些失配原因 不能够被消除，但是可以通过合理的选择器件值和尺寸能够将这些影响减到最小；

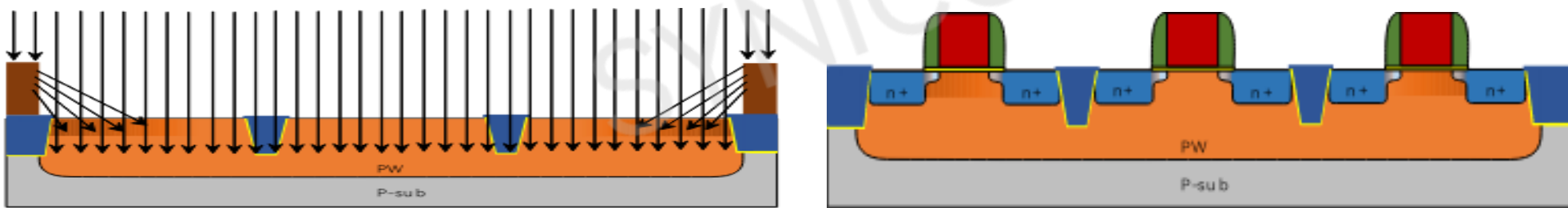
系统失配源于工艺偏差（刻蚀速率变化，光刻掩膜版错位误差，离子注入角度误差等等），接触电阻，电流不均匀流动，扩散相互的影响，机械应力和温度梯度以及很多的其他原因；

这些因素是客观存在的，有时并不能消除，我们在版图设计的时候只要通过合理的布局将这些因素对电路性能的影响降到最低。

5 模拟版图设计基础>>>失配

1、WPE效应

在离子注入制造工艺时，原子从掩模板的边沿开始扩散，在阱边附近的地方硅片表面变得密集。造成结果就是，阱表面浓度会随着距离掩模板的边沿的远近而有所不同，因此整个阱的掺杂浓度是不均匀的，这种不均匀造成 MOS 管阈值电压的不同，还有其它的电性能也有所不同，它会随着距离阱边距离的不同而不同，这种现象就是我们常说的阱邻近效应（WPE: Well Proximity Effect）。



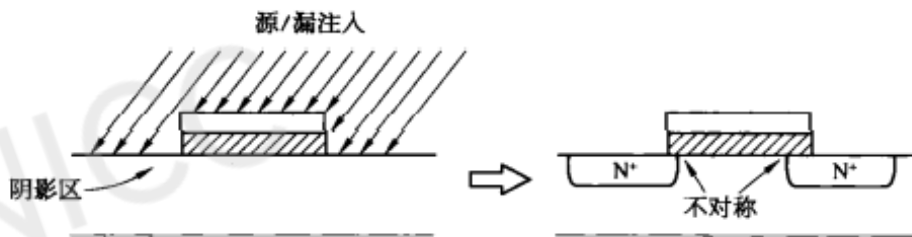
WPE 效应根本的原因是：植入的离子在光阻材料上发生了散射，在光阻边缘，散射离子进入到阱里，影响了边缘区域的掺杂浓度。考虑 WPE 的影响主要表现在三个方面：阈值电压、迁移率及体效应。

对于需要匹配的器件，为了“消除”WEP 效应对于器件性能的影响，应该将匹配器件放到阱的中间位置，距离阱边缘有一定的距离。

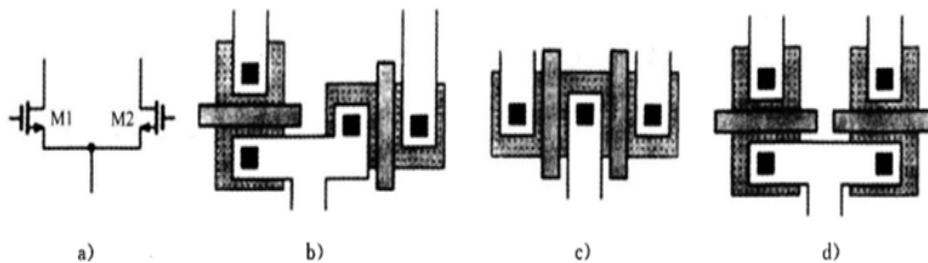
5 模拟版图设计基础>>>失配

2、栅阴影效应

在进行源/漏区离子注入时为了避免沟道效应，通常把注入方向（或圆片方向）倾斜 7° 左右，由于栅多晶硅阻挡了一部分离子，在多晶某一侧的源区（或漏区）形成注入阴影，在阴影区域就会因注入离子较少，结果使源区或漏区边缘的注入浓度产生细微的不对称。



如图a所示的差分对管，如果两个 MOS管按图b沿不同方向放置，由于在光刻及圆片加工的许多步骤中沿不同轴向的特性大不一样，就会产生很大失配；如果两个MOS同方向放置，公用源端，由于倾斜角度方向不确定，也会存在失配的可能；因此，图d 的方案似乎更合理。

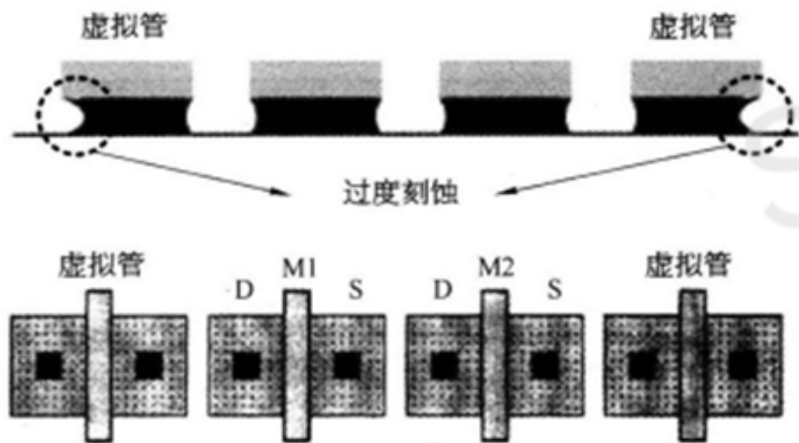


对于需要匹配的器件，为了“消除”栅阴影对于器件性能的影响，应该将匹配器件摆放方向一致。

5 模拟版图设计基础>>>失配

3、过度刻蚀

在多晶硅的刻蚀过程中，由于多晶硅密度不一致，在多晶硅较少的区域会流入更多的刻蚀剂，其刻蚀速度就会加快，因此边缘处侧壁的刻蚀就更严重，这种刻蚀效应会使得距离远的多晶硅比紧密放置的图形的宽度要小，从而导致多晶硅宽度的失配。



对于需要匹配的器件，可以通过在晶体管两边加虚拟管的办法来提高其匹配度。

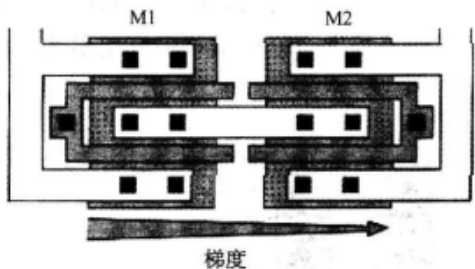
加虚拟管提高匹配度

5 模拟版图设计基础>>>失配

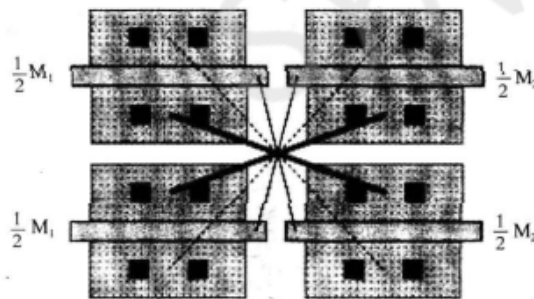
4、浓度梯度

对于大的晶体管，对称性就变得更困难了。例如，在下左图差分对管中，为使输入失调电压较小，这两个晶体管的宽度都比较大，但沿x轴方向的梯度会引起明显的失配。

为了减小失配，可采用共中心的布局方法，这样沿x轴和y轴方向的一阶梯度效应就会相互抵消。这种布局方法是把 M1 和 M2 都分成两个宽度为原来一半的晶体管，沿对角放置且并联连接，如下右图所示。由于把器件分成两半且相互对角布局，这种方法又称为四方交叉技术（共中心布局技术）。四方交叉技术可以是任意器件，而不仅局限于MOS管。



离子浓度梯度变化对差分对管的影响



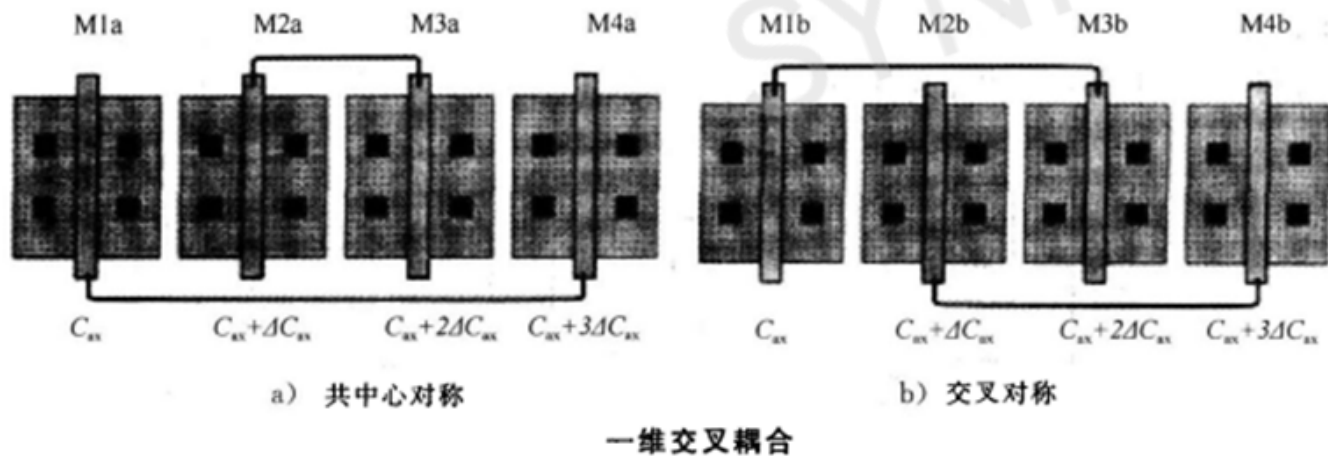
共中心版图

对于需要匹配的器件，可采用共中心的布局方法。

5 模拟版图设计基础>>>失配

4、浓度梯度

线性梯度效应也可如下所示的布局，通过一维交叉耦合的办法得到抑制，这里所有4个宽度为一半的晶体管一字排开，M1和M2可由相邻的两个晶体管与相距最远的两个晶体管分别相连构成（图a），也可由两组相间隔的晶体管分别相连构成（图b）。可以证明，受梯度影响的其他器件参数，也可得到相似的结果。结论：采用图a的结构比图b结构的误差要小。但因为M2a+M3a与M1a+M4a周围的环境不同，所以必须在M1a的左边和M4a的右边加虚拟晶体管。这种布局方法常用于电流源的版图匹配中。



对于需要匹配的器件，可采用一维交叉耦合，通过共中心对称或交叉对称来实现器件之间的匹配，并且在两边加虚拟管。

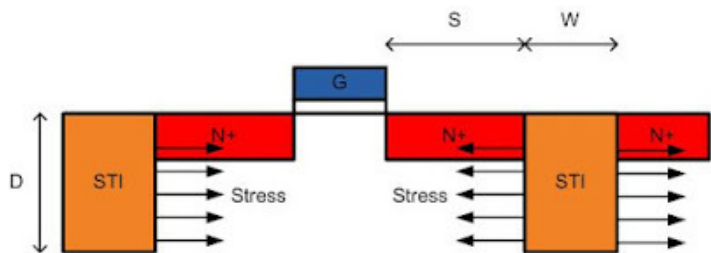
5 模拟版图设计基础>>>失配

5、 LOD效应&OSD效应

LOD是Length of Diffusion 的缩写，扩散区（有源区）**长度**不同造成其电流不同所产生的效应为 LOD 效应。

OSE是OD Space Effect的缩写，扩散区（有源区）**间距**不同造成其电流不同所产生的效应为 OSE 效应。

OSE和LOD这两个效应都是STI引起的，从0.25um以下的制程，元件与元件间是利用较先进的STI (Shallow Trench Isolation)的方法来做隔绝。由于STI的作法，会在substrate上挖出一个沟槽，再填入二氧化矽当绝缘层。这个在substrate挖出沟槽再填入二氧化硅的动作会产生应力的问题，挤压邻近MOS的有源区，引起器件的电参数发生变化。

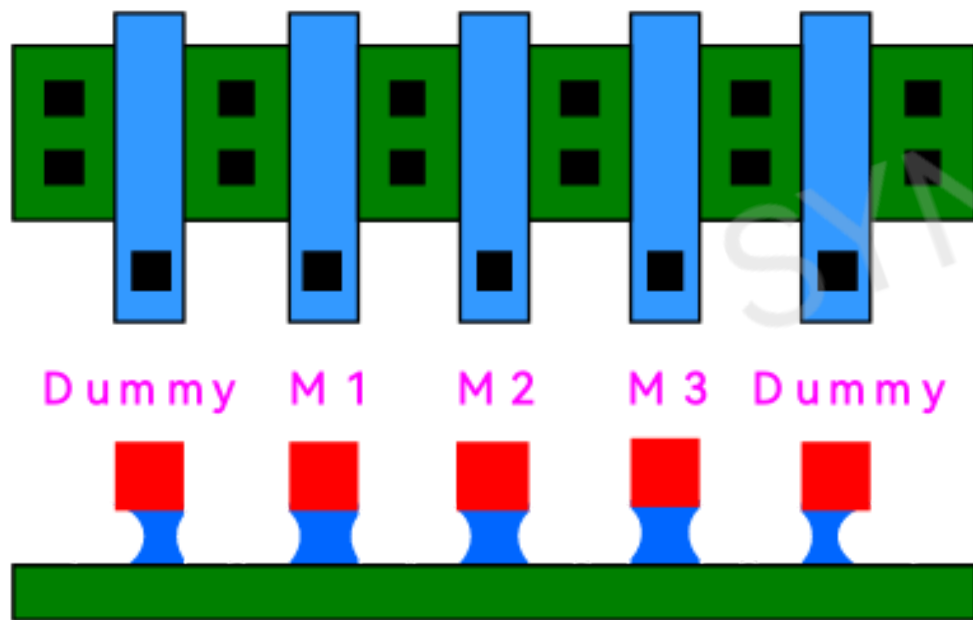


对于需要匹配的器件，为了“消除”LOD 效应&OSE效应对器件性能的影响，应该将匹配器件扩散区（有源区）宽度一致，器件之间的间距也要一致。

5 模拟版图设计基础>>>失配

6、PSE效应

PSE是 Poly Space Effect的缩写，简单的说Poly的间距对器件的性能会产生影响，PSE是因光罩误差，制作过程中的刻蚀(Etch)、淀积(Deposition)所造成的误差。



对于需要匹配的器件，为了“消除”PSE效应对器件性能的影响，应该将匹配器件的POLY之间间距保持一致。

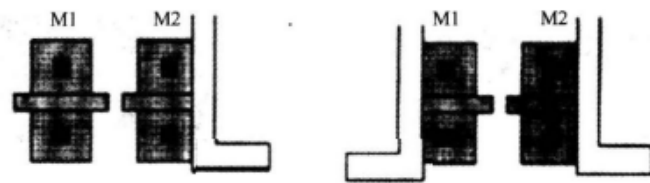
5 模拟版图设计基础>>>失配

7、器件周围环境不一致

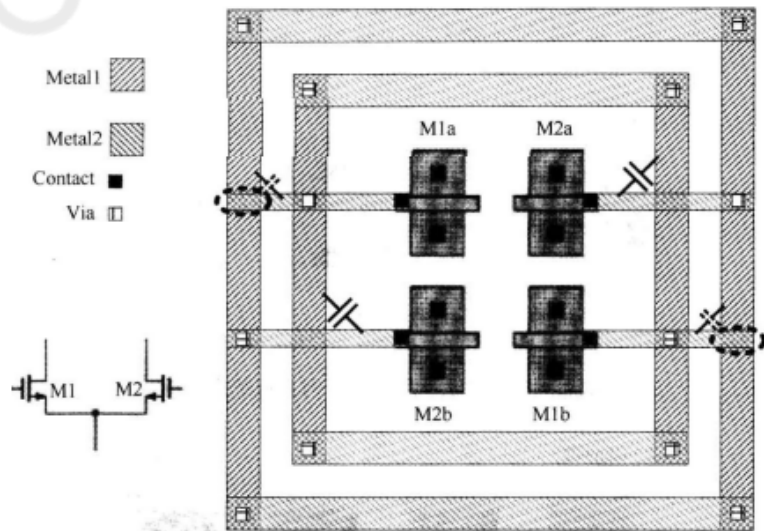
如在图a 的版图中，只有M2管旁边有一条无关的金属导线通过，而M1管旁边没有金属导线，这会降低对称性，增大M1和 M2之间的失配。在这种情况下，可以在 M1管左边也 放置一条相同的金属导线（图b），而最好的办法是去掉 M2 管旁边引起不对称的那条线。

同样的考虑在右图例子中。M1、M2作为差分对管，采用共中心的布局方式，由于连线的原因，造成M2 管的输入信号线上存在固有的两个寄生连线电容，由此造成 M1 与 M2管在寄生电容方面的失配。因此为了获得最佳的匹配效果，应适当延长 M1管的输入信号线（金属 2），使其与纵向连线（金属1）交叠形成寄生电容（图中虚线标出区域）。如此，M1 管与M2管的寄生电容能保证相同。

对于需要匹配的器件，为了获得最佳的匹配效果，应保证匹配器件周围环境一致，连线寄生一致。



a) M2 管旁的金属导线引起不对称；b) 在 M1 管对称位置安排同一条线消除不对称性



增加寄生电容以保证器件的匹配性

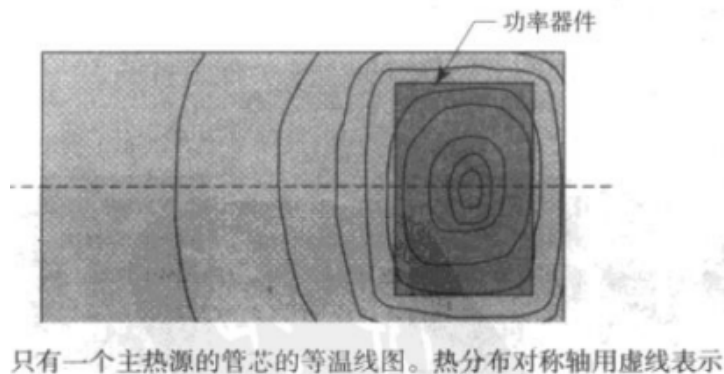
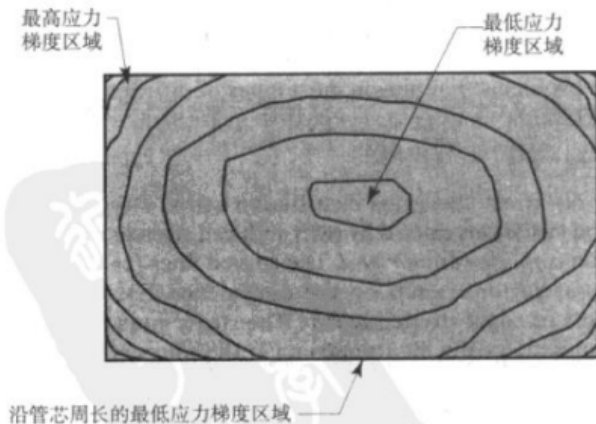
5 模拟版图设计基础>>>失配

8、机械应力和温度梯度

下左图是典型的集成电路应力梯度的分布图，从图中可以看出应力梯度中间最低 4 角的应力梯度最大。

同理类似，当芯片中有发热源时，产生的温度梯度也是以发热点为中心，向周围呈现递减的走势。

应力和温度都会对 MOS 的性能造成一定的影响，为了减少这些因素对需要匹配器件（特别是差分输入对管的影响），匹配的器件之间应该尽可能的靠近共中心放置同时减小它们之间的应力差值（放到等应力线上）可以将这些因素的影响降到最小。



5 模拟版图设计基础>>>MOS管匹配规则

综上，MOS管匹配需遵循以下规则：

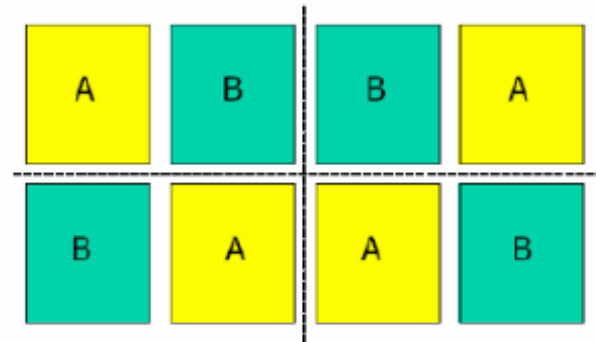
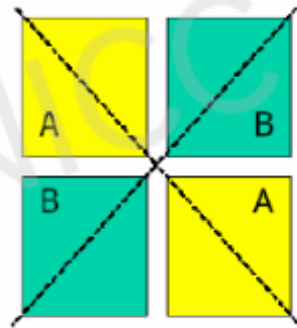
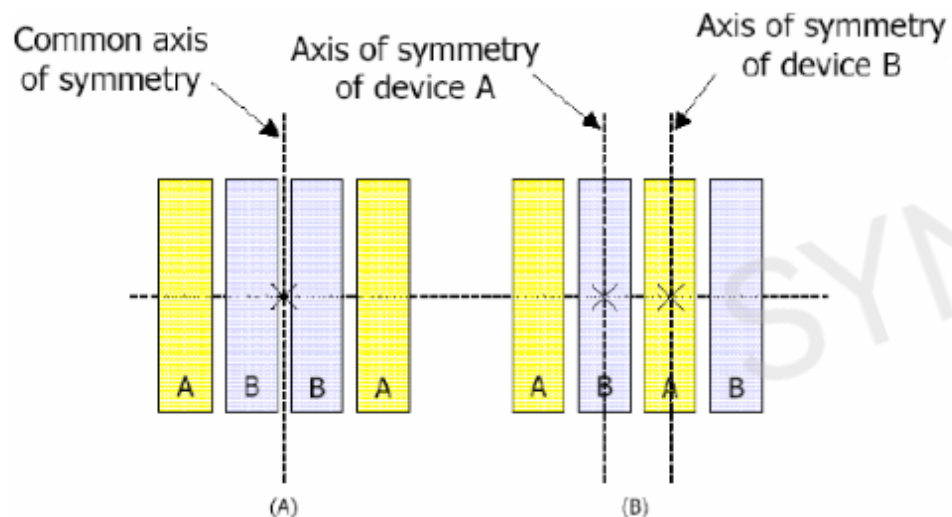
- 1、需要匹配的MOS管方向一致。
- 2、需要匹配的MOS管源漏面积一致、栅极间距要一致。
- 3、需要匹配的MOS管不要放到芯片的角落或边缘，应放置在低应力梯度区域。
- 4、需要匹配的MOS管注意温度梯度的影响，与功率器件距离。
- 5、需要匹配的MOS管要注意阱边界到MOS管的距离。
- 6、需要匹配的MOS管要对称设计，采用一维交叉、二维四方交叉匹配。
- 7、需要匹配的MOS管要保证周围环境匹配，主要指MOS管周边的走线一致。
- 8、需要匹配的MOS管边上添加虚拟器件。

5 模拟版图设计基础>>>MOS管匹配规则

MOS管

1) 轴对称匹配

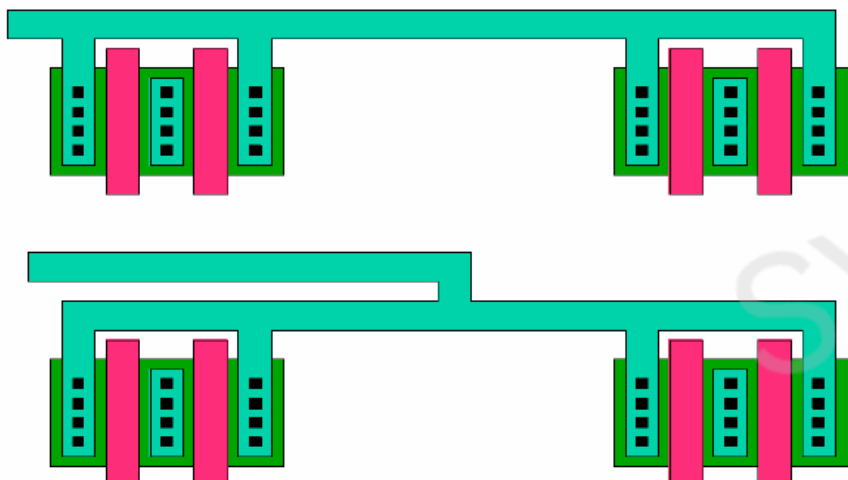
4) 共中心对称



5 模拟版图设计基础>>>MOS管匹配规则

MOS管

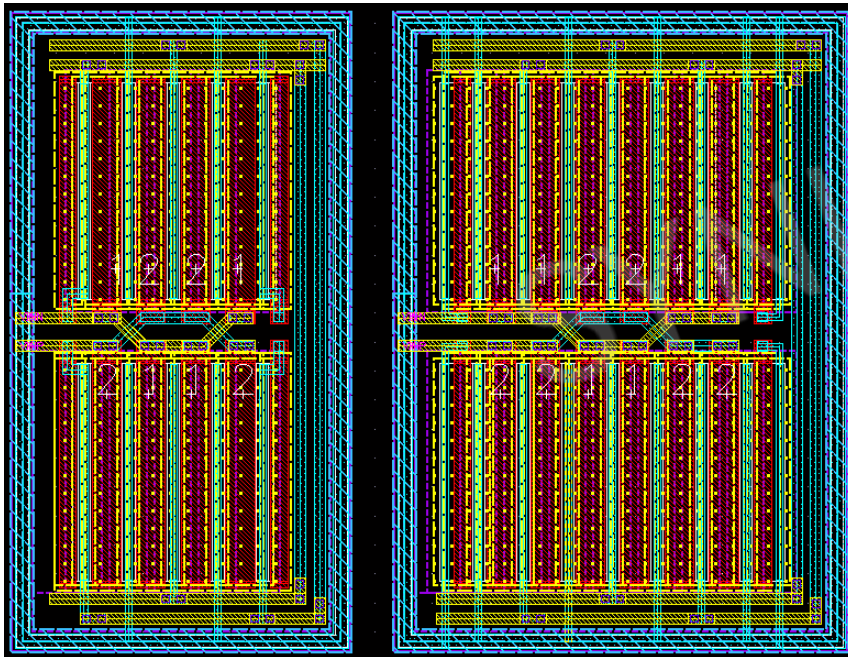
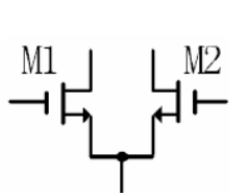
3) 金属连线匹配



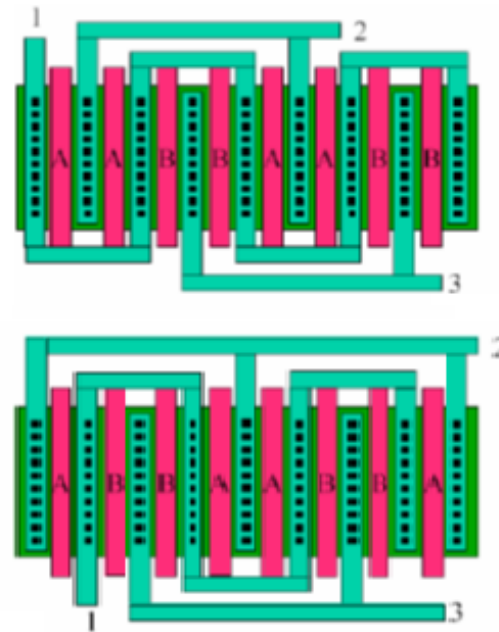
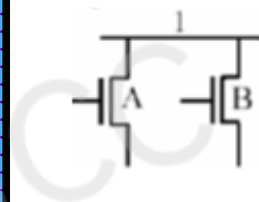
5 模拟版图设计基础>>>MOS管匹配规则

模拟电路MOS管的匹配分类:

1、差分对



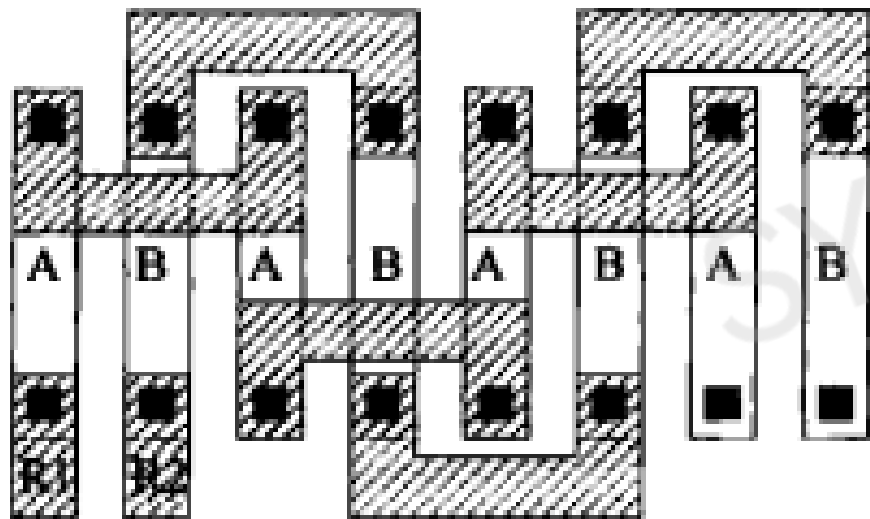
2、电流镜



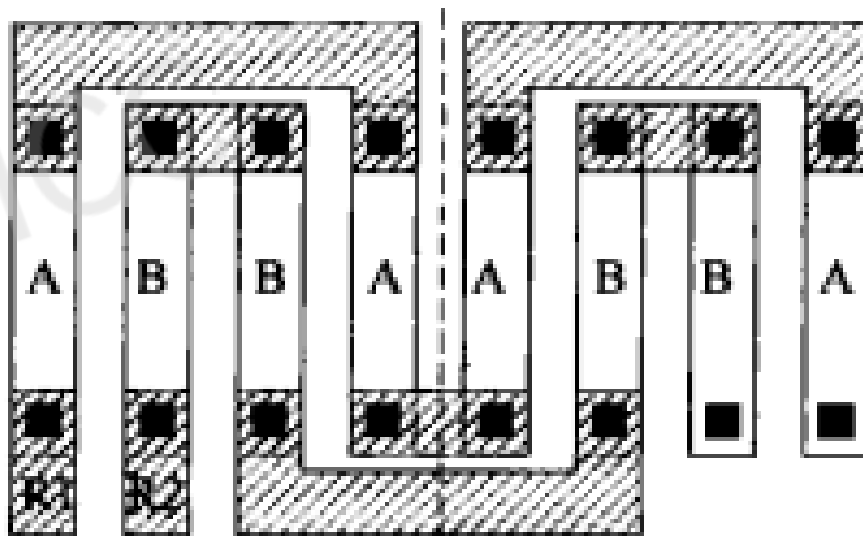
5 模拟版图设计基础>>>电阻匹配规则

模拟电路电阻匹配：

1、同 MOS管一样，常见的电阻布局也有指状交叉（ABAB）与共中心对称（ABBA）两种方式。



a)

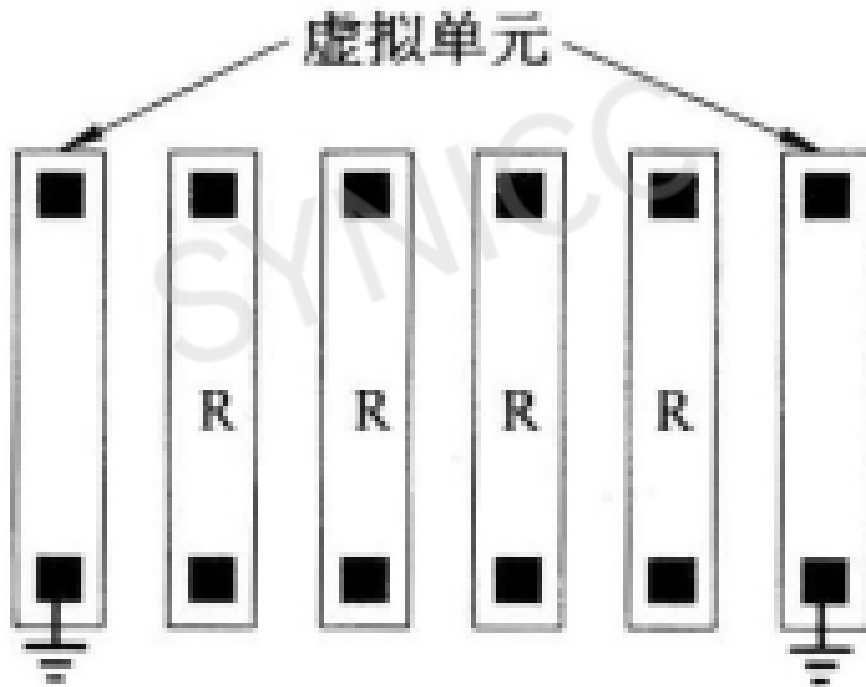


b)

5 模拟版图设计基础>>>电阻匹配规则

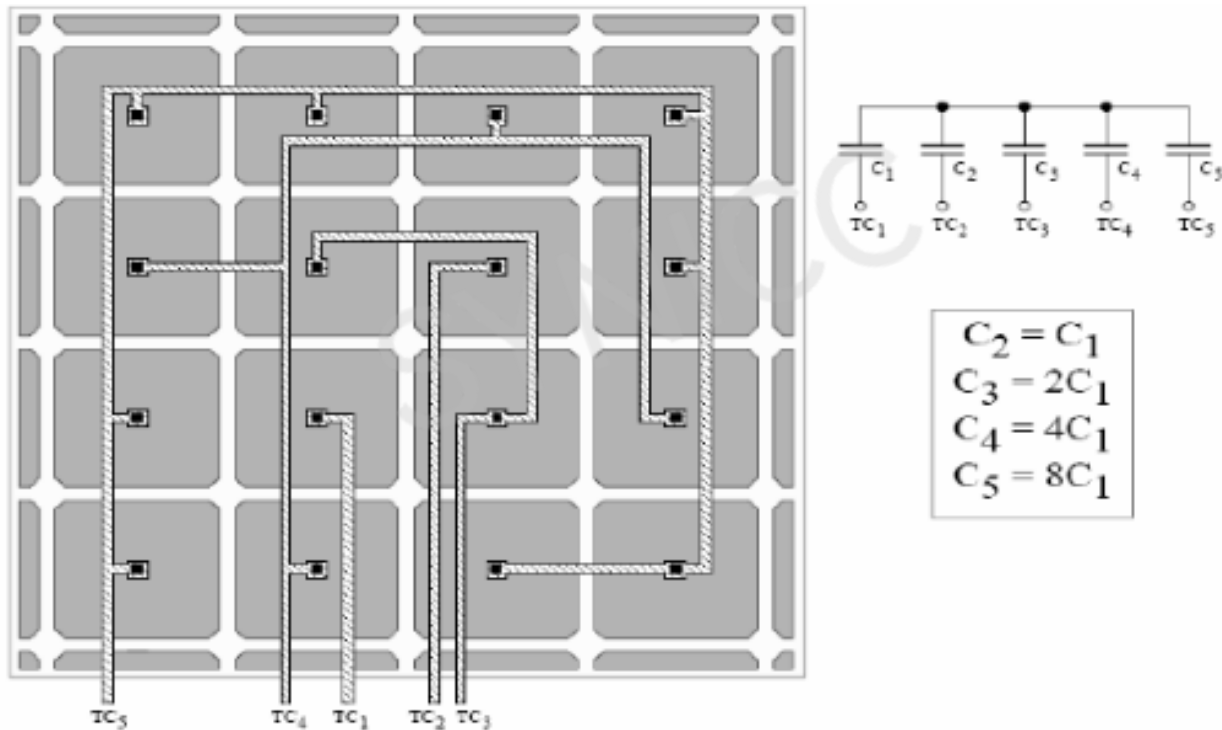
模拟电路电阻匹配：

2、虚拟单元的方法同样可以用来避免过度刻蚀的影响。



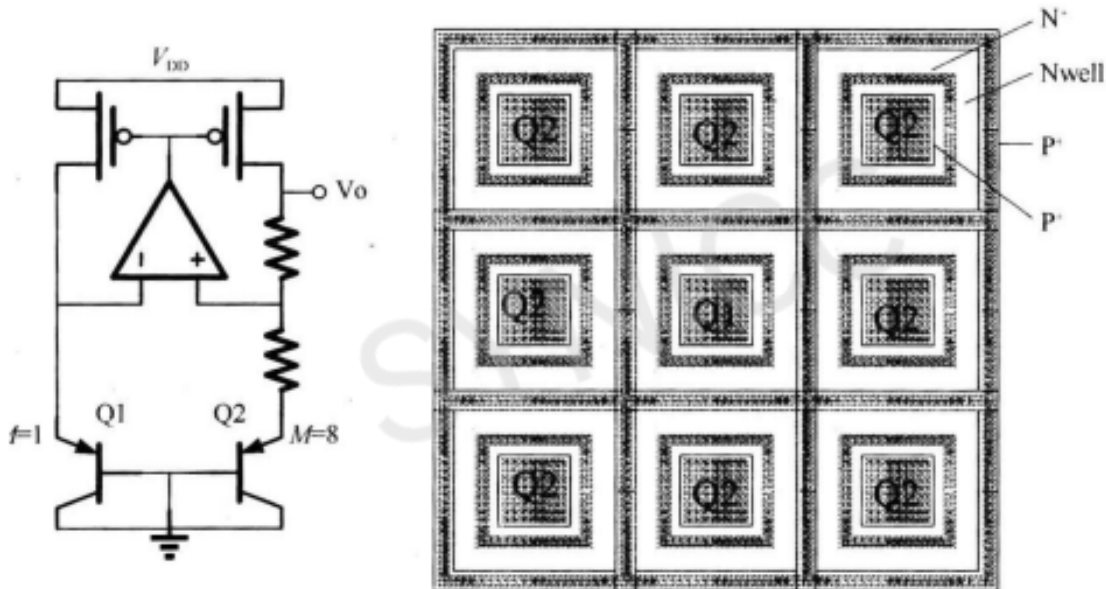
5 模拟版图设计基础>>>电容匹配规则

模拟电路电容匹配:



5 模拟版图设计基础>>>三级管匹配规则

模拟电路三极管匹配:



带隙基准电路中 LPNP 管阵列的布局

5 模拟版图设计基础>>>三级管匹配规则

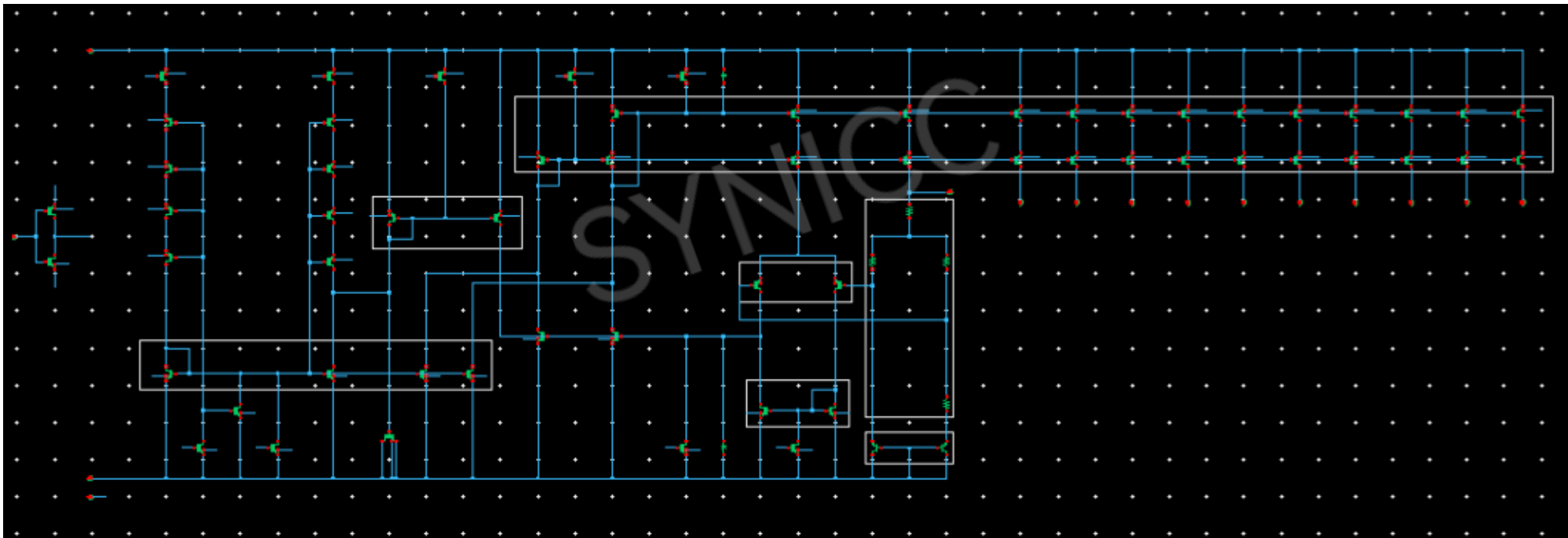
模拟版图设计流程：

- 1、与电路工程师沟通，了解电路中需要匹配的地方，如电流镜、差分管、三极管等，电流大小。
- 2、考虑电路中需要匹配的器件需要怎样来进行匹配，轴对称？共中心？加虚拟器件？
- 3、对版图进行布局，主要匹配器件、关键信号线布局。
- 4、与电路工程师沟通，review布局的合理性，是否的都考虑齐全？
- 5、完成版图连线及相关验证。
- 6、与电路工程师沟通，review版图布局连线供电情况，优化版图设计。
- 7、协助电路工程师对版图进行寄生参数提取，优化寄生。

5 模拟版图设计基础>>>三级管匹配规则

模拟版图设计任务：

Bangap版图设计



SYNNICC

Thanks!

