



EA006 – Trabalho de Conclusão de Curso

Desenvolvimento de um circuito medidor de baixas correntes com interface de comunicação Ethernet

Aluno: Guilherme Teixeira Semissatto
RA: 140656

Campinas
Junho de 2017



Faculdade de Engenharia Elétrica e Computação – FEEC
Departamento de Semicondutores, Instrumentos e Fotônica – DSIF
Universidade Estadual de Campinas – UNICAMP

Desenvolvimento de um circuito medidor de baixas correntes com interface de comunicação Ethernet

Guilherme Teixeira Semissatto

RA: 140656

Projeto de Monografia apresentado à disciplina de trabalho de fim de Curso (EA006) de Engenharia elétrica da Universidade estadual de Campinas, sob a orientação metodológica do Prof. Dr. Leandro Tiago Maneta, como exigência parcial para conclusão do curso de graduação.

Prof. orientador do Trabalho de Graduação:
Prof. Leandro Tiago Manera

AGRADECIMENTOS

Agradeço inicialmente a meus pais que sempre me apoiaram em todos os momentos de minha vida.

Ao pessoal do Grupo de apoio em eletrônica do Laboratório Nacional de Luz Síncrotron que me deram todo o suporte necessário para que esse trabalho fosse realizado. Agradecimentos especiais à: Fernando Henrique Cardoso que, além de me dar a oportunidade de trabalhar neste projeto, foi peça fundamental para sua elaboração, sempre disposto a ajudar e colaborar nos momentos mais difíceis.

Agradeço por fim a todos professores que me ajudaram a obter o conhecimento necessário para chegar ao fim desta grande jornada.

RESUMO

Um dos mais importantes objetivos de aceleradores do tipo sincrotron, é atingir estabilidade de órbita dos elétrons dentro das especificações mínimas para atingir a estabilidade requerida para o feixe de fótons nas estações experimentais. A estabilidade dos fótons impacta diretamente na qualidade dos experimentos científicos realizados. Para diagnosticar a qualidade do feixe de fótons nestas estações, diversos sistemas de medida, tais como: câmaras de ionização, fotodiodos e até mesmo monitores de posição são utilizados. Tais dispositivos geram como variável de saída correntes elétricas de baixíssima intensidade, indo de escalas de miliampère até escalas de correntes de picoampère. Para realizar medidas desta ordem de grandeza, circuitos eletrônicos devem ser projetados de forma a minimizar todo tipo de interferência eletromagnética, bem como evitar efeitos indesejáveis que podem comprometer a acurácia e a resolução da medida. Este trabalho resume o desenvolvimento de uma placa de conversão AD para medida de baixas correntes baseada no circuito integrado DDC112 e com comunicação ethernet. Trata-se de uma placa com 2 canais, com taxa de amostragem máxima de 2 KHz, 20 bits de conversão.

PALAVRAS-CHAVE: Conversão Analógico-Digital, amostragem, processamento digital de sinais, medida de baixas correntes, DDC112, microcontrolador ARM;

ÍNDICE DE ILUSTRAÇÕES

Figura 1 – Foto da construção do acelerador SIRIUS (Maio 2017).....	11
Figura 2- Diagrama em blocos do componente DDC112.	13
Figura 3- Diagrama temporal de conversão do DDC112.....	13
Figura 4- Topologia do componente DDC112.	14
Figura 5 - Estado de Reset (Reset Configuration)	18
Figura 6 - Estado de espera (Wait Configuration).....	18
Figura 7 - Estado de integração (Integrate Configuration)	19
Figura 8 - Estado de conversão (Convert Configuration)	19
Figura 9 – Diagrama tempo do ciclo básico de integração	20
Figura 10 – mbed NXP LPC1768	21
Figura 11 – Pinagem do mbed LPC1768 e suas interfaces integradas	21
Figura 12 – Transceivers para transformação de nível lógico TTL/LVTTL.	23
Figura 13 – Oscilador para clock 10 MHz dedicado	24
Figura 14 – Pinagem do circuito integrado SN74LVC74A	24
Figura 15 – Esquemático do circuito de sincronização do sinal CONV com clock	25
Figura 16 – Circuito sugerido para estabilidade da tensão de referência Vref.....	26
Figura 17 – Layout do circuito destacando os planos digital e analógico separados.	27
Figura 18 – filtro eletrônico passa-baixas utilizando um circuito RC	28
Figura 19 – Cálculo de tensão acoplada entre trilhas para um sinal em 500 MHz.	28
Figura 20 – Driven guard utilizado para evitar correntes de fugas nas entradas do DDC112	29
Figura 21 – Modelo 3D para exemplo de uso de capacitor de by-pass	30
Figura 22 – Impedância típica de capacitor cerâmico de by-pass em resposta à frequência.....	30
Figura 23 – Foto da placa com detalhes da face inferior	31
Figura 24 – Foto da placa com detalhes da face superior.....	31
Figura 25 – Especificação técnica da fonte de corrente Keithley 6221.....	33
Figura 26 – Configuração para realização de testes de baixa corrente	34
Figura 27 – Resultados do teste de warm-up	35
Figura 28 – Resultados de medição de corrente na faixa de picoampère	36
Figura 29 – Resultados de medição de corrente na faixa de nanoampère.....	36

ÍNDICE DE TABELAS

Tabela 1 – Tabelas de escalas do componente DDC-112.....	14
Tabela 2 - Escalas e níveis de resolução teóricos.....	15
Tabela 3 - Valores fundamentais das escalas.....	16
Tabela 4 - Tabela de funcionamento do circuito integrado SN74LVC74A.	25
Tabela 5 – Valores de ruído RMS e Offset.....	37

SUMÁRIO

1.	Introdução	10
2.	Justificativa	11
3.	Objetivos	11
4.	Metodologia	12
4.1	Teoria de operação	12
4.2	O amplificador integrador	14
4.3	Cálculo da corrente elétrica a partir de dados do conversor	15
4.4	Ciclo básico de integração	17
4.4.1	Estado de Reset	17
4.4.2	Estado de espera	18
4.4.3	Estado de integração	18
4.4.4	Estado de conversão	19
4.4.5	Diagrama temporal do ciclo básico de integração	19
5.	Desenvolvimento	20
5.1	Hardware	20
5.1.1	O microcontrolador mbed NXP LPC1768	20
5.1.2	Software de projeto de placa	22
5.1.3	Estrutura de layers	22
5.1.4	O circuito (DDC112 + microcontrolador)	22
5.1.4.1	Transceivers bidirecionais de comunicação	22
5.1.4.2	Clock dedicado	23
5.1.4.3	Sincronia do sinal de Clock e do sinal de conversão CONV	24
5.1.4.4	Tensão de referência Vref	25
5.1.4.5	Esquemático completo	26
5.1.5	Técnicas de integridade de sinal	26
5.1.5.1	Separação analógica-digital	26
5.1.5.2	Filtros passa-baixas	27
5.1.5.3	Driven guard	29
5.1.5.4	Capacitores de desacoplamento (by-pass)	30
5.1.6	Fotos da placa montada	31
5.2	Firmware	32
5.3	Estrutura geral	32
5.3.1	Bibliotecas mbed (Ethernet, SPI, PWMOut, USBSerial)	32
5.4	Próximas etapas	33

6.	Resultados e discussões	33
6.1	Teste de warm-up	34
6.2	Teste de baixas correntes.....	35
6.2.1	Degaus de corrente para Range7 (350pC) e <i>TINT</i> de 900 ms	36
6.2.2	Degaus de corrente para Range7 (350pC) e <i>TINT</i> de 500 μ S	36
6.3	Medidas de Offset e ruído RMS	37
6.4	Etapas seguintes.....	38
7.	Conclusão	39
8.	Referências Bibliográficas	40
9.	Anexos.....	43
9.1	Esquemático – Parte 1.....	43
9.2	Esquemático – Parte 2.....	44

1. Introdução

Diversos tipos de aplicações exigem circuitos eletrônicos capazes de medir correntes elétricas extremamente pequenas, geralmente na escala de miliampère descendo até escalas de picoampère. As aplicações científicas, como os cromatógrafos, fotomultiplicadoras, fotodiodos, câmaras de ionização e aplicações de monitoramento de feixe de partículas exigem medições de corrente de baixíssimo nível. Além dessas aplicações diretas, os fabricantes de semicondutores e sensores devem medir correntes extremamente baixas para caracterizar seus dispositivos. A dificuldade em medir pequenas correntes, está no fato de que vários efeitos físicos interferem na medida. Como em quase todos os circuitos, a EMI (do inglês: *Electromagnetic Interference*) [1] ou a RFI (do inglês: *Radio Frequency Interference*) [2] podem induzir erros, mas, nesses baixos níveis, mesmo o acoplamento eletrostático pode causar um grande problema na medição. A medida que as correntes desejadas caem na faixa de picoampère, os circuitos estão sujeitos a mais efeitos, por exemplo: A umidade muda o valor dos capacitores e provoca maiores fugas superficiais, as vibrações induzem efeitos piezelétricos [3] no circuito, as variações de temperatura causam gradientes de temperatura na placa e podem causar desvios de leituras, etc.

O Laboratório Nacional de Luz Síncrotron (LNLS) [4] , parte integrante do CNPEM (Centro Nacional de Pesquisa em Energia e Materiais) [5], está construindo o SIRIUS, a mais nova fonte de luz síncrotron brasileira. O novo anel de armazenamento, em fase final de construção, tem circunferência de 518 metros, que armazenará um feixe de elétrons com energia de 3 GeV e emitância [6] de 28 pm/rad. O SIRIUS, será no momento de sua inauguração, a fonte de luz síncrotron mais brilhante do mundo e produzirá feixes de fótons de altíssima penetração, cobrindo uma ampla faixa do espectro, indo desde radiação infravermelha até os raios-X duros. Com tais feixes de fótons, o SIRIUS será uma ferramenta indispensável para as mais diversas áreas da ciência nacional e internacional.



Figura 1 – Foto da construção do acelerador SIRIUS (Maio 2017)

As estações experimentais do SIRIUS terão diversos tipos de sistemas de medição e diagnóstico de feixe, tais como: fotodiodos, monitores de posição de fótons, câmaras de ionização, medidores de intensidade, etc. Estes dispositivos possuem em comum o fato de gerarem informação através de baixíssimas correntes elétricas e medir tais informações é uma tarefa crítica para se manter a qualidade dos experimentos científicos realizados nestas estações.

2. Justificativa

Equipamentos comerciais de medição de baixa corrente são caros e possuem limitações no número de canais de medida simultâneas [7]. Em geral possuem baixa banda passante e limitações no sistema de comunicação de dados. Como as estações experimentais do SIRIUS necessitarão de centenas de canais de medida de corrente, o desenvolvimento de um equipamento multicanal, com baixo custo e alta integração ao sistema de controle de controle do SIRIUS se faz necessário.

3. Objetivos

Este trabalho tem como objetivo explicitar os passos do desenvolvimento de um circuito medidor de correntes de baixa amplitude (da ordem de nA) e alta resolução (pA) com uma interface de comunicação Ethernet baseado no chip DDC112 [8] e no microcontrolador mbed NXP LPC1758 [9].

4. Metodologia

O projeto é fundamentado em 2 canais de leitura de correntes de baixa amplitude que são direcionados a dois estágios de integração de carga (amplificadores integradores) cujas saídas são comparadas a uma tensão de referência estável e digitalizadas por meio de um Conversor Analógico Digital de topologia Sigma-Delta [10] e 20 bits de resolução.

A integração de carga é contínua para cada um dos canais de leitura por meio do uso de 2 amplificadores integradores, enquanto a medida de um canal é digitalizada, o outro está no processo de integração. Para garantir um range de medida extenso, é possível selecionar três capacitâncias de realimentação de alta confiabilidade, além disso, também é possível selecionar o tempo de integração de cargas.

4.1 Teoria de operação

O diagrama em blocos do componente DDC112 está ilustrado na Figura 2. O dispositivo contém dois canais de entradas idênticos cuja finalidade é converter a corrente que se deseja conhecer em um valor de tensão proporcional a carga acumulada. Este valor de tensão é então digitalizado por meio de um conversor analógico digital (ADC). Cada canal de entrada possui dois amplificadores integradores para permitir que o valor de corrente seja continuamente integrado (modo contínuo de integração). Desta forma, cada uma das quatro saídas dos amplificadores é multiplexada para um único conversor sigma-delta.

No modo contínuo de integração, a saída de tensão dos integradores de um mesmo lado de ambos canais de entrada serão digitalizadas, enquanto que os outros dois integradores estão em processo de integração, como ilustra o diagrama temporal, mostrado na Figura 3.

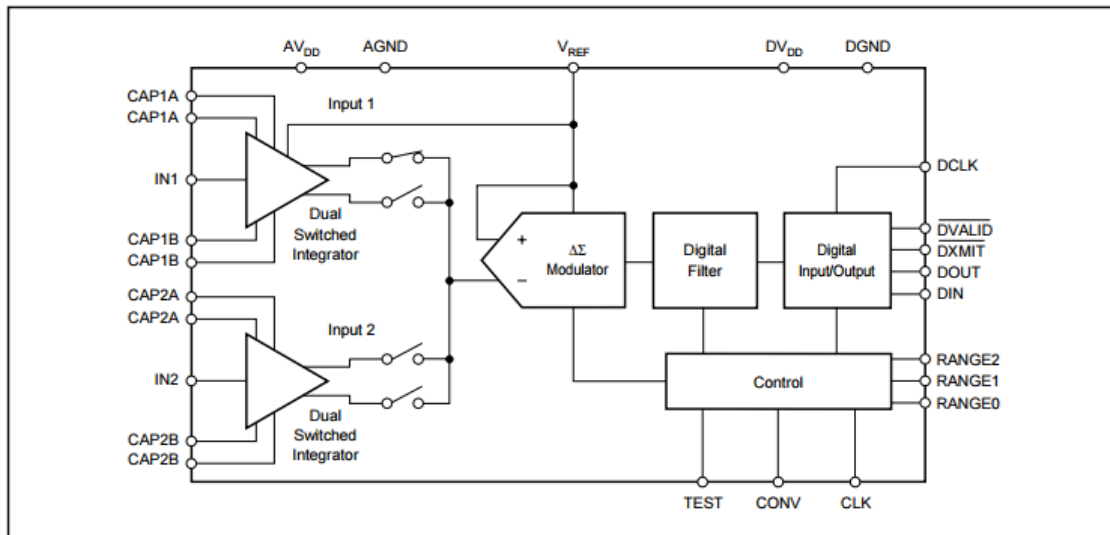


Figura 2- Diagrama em blocos do componente DDC112.

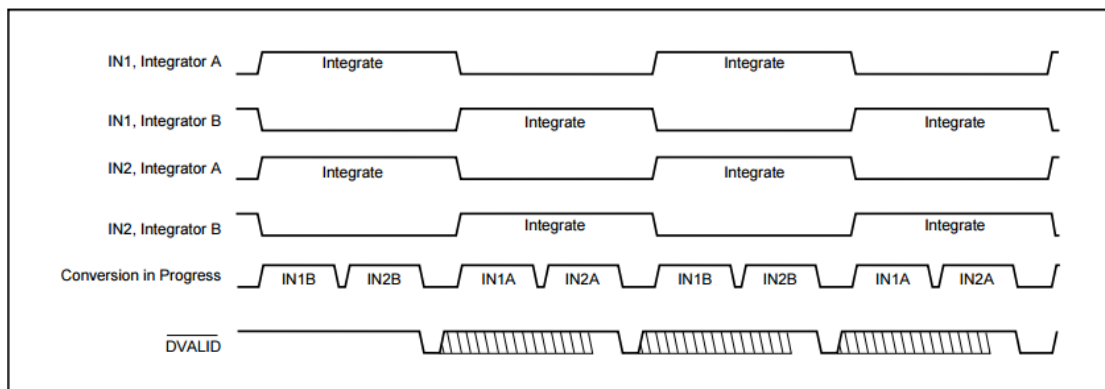


FIGURE 2. Basic Integration and Conversion Timing for the DDC112 (continuous mode).

Figura 3- Diagrama temporal de conversão do DDC112.

O processo de integração e conversão analógico-digital é controlado por um sistema de *clock* (CLK) o qual tem capacidade para realizar a integração e digitalização de uma medida (20 bits) em 220 μ s para um sistema em 10 MHz.

Os resultados da integração dos lados A e B de cada canal de entrada são armazenados em registradores de deslocamento de saída serial (*Serial Shift Register*). Quando os registradores possuem um conjunto de dados válido, uma interrupção é gerada ao se baixar o nível lógico do pino DVALID. A interface digital do DDC112 provê os dados de saída por meio de uma Interface Serial Síncrona (SPI) [11] que consiste de quatro elementos principais: um pino para *clock* de dados (DCLK), um pino *enable* de transmissão, um pino de interrupção para conjunto de dados válido (DVALID) e um pino para transmissão serial dos dados (DOUT). Como existe apenas um conversor AD, o processo de conversão ocorre dentro de um período de integração como ilustra a Figura 3.

4.2 O amplificador integrador

A Figura 4 ilustra a topologia fundamental do DDC112. Baseado na integração de cargas, é constituído de um amplificador operacional e capacitores de realimentação (C_F) seleccionáveis a partir de 3 chaves digitais (RANGE0, RANGE1, RANGE2) o qual permite 2^3 diferentes ganhos de operação.

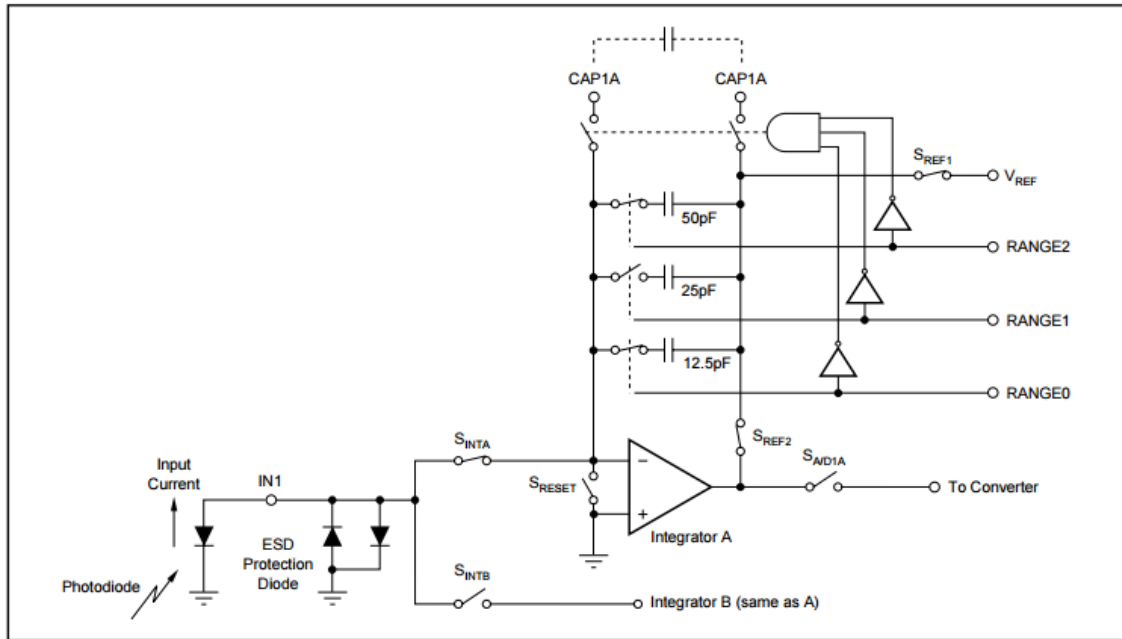


Figura 4- Topologia do componente DDC112.

O estágio de entrada de fato mede a carga acumulada durante um tempo de integração T_{INT} que também é seleccionável. Desta forma, a saída do amplificador integrador é proporcional ao acúmulo de carga proporcionado pela corrente de entrada I_{IN} , obedecendo a seguinte fórmula:

$$I_{IN} = \frac{Q_{IN}}{T_{INT}} \quad (1)$$

A tabela 1 a seguir mostra os diferentes valores de capacitância e seus respectivos valores de carga de fundo de escala (CFS).

Tabela 1 – Tabelas de escalas do componente DDC-112.

RANGE2	RANGE1	RANGE0	C_F (pF, typ)	Carga de fundo de escala (pC, typ)
0	0	0	Até 250	Até 1000
0	0	1	12.5	50
0	1	0	25	100

0	1	1	37.5	150
1	0	0	50	200
1	0	1	62.5	250
1	1	0	75	300
1	1	1	87.5	350

Para este projeto em questão nenhum capacitor externo foi utilizado, desta forma restam 7 diferentes ganhos de operação.

Utilizando a equação (1), juntamente com dados da tabela 1, é possível calcular as correntes teóricas máximas e resolução do bit menos significativos que podem ser medidas para cada capacitor de realimentação. A tabela 2 a seguir mostra tais resultados, para o caso específico em que $T_{INT} = 500 \mu s$ (valor mínimo de tempo de integração).

Tabela 2 - Escalas e níveis de resolução teóricos.

Range	Carga de fundo de escala (pC, typ)	Corrente em fundo de escala equivalente $T_{INT} = 500 \mu s$	Resolução do bit menos significativo $T_{INT} = 500 \mu s$
0	-	-	-
1	50	100 nA	100 fA
2	100	200 nA	200 fA
3	150	300 nA	300 fA
4	200	400 nA	400 fA
5	250	500 nA	500 fA
6	300	600 nA	600 fA
7	350	700 nA	700 fA

4.3 Cálculo da corrente elétrica a partir de dados do conversor

O intuito deste tópico é detalhar a conversão de dados (20 bits do conversor) em um valor real de corrente elétrica. Pelo fato do dispositivo operar como integrador

de cargas, a saída de dados do conversor AD depende dos parâmetros selecionados: tempo de integração (T_{INT}) e ganho C_F . Além disso, o DDC112 opera com um *offset* interno o qual deve ser subtraído para cálculo da corrente de entrada. Este *offset* é implementado para permitir a medição de correntes próximas e um pouco abaixo de zero.

Segundo as informações do *datasheet*, a corrente de fundo de escala pode ser determinada da seguinte maneira:

$$Q_{IN} = I_{IN} \times T_{INT} \quad (2)$$

$$Q_{FS} = (0.96)V_{REF} \times C_F \quad (3)$$

$$I_{FS} = \frac{(0.96)V_{REF} \times C_F}{T_{INT}} \quad (4)$$

Este fator de 0.96 é responsável pelo *offset*. Sendo assim, o fundo de escala negativo é aproximadamente 0.4% do fundo de escala positivo. O *range* 5, por exemplo, possui um fundo escala de 250 pC, logo o fundo de escala negativo é aproximadamente -1 pC.

A tabela 3 mostra a correspondência entre valor lido do conversor e fundo de escala:

Tabela 3 - Valores fundamentais das escalas.

Valor lido	Sinal de entrada
1048575	Fundo de escala
~4000	0
0	-0.4% fundo de escala

Os *offsets* podem ser encontrados ao realizar-se leitura dos dados conversor com os canais de entrada em aberto. Com estes dados em mãos, o cálculo da corrente elétrica obedece a seguinte equação:

$$I_{IN} = \frac{\frac{CFS}{2^{20}-1}(\text{Valor}-offset)}{T_{INT}} \quad (5)$$

Onde:

I_{IN} é a corrente de entrada a ser calculada;

CFS é a carga de fundo de escala do *range* selecionado (coluna 5 da tabela 1);

Valor é o dado bruto lido do conversor AD;

offset (~4000) é o valor encontrado de *offset*;

T_{INT} é o tempo de integração selecionado.

4.4 Ciclo básico de integração

O ciclo de integração de cargas é realizado de forma autônoma no DDC112 por meio de chaves digitais (ver Figura 4). O chaveamento conjunto destas chaves digitais é controlado externamente pelos sinais CONV, pelos pinos de range (RANGE2, RANGE1, RANGE0) e pelo sistema de *clock* (CLK).

O circuito foi projetado com oscilador dedicado fornecendo um *clock* nominal de 10 MHz ao DDC112 o qual recebe como entrada os sinais de conversão (CONV) e ranges para seleção de ganhos (ver Tabela 1).

No modo contínuo de operação, o sinal CONV é uma onda quadrada que deve ser sincronizada ao sinal de *clock* e cujo nível lógico decidirá qual integrador estará em estado de integração ou digitalização, desta forma, o período da onda quadrada equivale à metade do tempo de integração T_{INT} .

A partir do chaveamento das chaves digitais S_{INT} , S_{RESET} , S_{REF1} , S_{REF2} e $S_{A/D}$ mostradas na Figura 4 é possível configurar o amplificador em 4 estados diferentes:

4.4.1 Estado de Reset

No estado de Reset mostrado na Figura 4, a corrente de entrada é desconectada da entrada não-inversora e um terminal do capacitor de realimentação C_F é

ligado ao terra analógico, enquanto o outro terminal é ligado à tensão V_{REF} para que este se carregue novamente com o valor de referência.

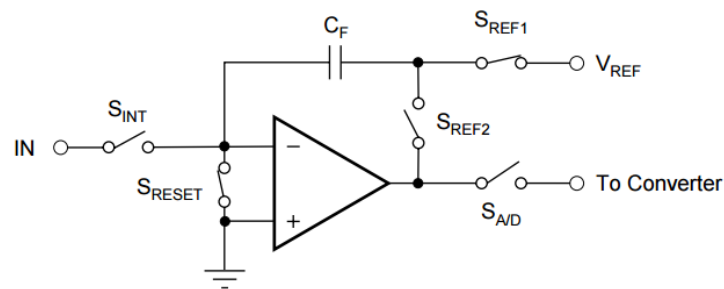


Figura 5 - Estado de Reset (Reset Configuration)

4.4.2 Estado de espera

Uma vez que o capacitor de integração esteja carregado, o capacitor é desconectado do amplificador (Figura 6), aguardando o início do estado de integração.

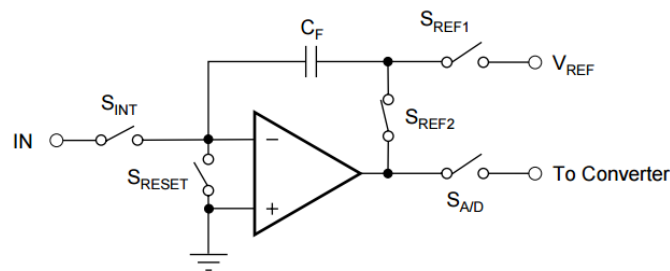


Figura 6 - Estado de espera (Wait Configuration)

4.4.3 Estado de integração

Assim que houver uma borda no sinal CONV, a corrente de entrada é conectada à entrada não-inversora conforme mostra a Figura 7, iniciando a integração de carga. Neste estado, a carga da corrente de entrada é coletada pelo capacitor C_F fazendo com que a tensão de saída do amplificador decaia proporcionalmente. Esta integração acontece até a próxima borda no sinal CONV, o que colocará o amplificador no estado de conversão conforme o item a seguir. É importante ressaltar que a carga continua sendo acumulada, mas agora pelo outro amplificador, como discutido nos tópicos iniciais deste documento.

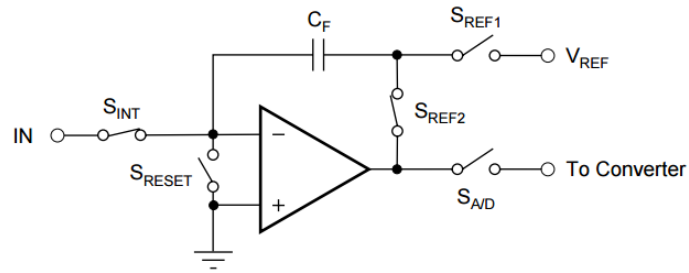


Figura 7 - Estado de integração (Integrate Configuration)

4.4.4 Estado de conversão

No estado de conversão, que ocorre logo após a borda no sinal CONV, a corrente de entrada é desviada para o outro amplificador integrador e a saída de tensão do amplificador operacional é encaminhada para a entrada do conversor Sigma-Delta (ver Figura 8) onde se inicia o processo de conversão analógico-digital.

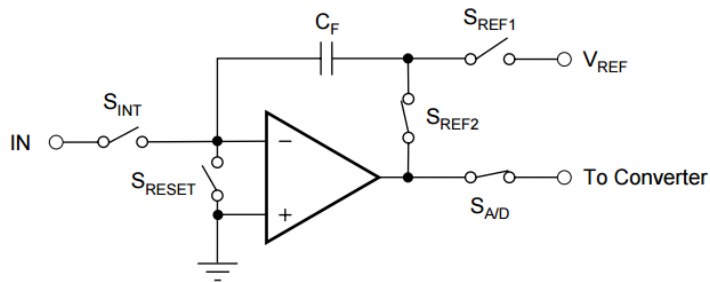


Figura 8 - Estado de conversão (Convert Configuration)

4.4.5 Diagrama temporal do ciclo básico de integração

A Figura 9 abaixo resume os estados do amplificador em um diagrama temporal.

Nota-se que assim que há uma borda no sinal CONV (sincronizado à borda de subida do CLK), a corrente de entrada é desviada para seu respectivo integrador pelas chaves S_{INTA} e S_{INTB} . Imediatamente após isto, o amplificador é configurado em seu estado de conversão ou integração, dependendo do nível lógico do sinal CONV e seu funcionamento segue conforme as descrições dos itens acima.

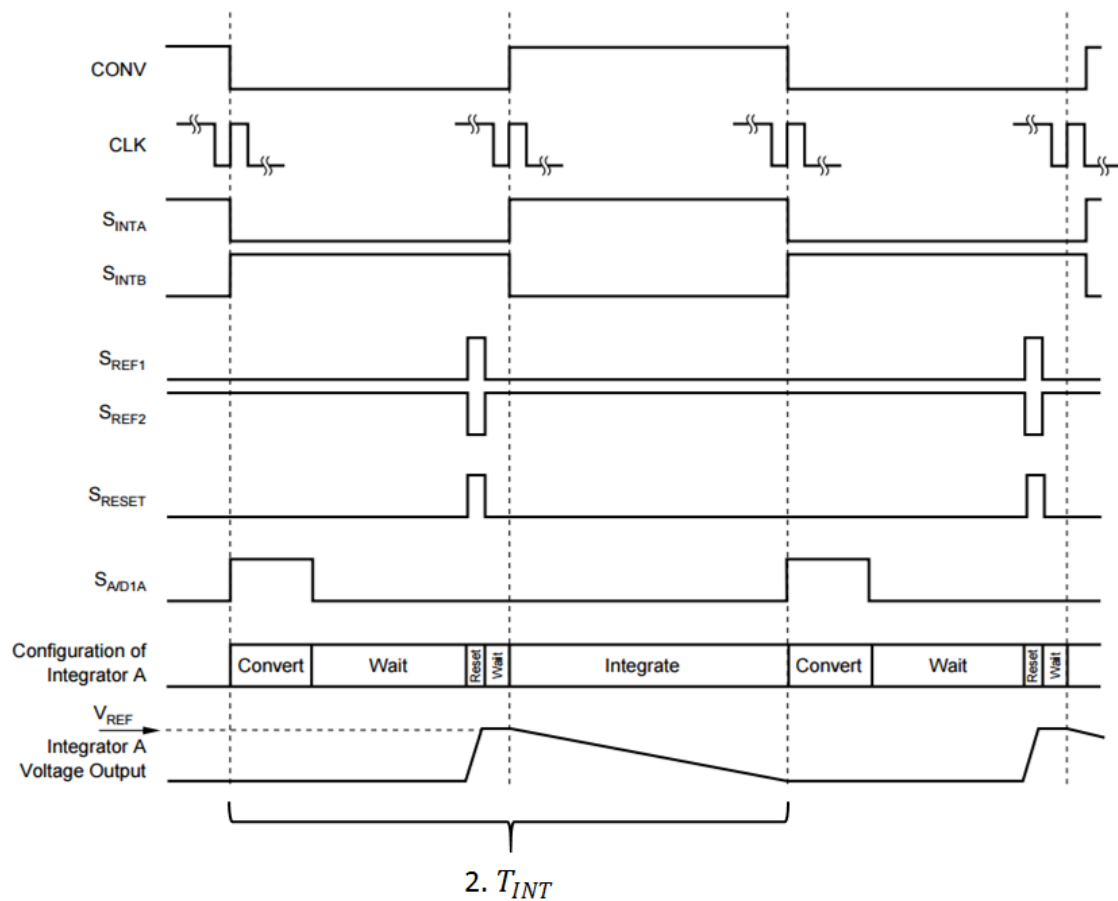


Figura 9 – Diagrama tempo do ciclo básico de integração

5. Desenvolvimento

5.1 Hardware

5.1.1 O microcontrolador mbed NXP LPC1768

O mbed NXP LPC1768 é um microcontrolador para desenvolvimento administrado pela ARM. Foi projetado para atender demandas de rápida prototipação. Seu custo aproximado é de 50 dólares. A Figura 10 mostra uma foto da placa de desenvolvimento mbed.

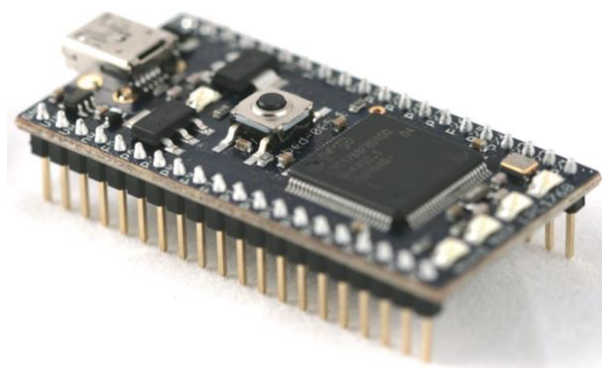


Figura 10 – mbed NXP LPC1768

A placa possui um núcleo de processamento 32-bit ARM® Cortex® M3 [12] com um *clock* de 96 MHz, 512 KB memória flash, 64 KB RAM e diversas interfaces integradas como Ethernet, USB, CAN, SPI, I²C, UART, ADC, DAC, PWM entre outras interfaces I/O (ver Figura 11).

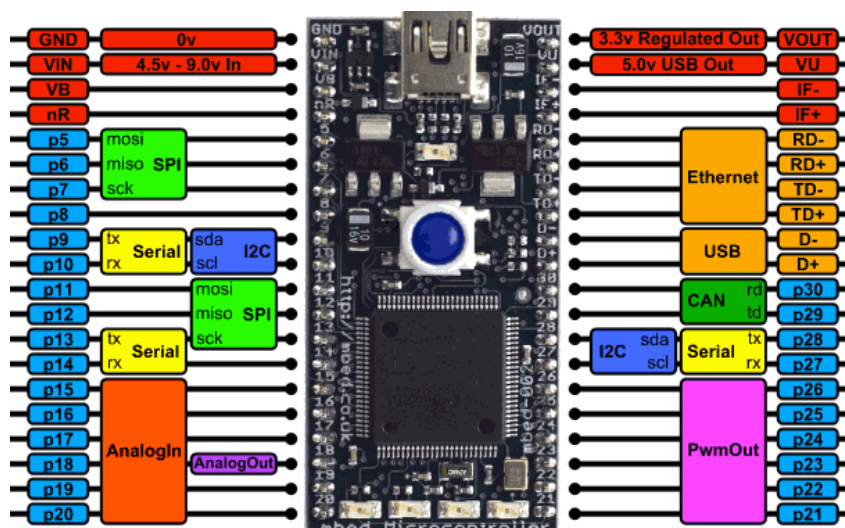


Figura 11 – Pinagem do mbed LPC1768 e suas interfaces integradas

O desenvolvimento de software é feito em linguagem C/C++, há ainda um ambiente de desenvolvimento integrado (IDE) online onde é possível escrever firmware, buscar bibliotecas, realizar *debugg* de código e gerar seu arquivo binário de forma fácil e intuitiva.

Além disso, possui comunidade ativa e vasta documentação, permitindo que projetos sejam reproduzidos de forma rápida.

5.1.2 Software de projeto de placa

O diagrama elétrico assim como o layout da placa de circuito impresso foram desenvolvidos utilizando a ferramenta *Altium Designer 17* [13] que é a ferramenta padrão utilizada no LNLS/CNPEM.

O *Altium Designer* é uma plataforma ECAD (*electronic computer assisted drawing*) profissional e é utilizada para elaborar projetos de hardware de média e alta complexidade. Possui uma biblioteca com mais de 100 mil componentes, disponíveis pelos próprios fabricantes, além das diversas outras bibliotecas integradas disponíveis de forma aberta por diversos usuários. Permite também visualização 3D do projeto eletrônico, assim como gerar arquivos de manufatura da placa (arquivos Gerbers, furação e lista de materiais) que reduz consideravelmente o tempo para se fabricar uma placa.

5.1.3 Estrutura de *layers*

Tendo em vista que o circuito medidor de baixas correntes é um protótipo, seu *layout* foi desenvolvido em 2 *layers*.

5.1.4 O circuito (DDC112 + microcontrolador)

5.1.4.1 Transceivers bidirecionais de comunicação

Uma vez que o nível lógico do DDC112 segue o padrão *Transistor Transistor Logic* (TTL) cujo nível lógico alto é referenciado em 5V e o nível lógico do mbed LPC1768 segue o padrão *Low Voltage Transistor Transistor Logic* (LVTTTL) cujo nível lógico alto é referenciado em 3.3V, fez-se necessário o uso de *Transceivers Voltage Translator*. Estes circuitos integrados possibilitam a comunicação digital entre o DDC112 e o mbed LPC1758 ao realizar a transformação de nível lógico com atraso mínimo de sinal. O projeto fez uso de 2 *Transceivers* de 2 bits SN74LVC2T45 [14] e um Transceiver de 8 bits SN74LVC4245A [15]. O pino que seleciona a direção do fluxo de dado DIR foi aterrado, garantindo que os Transceivers sempre transmitam do lado B para A.

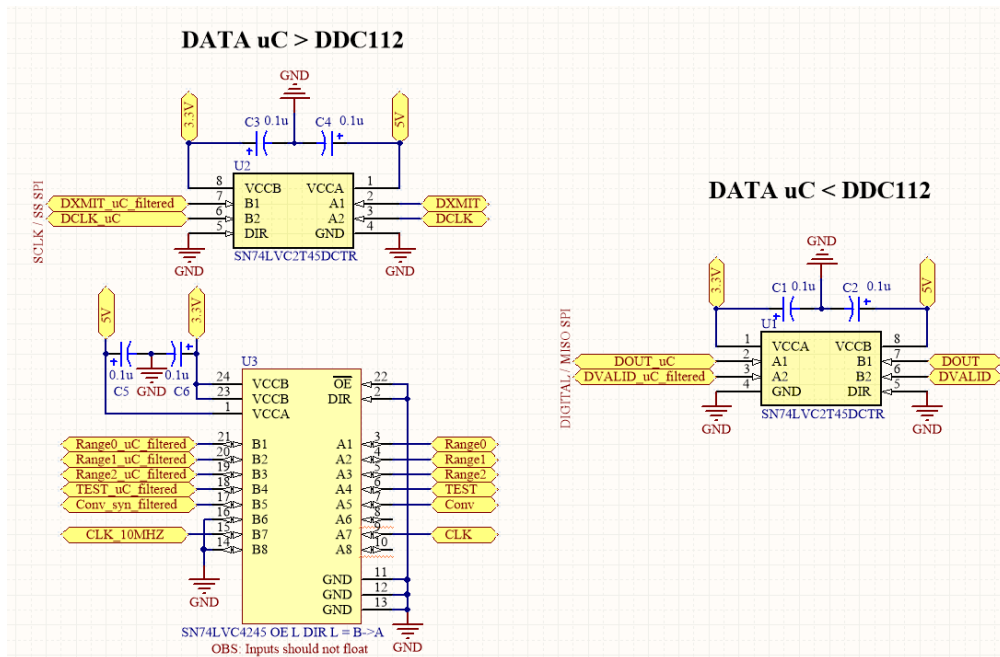


Figura 12 – Transceivers para transformação de nível lógico TTL/LVTTL.

5.1.4.2 Clock dedicado

Seguindo recomendações do *datasheet*, foi estabelecido trabalhar com um *clock* nominal de 10 MHz. A priori, este *clock* seria provido pelo próprio microcontrolador, porém testes realizados mostraram que para a obtenção de 10 MHz, o microcontrolador primeiramente deveria ser configurado com um *overclock*, elevando o *clock* do seu núcleo para 100 MHz e em seguida, a partir de um *prescaler*, obter-se o *clock* de 10 MHz. Este fato, além de alterar toda base de tempo dos canais de *Pulse Width Modulation* (PWM) e apresentar complicações com a comunicação USB, dificulta o desenvolvimento em alto nível de software.

Então, devido aos fatos supracitados, optou-se pela obtenção do *clock* a partir um oscilador dedicado ECS-3953M [16], mostrado na Figura 13.

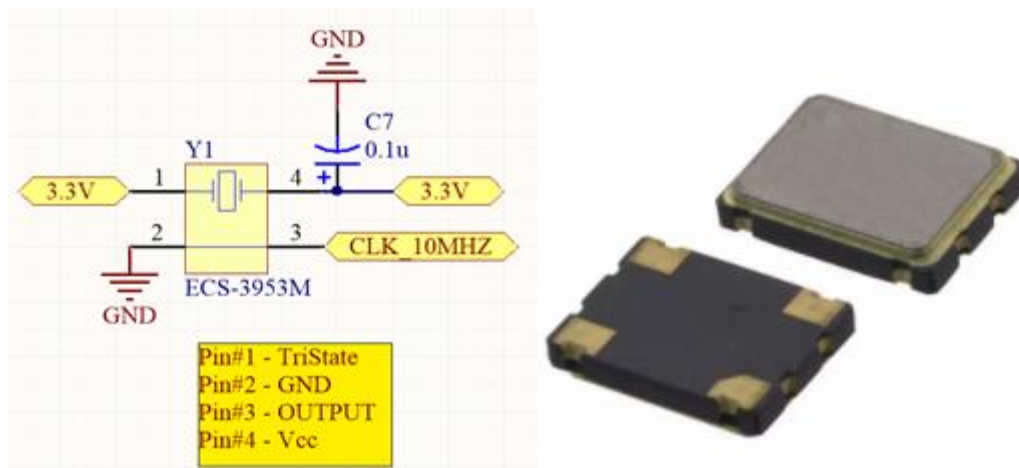


Figura 13 – Oscilador para clock 10 MHz dedicado

5.1.4.3 Sincronia do sinal de *Clock* e do sinal de conversão CONV

Para que o circuito opere com a melhor performance quanto ao ruído, o sinal de conversão CONV deve ser sincronizado ao sinal de *clock* dentro de ± 10 ns.

Para solução deste problema, foi utilizado Flip-flop tipo D com trigger na borda de subida do *clock*. O circuito integrado utilizado foi o SN74LVC74A da *Texas Instruments* [17].

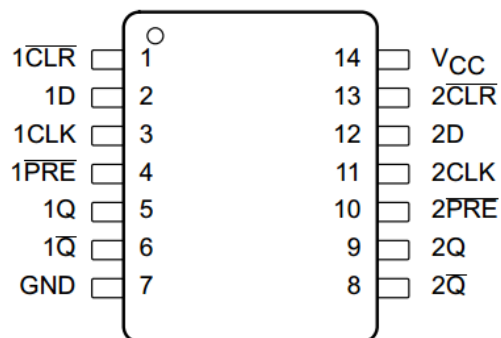


Figura 14 – Pinagem do circuito integrado SN74LVC74A

Seu funcionamento pode ser obtido da análise da tabela a seguir fornecida pelo *datasheet*.

Tabela 4 - Tabela de funcionamento do circuito integrado SN74LVC74A.

INPUTS				OUTPUTS	
$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	CLK	D	Q	$\overline{\text{Q}}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H ⁽¹⁾	H ⁽¹⁾
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	$\overline{\text{Q}}_0$

Analisando a linha 4 da tabela 4, nota-se que quando os pinos PRE e CLR estão em nível alto (H), o sinal de entrada no pino D é transferido para as saídas na borda de subida do sinal de *clock* CLK. Pela especificação do *datasheet*, o tempo máximo de propagação dos sinais (t_{pd}) do CI equivale a 5.2 ns que é um valor dentro da faixa de 10 ns.

Desta forma, ao conectar o sinal CONV na entrada D, o sinal de clock de 10 MHz na entrada CLK, pode-se obter um sinal CONV sincronizado com o clock na saída Q.

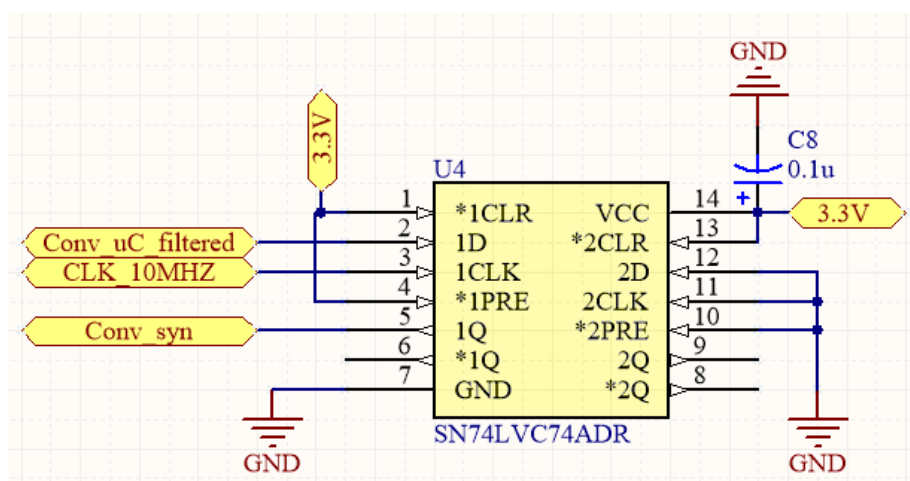


Figura 15 – Esquemático do circuito de sincronização do sinal CONV com clock

5.1.4.4 Tensão de referência Vref

A estabilidade da tensão de referência V_{REF} é uma métrica fundamental para boa performance do circuito, visto que tanto os capacitores C_F como o conversor Sigma-Delta são referenciados por este nível de tensão. Desta forma, erros serão introduzidos na medida final se V_{REF} sofrer qualquer instabilidade entre o

tempo em que os capacitores de integração são resetados com a tensão de referência até o tempo que o conversor realiza a leitura da saída do amplificador operacional.

Pelas razões mencionadas acima, o *datasheet* sugere que a fonte de referência externa seja bufferizada por um amplificador operacional *low-noise*, como pode ser visto na Figura 16.

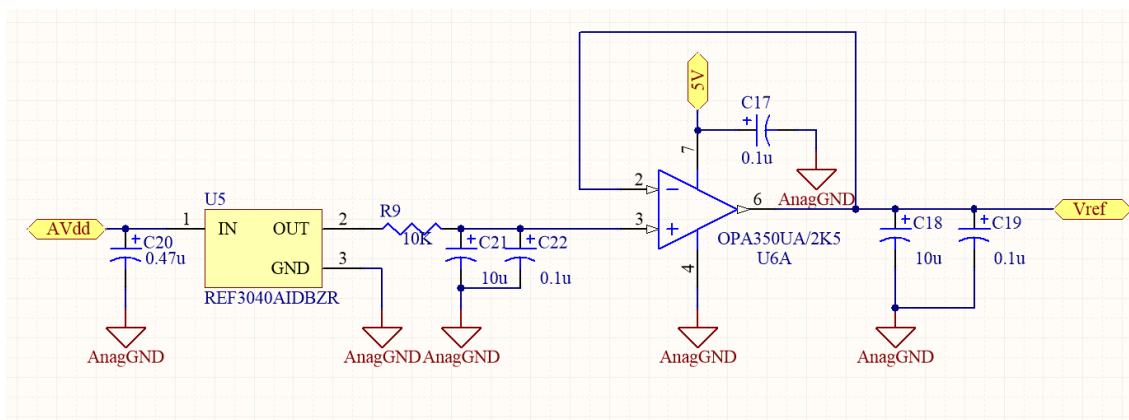


Figura 16 – Circuito sugerido para estabilidade da tensão de referência Vref

Neste circuito, um filtro passa-baixas para redução de ruído conecta a fonte externa de 4.096V ao amp. op. configurado em buffer. O buffer tem papel de transformação de impedância, captando o sinal de referência em alta impedância e o jogando em sua saída com baixa impedância, este fato aproxima a tensão de referência em uma fonte ideal imune a ruídos.

5.1.4.5 Esquemático completo

O esquemático completo do projeto pode ser encontrado no item anexos no fim deste documento.

5.1.5 Técnicas de integridade de sinal

5.1.5.1 Separação analógica-digital

Um problema comum de circuitos de sinais mistos (circuitos digitais em operação simultânea com circuitos analógicos) é o acoplamento de ruído intrínseco aos circuitos digitais que são transmitidos aos circuitos analógicos. A comutação de circuitos digitais polui a rede de alimentação e afeta a performance dos componentes analógicos, logo, para reduzir este problema faz-se necessário o afastamento físico dos componentes, assim como os planos de terra e

alimentação. Para manter a mesma referência de tensão, os terras são conectados a um único ponto, geralmente na fonte de alimentação [18]. A Figura 17 ilustra o *layout* do circuito destacando a prática de separação de sinais.

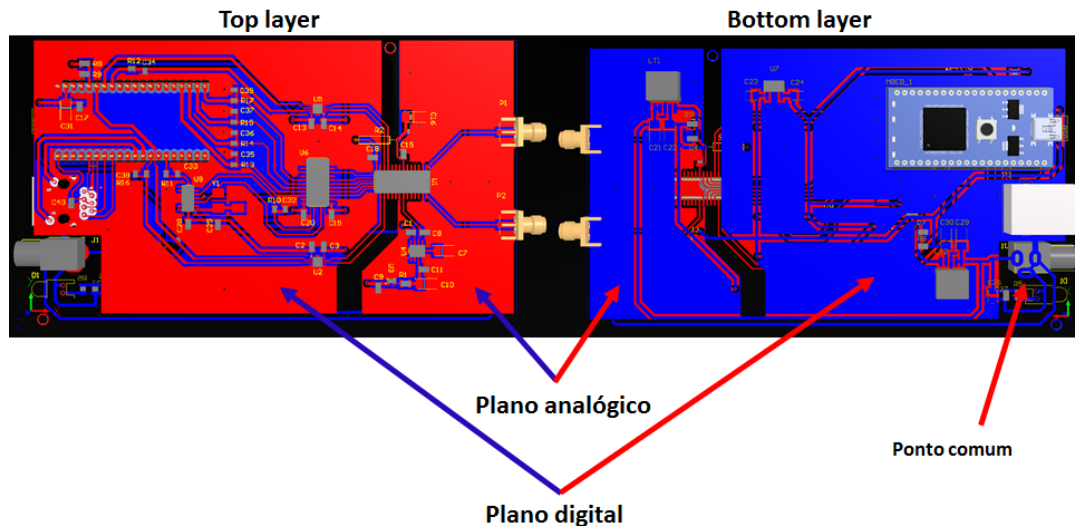


Figura 17 – Layout do circuito destacando os planos digital e analógico separados.

5.1.5.2 Filtros passa-baixas

Um filtro passa-baixas [19] é o nome utilizado ao circuito eletrônico que permite a passagem de baixas frequências e atenua a amplitude das frequências maiores que a frequência de corte f_c (ver equação abaixo). Esta quantidade de atenuação para cada frequência varia de filtro para filtro. Um circuito eletrônico simples que funciona como um filtro passa-baixas consiste de um resistor em série com um capacitor em paralelo com a carga (ver Figura 18). Para frequências baixas o capacitor exibe reatância e os sinais são passados pela carga, já para frequências mais alta, a reatância reduz e o capacitor conduz com facilidade.

$$f_c = \frac{1}{2\pi RC} \quad (6)$$

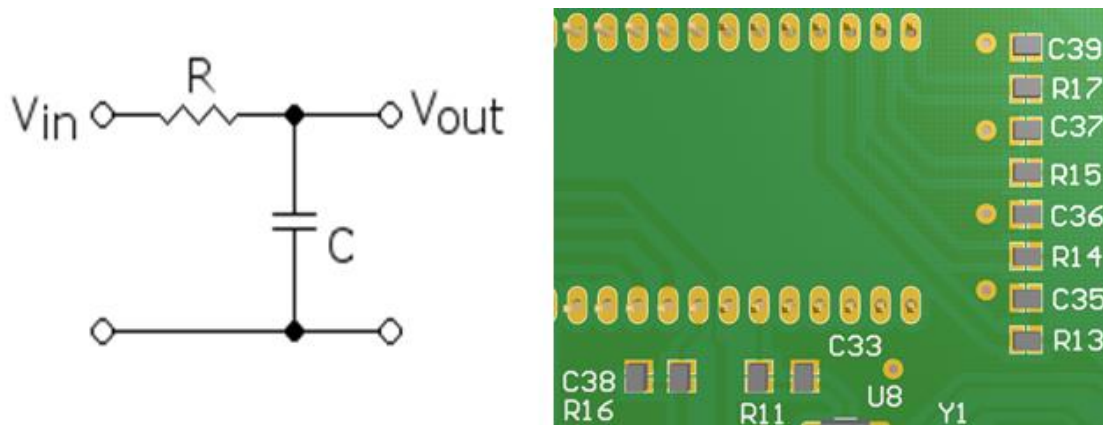


Figura 18 – filtro eletrônico passa-baixas utilizando um circuito RC

Desta forma, filtros passa-baixas com $f_c = 100 \text{ MHz}$ foram implementados nos sinais de controles digitais de baixa frequência do DDC112 com a finalidade de reduzir ruídos de alta frequência e também atenuar fenômenos de *crosstalk* [20] que acontecem entre trilhas próximas quando submetidas a sinais de alta frequência. As bordas do sinal de *clock*, por exemplo, possuem um tempo de subida e descida da ordem de 5 ns o que no domínio da frequência representa um pico em 500 MHz. Aproximando as trilhas de uma PCB por uma linha de transmissão do tipo *microstrip* [21] pode-se chegar a valores de *crosstalk* mostrados na Figura 19.

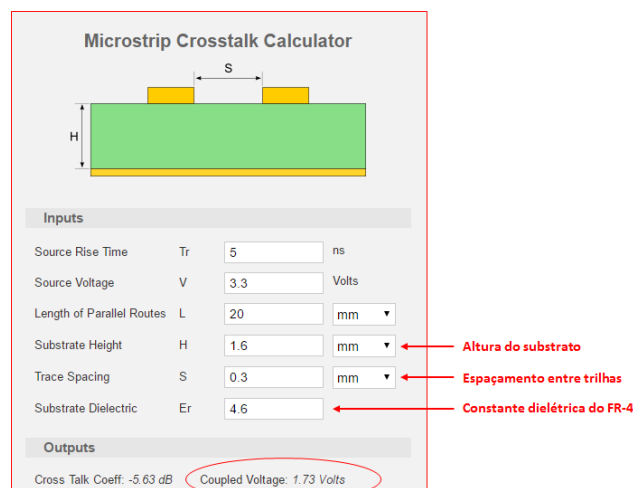


Figura 19 – Cálculo de tensão acoplada entre trilhas para um sinal em 500 MHz.

A Figura 19 mostra que o valor de tensão induzido em uma trilha a 0.3 mm de outra trilha a 500 MHz chega a 1.73V, um valor relativamente alto e que pode interferir no correto funcionamento do circuito. Desta forma, os filtros RC agem

de formar a atenuar estes picos de tensão que ocorrem no chaveamento de sinais digitais.

5.1.5.3 *Driven guard*

Um *driven shield* [22] é um método de blindagem eletromagnética utilizado para proteger circuitos de baixas correntes contra correntes de fuga, um *driven shield* é geralmente referenciado como *driven guard* quando aplicados às trilhas de placas de circuito impresso (PCB).

É amplamente utilizado em circuitos eletrônicos de precisão e medição onde suas entradas de altíssima impedância são susceptíveis ao ruído externo.

Seu princípio de funcionamento é proteger trilhas sensíveis a partir da presença de uma área condutora de mesmo potencial que a trilha sensível, evitando, desta forma, uma diferença de potencial entre os condutores e consequentemente eliminando possíveis correntes de fuga [22].

O DDC112 por ser um circuito de medição de baixíssimas correntes e alta impedância de entrada, fez-se necessário o uso de driven guard em suas entradas. Como a entrada não-inversora do amplificador integrador é ligada ao plano de terra analógico, as entradas de corrente (que estão ligadas às entradas inversoras) devem estar entre condutores também ligados a este terra, conforme ilustra a Figura 20.

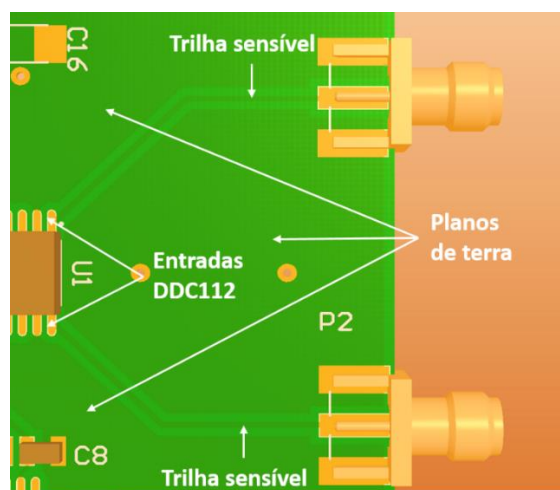


Figura 20 – Driven guard utilizado para evitar correntes de fugas nas entradas do DDC112

5.1.5.4 Capacitores de desacoplamento (by-pass)

Em circuitos de sinais mistos onde há circuitos analógicos de precisão trabalhando simultaneamente com circuitos digitais de alta frequência pode haver o fenômeno de acoplamento de ruído de chaveamento nas linhas de alimentação. Neste contexto, é importante que os terminais de alimentação dos circuitos integrados analógicos possuam um capacitor de desacoplamento (ou by-pass), geralmente de capacitância de 0.1 μF ligado ao terra. A finalidade destes capacitores de by-pass é fornecer um caminho de baixa impedância para os ruídos de alta frequência presentes nas linhas de alimentação mantendo a integridade do sinal de alimentação. A Figura 21 mostra um exemplo de posicionamento de capacitores de desacoplamento em um circuito integrado.

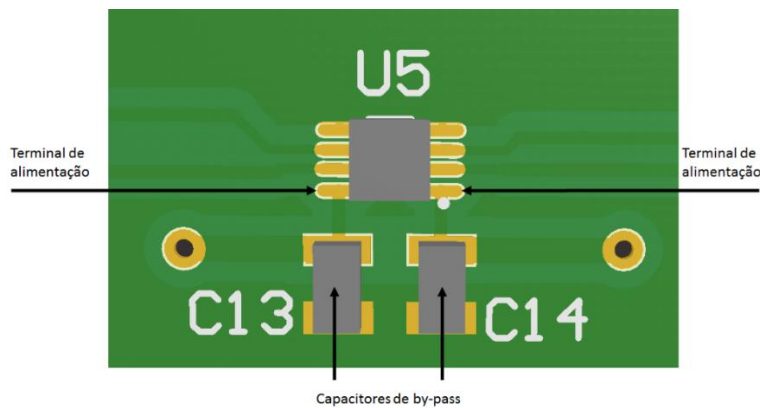


Figura 21 – Modelo 3D para exemplo de uso de capacitor de by-pass

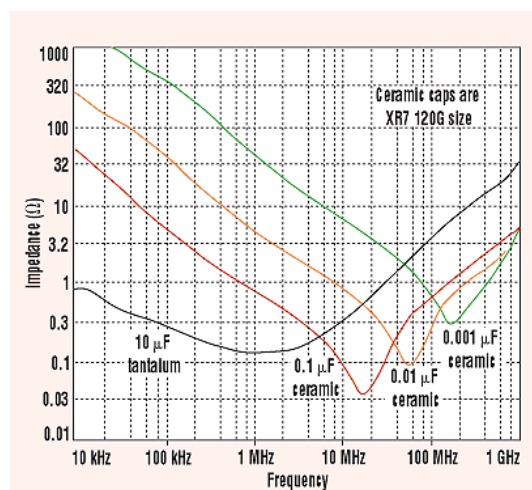


Figura 22 – Impedância típica de capacitor cerâmico de by-pass em resposta à frequência

A Figura 22 mostra a impedância típica de capacitores cerâmicos em resposta à frequência. Nota-se que após uma frequência de ressonância, a impedância o

capacitor aumenta devido a sua indutância intrínseca, mas isto só ocorre para frequências mais elevadas o qual o DDC112 não opera.

5.1.6 Fotos da placa montada

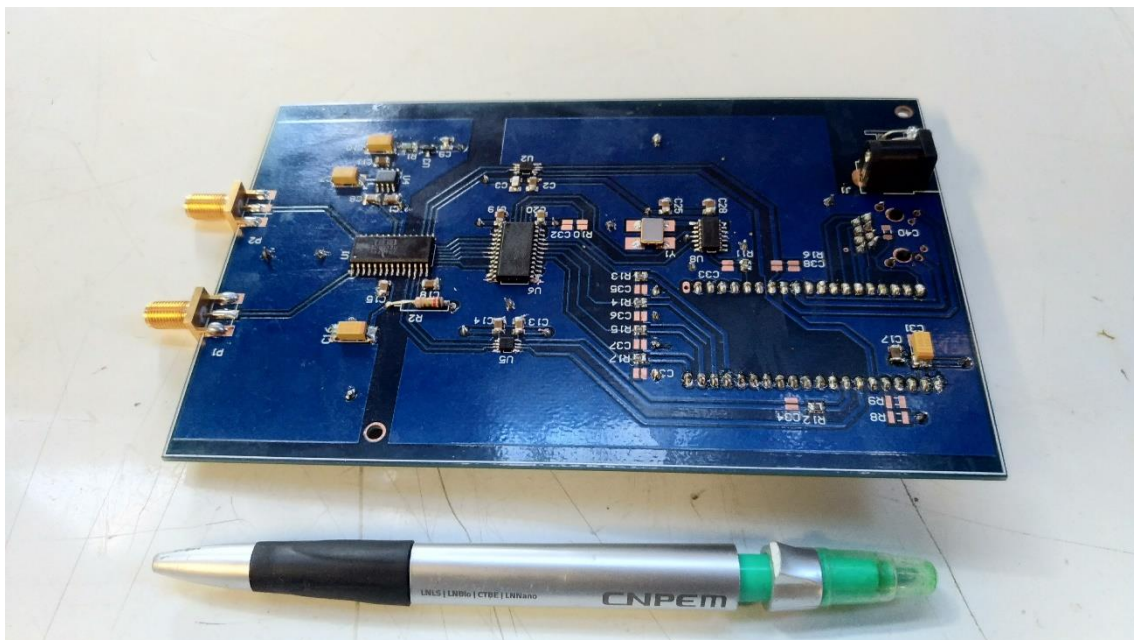


Figura 23 – Foto da placa com detalhes da face inferior

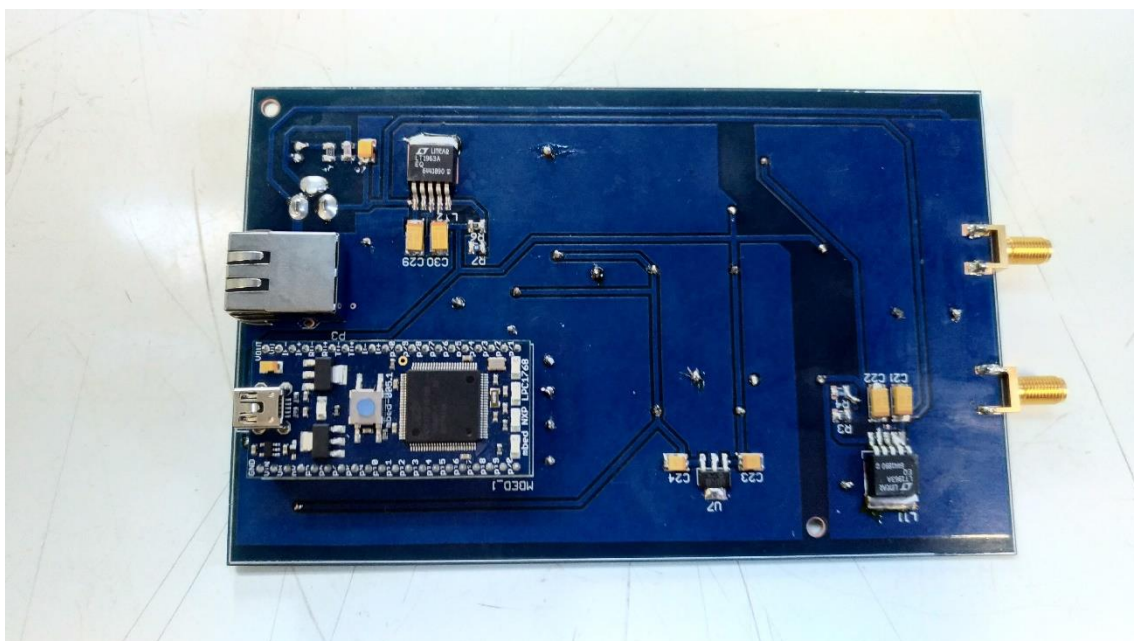


Figura 24 – Foto da placa com detalhes da face superior

5.2 Firmware

O desenvolvimento de firmware foi realizado em linguagem C++ na IDE online do mbed [23]. Antes de estruturar o código, estudou-se como realizar a leitura dos dados do conversor a partir da referência [24].

5.3 Estrutura geral

O código é segmentado em 2 partes: *Setup* e *Loop*.

A rotina de *Setup* configura as interfaces de comunicação Serial, o barramento SPI para leitura de dados, a comunicação Ethernet para transmissão de dados, também realiza a leitura do ganho e tempo de integração pelo usuário e gera o sinal CONV pertinente por um pino de *Pulse Width Modulation* [25]

Já a rotina de *Loop* realiza o tratamento da interrupção enviado pelo DDC112 quando existe um conjunto de dados válido. A partir da interrupção, os 40 bits (20 bits de cada canal de corrente) do conversor são lidos de 8 em 8 bits pela interface SPI. O valor decimal de cada corrente é calculado a partir de máscaras e deslocamentos de bits.

5.3.1 Bibliotecas mbed (Ethernet, SPI, PWMOut, USBSerial)

Para desenvolvimento do código em alto nível foram utilizadas as seguintes bibliotecas disponíveis pelo mbed:

- Serial Peripheral Interface [26]. Esta biblioteca permite a configuração de uma camada SPI Mestre para leitura dos dados de saída do conversor AD (Escravo). É possível configurar o número de bits (8/16), a frequência de operação do *Data Clock* (DCLK) assim como o modo de operação do barramento SPI.
- Ethernet [27]. Permite enviar e receber pacotes via rede Ethernet e se comunicar com serviços Web e outros computadores.
- PwmOut [28]. Permite configurar *duty cycle* e período dos pinos de
- USBSerial [29]. Permite criar um canal de comunicação serial no microcontrolador.

5.4 Próximas etapas

Serão desenvolvidas rotinas para reajuste automático de ganhos e tempos de integração que se possa medir correntes da mínima até a máxima escala sem interferência do usuário.

Além disso, será desenvolvida uma interface de controle o qual será possível estabelecer conexão com o equipamento, analisar e plotar valores de corrente em tempo real, assim como gerar logs de dados.

6. Resultados e discussões

Os resultados dos testes de medição de corrente foram feitos utilizando uma fonte de corrente de baixas amplitudes e baixo ruído (ver Figura 25) Keithley 6221 [30] juntamente com uma interface Serial para interação com usuário e aquisição de dados PuTTY [31].

Source Specifications

Range (+5% over range)	Accuracy (1 Year) 23°C ±5°C ±(% rdg. + amps)	Programming Resolution	Temperature Coefficient/°C 0°–18°C & 28°–50°C	6221 Only		Settling Time ^{1, 2} (1% of Final Value)		
				Typical Noise (peak-peak)/RMS ³ 0.1Hz–10Hz	Typical Noise (peak-peak)/RMS ³ 10Hz–(BW)	Output Response Bandwidth (BW) Into Short	Output Response Fast (Typical ³) (6221 Only)	6220, 6221 with Output Response Slow (Max.)
2 nA	0.4 % + 2 pA	100 fA	0.02 % + 200 fA	400 / 80 fA	250 / 50 pA	10 kHz	90 μs	100 μs
20 nA	0.3 % + 10 pA	1 pA	0.02 % + 200 fA	4 / 0.8 pA	250 / 50 pA	10 kHz	90 μs	100 μs
200 nA	0.3 % + 100 pA	10 pA	0.02 % + 2 pA	20 / 4 pA	2.5 / 0.5 nA	100 kHz	30 μs	100 μs
2 μA	0.1 % + 1 nA	100 pA	0.01 % + 20 pA	200 / 40 pA	25 / 5.0 nA	1 MHz	4 μs	100 μs
20 μA	0.05% + 10 nA	1 nA	0.005% + 200 pA	2 / 0.4 nA	500 / 100 nA	1 MHz	2 μs	100 μs
200 μA	0.05% + 100 nA	10 nA	0.005% + 2 nA	20 / 4 nA	1.0 / 0.2 μA	1 MHz	2 μs	100 μs
2 mA	0.05% + 1 μA	100 nA	0.005% + 20 nA	200 / 40 nA	5.0 / 1 μA	1 MHz	2 μs	100 μs
20 mA	0.05% + 10 μA	1 μA	0.005% + 200 nA	2 / 0.4 μA	20 / 4.0 μA	1 MHz	2 μs	100 μs
100 mA	0.1 % + 50 μA	10 μA	0.01 % + 2 μA	10 / 2 μA	100 / 20 μA	1 MHz	3 μs	100 μs

Figura 25 – Especificação técnica da fonte de corrente Keithley 6221

A Figura 26 mostra a configuração de testes pela injeção de corrente provida pelo Keithley e a obtenção de dados via terminal Serial lidos pelo conector USB do microcontrolador.

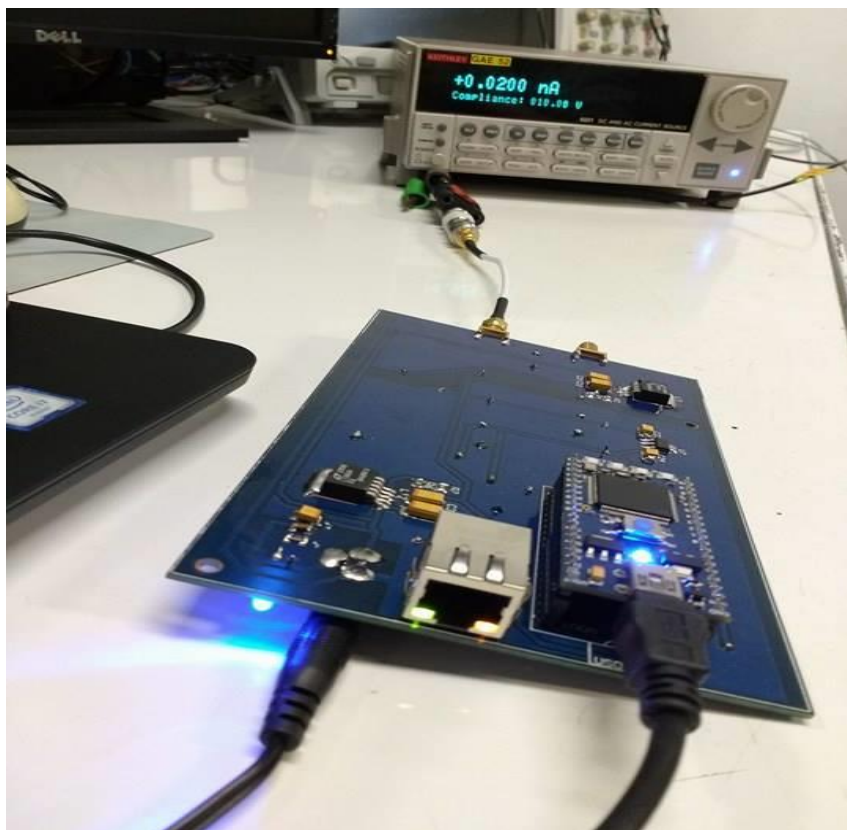


Figura 26 – Configuração para realização de testes de baixa corrente

6.1 Teste de warm-up

O teste de *warm-up* consiste na interferência da variação de temperatura dos próprios componentes quando em funcionamento. Para este teste, deixou-se a placa “fria” e em seguida realizou-se medição de corrente com os conectores em aberto cobertos por uma camada de alumínio a fim de se amenizar possíveis ruídos. O teste teve duração de 1 hora aproximadamente.

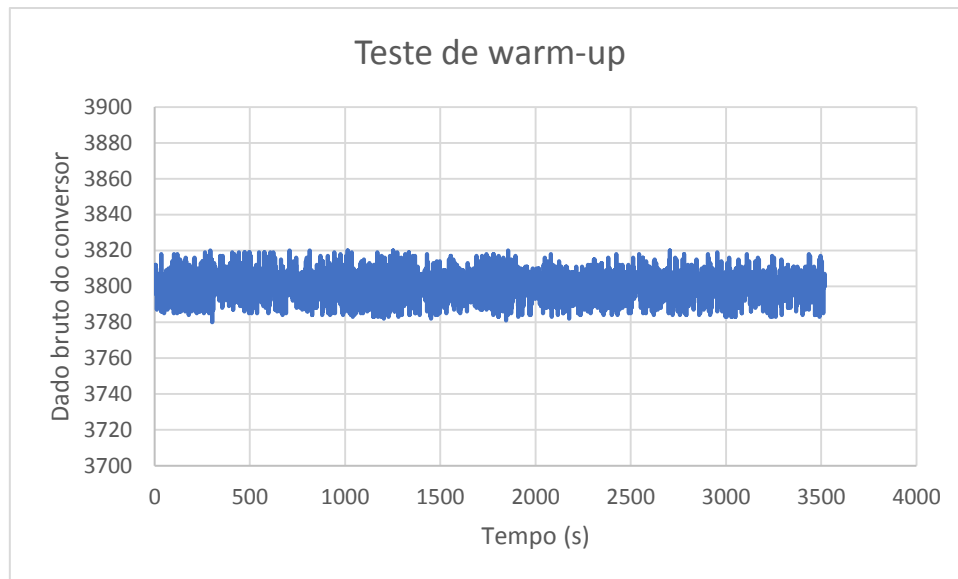


Figura 27 – Resultados do teste de warm-up

A partir da Figura 27 conclui-se que o circuito não apresenta grandes variações em seu resultado devido a seu aquecimento interno, os valores de saída se mantiveram na faixa de 3800 durante todo o tempo.

6.2 Teste de baixas correntes

A seguir estão apresentados resultados para medidas de baixas correntes previamente conhecidas. A finalidade deste teste é validar o funcionamento do circuito e a acurácia da medição comparando a medição com a entrada conhecida fornecida pelo Keithley 6221.

6.2.1 Degraus de corrente para Range7 (350pC) e T_{INT} de 900 ms

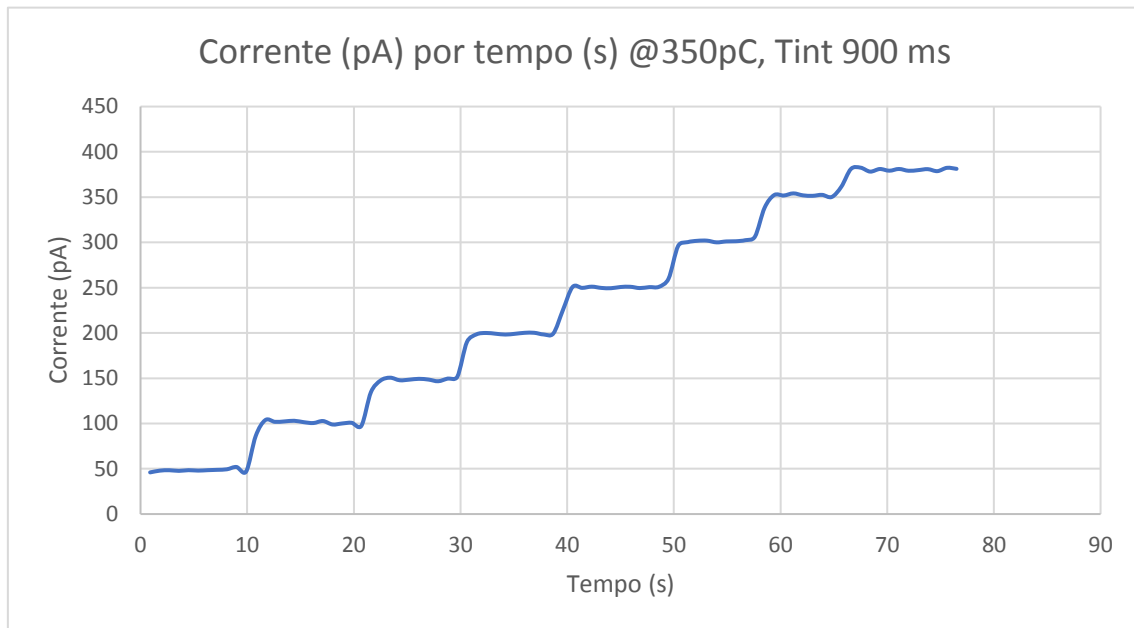


Figura 28 – Resultados de medição de corrente na faixa de picoampère

Para este teste, foi injetado na entrada do circuito degraus de corrente de 50 em 50 pA, tendo em vista que seu fundo de escala era alcançado em 388pA. A Figura 28 mostra que para longos períodos de integração é possível medir picoampères com boa acurácia.

6.2.2 Degraus de corrente para Range7 (350pC) e T_{INT} de 500 μ S

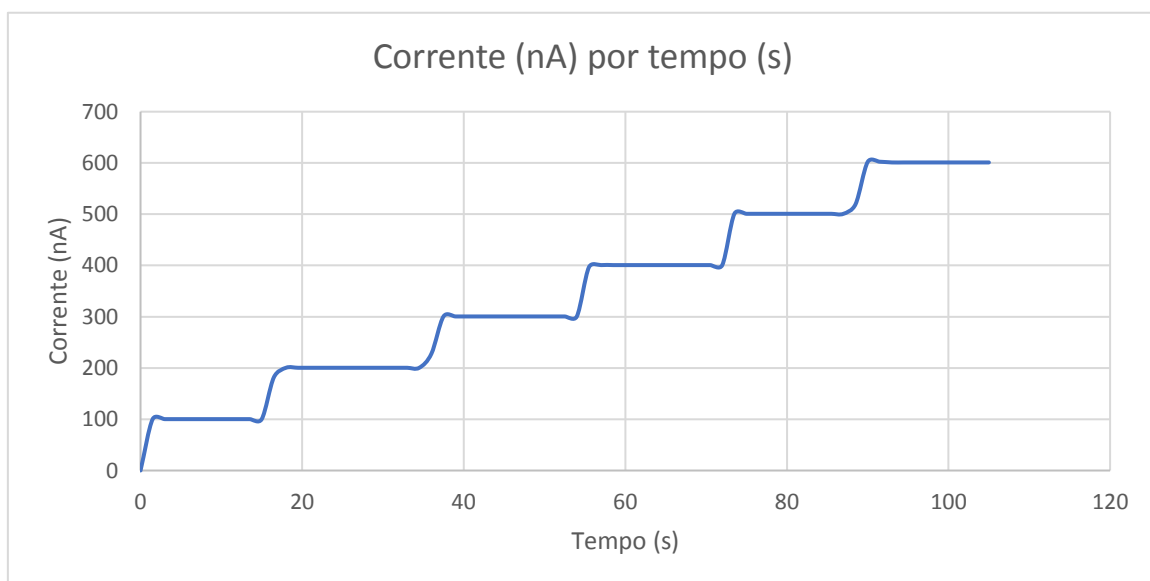


Figura 29 – Resultados de medição de corrente na faixa de nanoampère

Para este teste, os degraus de corrente foram realizados de 100 em 100nA, tendo em vista que seu fundo de escala era alcançado em 700nA. A Figura 29 mostra que para curtos tempos de integração é possível medir nanoampères com boa acurácia.

6.3 Medidas de Offset e ruído RMS

Os resultados apresentados a seguir demonstram o ruído RMS, o valor de Offset e fundo de escala para os 7 diferentes ganhos em 2 condições extremas de tempo de integração.

O ruído RMS foi calculado a partir do desvio padrão de uma corrente previamente conhecida de centenas de amostras. O offset mostrado é o dado bruto de saída do conversor AD e foi obtido pela média da saída da leitura dos canais de corrente em aberto.

Tabela 5 – Valores de ruído RMS e Offset

Range / CFS	T_{INT}	Fundo de escala	Ruído RMS	Offset
7 / 350pC	900 ms	388pA	1,61pA	3719
7/ 300pC	500 μ s	700nA	4,5pA	3799
6/ 300pC	900 ms	332pA	2,1pA	3687
6/ 300pC	500 μ s	600nA	2,95pA	3803
5/ 250pC	900 ms	280pA	0,62pA	3658
5/ 250pC	500 μ s	500nA	8,6pA	3799
4/ 200pC	1 s	200pA	3pA	3626
4/ 200pC	500 μ s	400nA	3,5pA	3804
3/ 150pC	1 s	150pA	3,27pA	3555
3/ 150pC	500 μ s	300nA	2,18pA	3790

2/ 100pC	1 s	100pA	4pA	3452
2/ 100pC	500 μ s	200nA	2,57pA	3794
1/ 50pC	1 s	50pA	1,73pA	3101
1/ 50pC	500 μ s	100nA	11,25pA	3787

6.4 Etapas seguintes

Os testes até aqui apresentados são primários. Os próximos passos do projeto envolvem a realização de um estudo de caracterização circuitos de instrumentação eletrônica e realizar a caracterização do instrumento. Obter testes de banda passante, *drift* de temperatura externo, resolução, etc.

7. Conclusão

Um circuito protótipo capaz de medir nano ampères com resolução de pico ampères foi projetado e construído. Embora alguns testes ainda devam ser realizados, os resultados obtidos são satisfatórios o que encoraja um desenvolvimento de um circuito mais robusto que cobrirá 80% da demanda de eletrônica para medição de baixas correntes para os experimentos a serem realizados nas linhas de luz do novo acelerador de partículas Sirius. Com a interface Ethernet integrada, será possível realizar medidas de baixas correntes e transmitir seus resultados via rede e embuti-los a sistemas de controle de tempo real, como o EPICS [32].

Do ponto de vista pessoal, o projeto permitiu ao seu autor colocar em prática conhecimentos teóricos de eletrônica e sistemas embarcados aprendidos no ambiente acadêmico, assim como participar inteiramente de um projeto, desde sua fase inicial de especificações até sua fase final de testes. Também permitiu conhecer um novo microcontrolador, o LPC1768, e aprimorar técnicas de programação C++ [33], leitura de *datasheets* e técnicas de layout de PCB que com certeza serão utilizados em projetos futuros.

8. Referências Bibliográficas

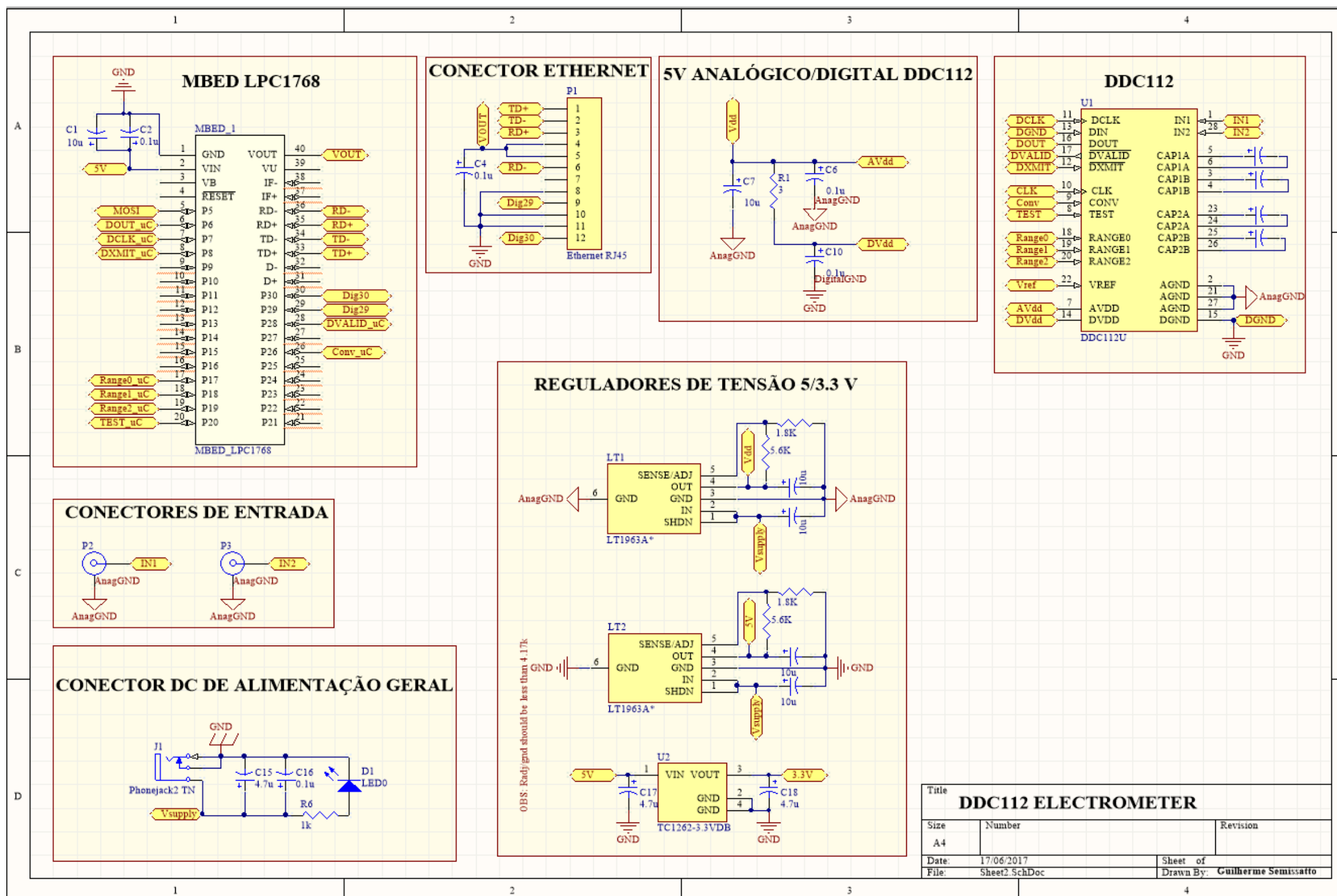
- [1] WestFlorida Components, “What is electromagnetic Interference and how does it affect us?,” [Online]. Available: <https://www.westfloridacomponents.com/blog/what-is-electromagnetic-interference-emi-and-how-does-it-affect-us/>. [Acesso em 02 Junho 2017].
- [2] ARRL website, “Radio Frequency Interference (RFI),” [Online]. Available: <http://www.arrl.org/radio-frequency-interference-rfi>. [Acesso em 02 Junho 2017].
- [3] National Instruments, “How to Minimize Errors for Low-Current Measurements,” [Online]. Available: <http://www.ni.com/tutorial/5448/en/>. [Acesso em 02 Junho 2017].
- [4] LNLS webpage, “O que é Luz síncrotron,” [Online]. Available: <http://pages.cnpem.br/parceiros/lnls/>. [Acesso em 01 Junho 2017].
- [5] Ministério de Ciência e Tecnologia, “CNPem,” [Online]. Available: <http://www.mcti.gov.br/cnpem>. [Acesso em 01 Junho 2017].
- [6] Hans Brauns, “Emittance Diagnostics,” CERN, [Online]. Available: <https://cas.web.cern.ch/cas/France-2008/Lectures/Braun-Emittance.pdf>. [Acesso em 28 Maio 2017].
- [7] Keithley/Tektronix webpage, “Keithley Electrometers for Ultra-High Resistance/Ultra-Low Current Measurements,” [Online]. Available: <http://www.tek.com/keithley-low-level-sensitive-and-specialty-instruments/keithley-high-resistance-low-current-electrom>. [Acesso em 06 Junho 2017].
- [8] Texas instruments, “Dual Current Input 20-Bit ANALOG-TO-DIGITAL CONVERTER,” [Online]. Available: <http://www.ti.com/lit/ds/symlink/ddc112.pdf>. [Acesso em 04 Junho 2017].
- [9] ARMmbed, “mbed LPC1768,” [Online]. Available: <https://developer.mbed.org/platforms/mbed-LPC1768/>. [Acesso em 04 Junho 2017].
- [10] Maxim integrated, “Demystifying Delta-Sigma ADCs - Tutorial 1870,” [Online]. Available: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/1870>. [Acesso em 02 Junho 2017].
- [11] Sparkfun, “Serial Peripheral Interface (SPI),” [Online]. Available: <https://learn.sparkfun.com/tutorials/serial-peripheral-interface-spi>. [Acesso em 06 Junho 2017].
- [12] ARM webpage, “Cortex-M3 Processor,” [Online]. Available: <https://www.arm.com/products/processors/cortex-m/cortex-m3.php>. [Acesso em 02 Junho 2017].
- [13] Altium Designer webpage, “Altium Designer Overview,” [Online]. Available: <http://www.altium.com/altium-designer/overview>. [Acesso em 02 Junho 2017].

- [14] Texas Instruments, "SN74LVC2T45 Dual-Bit Dual-Supply Bus Transceiver With Configurable Voltage Translation," [Online]. Available: <http://www.ti.com/lit/ds/symlink/sn74lvc2t45.pdf>. [Acesso em 04 Junho 2017].
- [15] Texas Instruments, "SN74LVC4245A Octal Bus Transceiver and 3.3-V to 5-V Shifter With 3-State Outputs," [Online]. Available: <http://www.ti.com/lit/ds/symlink/sn74lvc4245a.pdf>. [Acesso em Junho 05 2017].
- [16] ECS International, "ECS-3951M/3953M-BN SMD Oscillator datasheet," [Online]. Available: <https://www.ecsxtal.com/store/pdf/ecs-3951m-bn-3953m-bn.pdf>. [Acesso em 03 Junho 2017].
- [17] Texas Instruments, "SNx4LVC74A Dual Positive-Edge-Triggered D-Type Flip-Flops With Clear and Preset," [Online]. Available: <http://www.ti.com/lit/ds/symlink/sn74lvc74a.pdf>. [Acesso em 05 Junho 2017].
- [18] W. Kester, J. Bryant e M. Byrne, "Grounding Data Converters and Solving the Mystery of "AGND" and "DGND"," [Online]. Available: <http://www.analog.com/media/en/training-seminars/tutorials/MT-031.pdf>. [Acesso em 03 Junho 2017].
- [19] Wikipedia, "Filtro Passa-baixa," [Online]. Available: https://pt.wikipedia.org/wiki/Filtro_passa-baixo. [Acesso em 05 Junho 2017].
- [20] J. Carlsson, "Crosstalk on Printed Circuit Boards - Second Edition," [Online]. Available: <https://www.sp.se/sv/index/research/EMC/Documents/lccalc.pdf>. [Acesso em 30 Maio 2017].
- [21] Analog Devices, "Microstrip and Stripline Design - Tutorial MT094," [Online]. Available: <http://www.analog.com/media/en/training-seminars/tutorials/MT-094.pdf>. [Acesso em 30 Maio 2017].
- [22] A. Rich, "AN-347 - Shielding and Guarding – How to Exclude Interference – Type Noise – What to Do and Why to Do It - A rational approach," Analog Devices, [Online]. Available: http://www.analog.com/media/en/technical-documentation/application-notes/41727248AN_347.pdf?doc=CN0397.pdf.
- [23] ARMmbed, "Mbed compiler," [Online]. Available: <https://developer.mbed.org/compiler/>. [Acesso em 05 Junho 2017].
- [24] "Retrieving data from the DDC112 by Jim Todsen," [Online]. Available: <http://www.ti.com/lit/an/sbaa026/sbaa026.pdf>. [Acesso em 4 Junho 2017].
- [25] "A Introduction to Pulse Width Modulation," [Online]. Available: <https://barrgroup.com/Embedded-Systems/How-To/PWM-Pulse-Width-Modulation>. [Acesso em 1 Junho 2017].
- [26] "mbed SPI Library," [Online]. Available: <https://developer.mbed.org/handbook/SPI>. [Acesso em 1 Junho 2017].

- [27] "mbed Ethernet Library," [Online]. Available: <https://developer.mbed.org/handbook/Ethernet>. [Acesso em 1 Junho 2017].
- [28] "mbed PWM," [Online]. Available: <https://developer.mbed.org/handbook/PwmOut>. [Acesso em 1 Junho 2017].
- [29] "mbed USBSerial Library," [Online]. Available: <https://developer.mbed.org/handbook/USBSerial>. [Acesso em 1 Junho 2017].
- [30] Keithley 6221webpage, "Keithley 6221 AC and DC Current Source," [Online]. Available: <http://www.tek.com/sites/tek.com/files/media/media/resources/6220-6221.pdf>. [Acesso em 4 Junho 2017].
- [31] "PuTTY," [Online]. Available: <http://www.putty.org/>. [Acesso em 4 Junho 2017].
- [32] Argonne National Laboratory, "Experimental Physics and industrial Control System," APS, [Online]. Available: <http://www.aps.anl.gov/epics/>. [Acesso em 06 Junho 2017].
- [33] Cplusplus website, "History of C++," [Online]. Available: <http://www.cplusplus.com/info/history/>. [Acesso em 06 Junho 2017].
- [34] Tech terms webpage, "Full-Duplex communication," [Online]. Available: <https://techterms.com/definition/full-duplex>. [Acesso em 01 Junho 2017].

9. Anexos

9.1 Esquemático – Parte 1



9.2 Esquemático – Parte 2

