30. DT-триггер

Триггер задержки имеет единственный входной сигнал, обозначенный буквой D. Значение сигнала на выходе ***Q*** такого триггера в такт (t + 1) равно значению сигнала на входе D в предыдущем такте ***t.*** Таким образом, входной сигнал передается на выход с задержкой на один такт, т.е.

Qt+1 = Dt.

Асинхронный D-триггер не применяется, так как его выход просто повторяет входной сигнал после окончания режима состязаний. Синхронный же D-триггер функционирует в соответствии с табл. 3.13, из которой видно, что при отсутствии синхроимпульсов (С = 0) состояние триггера остается неизменным. При условии ***С*** = 1 триггер передает на выход сигнал, поступивший на его вход в предыдущем такте.

Для синтеза синхронного D-триггера воспользуемся асинхронным RS-триггером. Как видно из таблицы, сигнал на входе D должен воздействовать на триггер только в том случае, когда имеется единичный уровень сигнала ***С.*** Следовательно, как и в случае синхронного RS-триггера, на входе D-триггера должны быть двухвходовые элементы И, пропускающие сигнал с входа D, если ***С =*** 1.

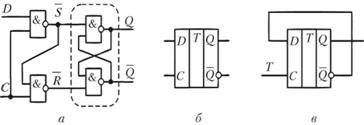
|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Такт ***t*** | | | http://studme.org/imag/tovar/mil_el/image365.jpg | Такт t | | | http://studme.org/imag/tovar/mil_el/image366.jpg |
| http://studme.org/imag/tovar/mil_el/image367.jpg | http://studme.org/imag/tovar/mil_el/image368.jpg | http://studme.org/imag/tovar/mil_el/image369.jpg | http://studme.org/imag/tovar/mil_el/image370.jpg | http://studme.org/imag/tovar/mil_el/image371.jpg | http://studme.org/imag/tovar/mil_el/image372.jpg |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

Теперь обратимся к правой части таблицы. Переход триггера в состояние единицы должен происходить, когда на входах воздействуют сигналы ***С =*** 1 и D = 1. Значит, при таком сочетании сигналов на входе http://studme.org/imag/tovar/mil_el/image373.gif асинхронного

RS-триггера должен быть нуль, т.е. http://studme.org/imag/tovar/mil_el/image374.jpg. Переход триггера в состояние нуля должен происходить, когда на входах имеется комбинация ***С =*** 1, ***D =*** 0. Значит, на входе http://studme.org/imag/tovar/mil_el/image375.jpg асинхронного RS-триггера при таком сочетании сигналов также должен быть нуль, т.е. http://studme.org/imag/tovar/mil_el/image376.jpg. Поскольку сигнал на входе http://studme.org/imag/tovar/mil_el/image377.jpg формируется в момент, когда ***С =*** 1, и соответствует инверсному значению D, его можно использовать для формирования сигналаhttp://studme.org/imag/tovar/mil_el/image378.jpg, т.е.http://studme.org/imag/tovar/mil_el/image379.jpg. Это же рассуждение можно получить и чисто формально с помощью алгебры логики:

http://studme.org/imag/tovar/mil_el/image380.jpg

Следовательно, D-триггер может быть синтезирован на основе асинхронного RS-триггера (рис. 3.30, ***а, б).*** Пунктиром обведена схема асинхронного RS-триггера, верхняя схема И-НЕ формирует сигнал на входеhttp://studme.org/imag/tovar/mil_el/image381.jpgасинхронного RS-триггера, а нижняя – на входеhttp://studme.org/imag/tovar/mil_el/image382.jpg



***Рис. 3,30.*** **Синхронный D-триггер (*а*), его условное обозначение *(б)* и его использование в качестве T-триггера (*в*)**

**T-триггер**

Булеву функцию, отражающую работу T-триггера**,**содержательно можно представить так: триггер инвертирует свое предыдущее состояние при подаче по его вход ***Т*** единичного сигнала, т.е. http://studme.org/imag/tovar/mil_el/image384.jpg при ***Т*** = 1. Соответствующая таблица переключений T-триггера представлена в табл. 3.14. Вход Г называют ***счетным входом*** триггера. При подаче на триггер первого единичного сигнала он устанавливается в единицу, при подаче второго – сбрасывается в нуль, третьего – опять в единицу и т.д. Таким образом, изменение выходного сигнала происходит с частотой вдвое меньшей, чем входного. Это позволяет использовать Г-триггер для синтеза двоичных счетчиков, в которых каждый триггер соответствует одному двоичному разряду.

***Таблица 3.14***

|  |  |  |
| --- | --- | --- |
| Такт ***t*** | | ***Q***t+ 1 |
| ***T***t | ***Q***t |
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 1 | 0 |

T-триггер может быть синтезирован на логических элементах И-НЕ или ИЛИ-HE, однако чаще всего для этого используют имеющийся в составе серий интегральных микросхем D-триггер. Превращение D-триггера в Τ-триггер осуществляется с помощью соответствующего соединения выводов микросхемы.

Так, если в синхронном D-триггере вход D соединить с инверсным выходомhttp://studme.org/imag/tovar/mil_el/image385.jpg, то он превращается в T-триггер. Действительно, если просмотреть в таблице переключений D-триггера строки, в которых состояние триггера ***Q*** меняется на противоположное (см. строки 2 и 3 правой части табл. 3.13), увидим, что значение сигнала на входе D противоположно значению ***Q.*** Поскольку сигнал на выходе ***Q*** всегда противоположен состоянию ***Q,*** то, подавая счетные сигналы ***Т*** вместо синхроимпульсов на вход ***С*** из D-триггера получаем Τ-триггер (рис. 3.30, ***в).***

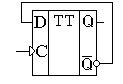
31

# T-триггеры

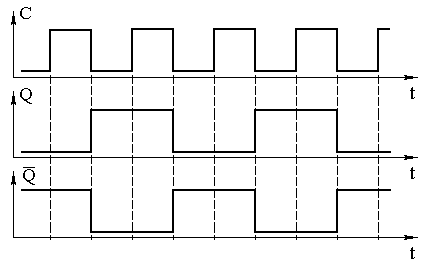
T-триггер — это счетный [триггер](http://digteh.ru/CVT/trigg/). У данного триггера имеется только один вход. Принцип работы T-триггера заключается в следующем. После поступления на вход T импульса, состояние триггера меняется на прямо противоположное. Счётным он называется потому, что T триггер как бы подсчитывает количество импульсов, поступивших на его вход. Жаль только, что считать этот триггер умеет только до одного. При поступлении второго импульса T-триггер снова сбрасывается в исходное состояние.

T-триггеры строятся только на базе двухступенчатых триггеров, подобных рассмотренному ранее D триггеру. Использование двух триггеров позволяет избежать неопределенного состояния схемы при разрешающем потенциале на входе синхронизации "C", так как счетные триггеры строятся при помощи схем с обратной связью

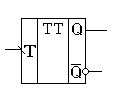
T триггер можно синтезировать из любого двухступенчатого триггера. Рассмотрим пример синтеза T триггера из динамического D триггера. Для того чтобы превратить [D триггер](http://digteh.ru/digital/D_trigg/) в счётный, необходимо ввести цепь обратной связи с инверсного выхода этого триггера на вход, как показано на рисунке 1.

   
Рисунок 1. Схема T триггера, построенная на основе D триггера

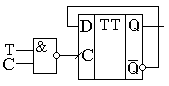
Временная диаграмма T триггера приведена на рисунке 2. При построении этой временной диаграммы был использован триггер, работающий по заднему фронту синхронизирующего сигнала.

   
Рисунок 2. Временные диаграммы T триггера

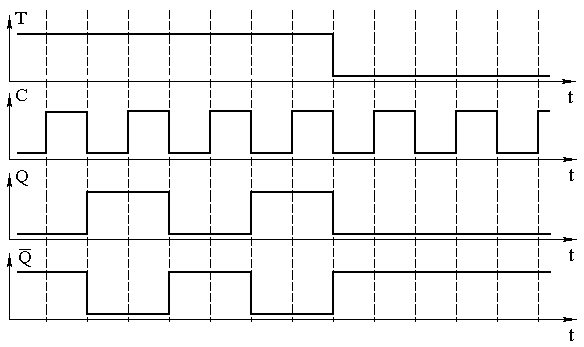
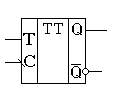
Т-триггеры используются при построении схем различных счётчиков, поэтому в составе БИС различного назначения обычно есть готовые модули этих триггеров. Условно-графическое обозначение T триггера приведено на рисунке 3.

   
Рисунок 3. Условно-графическое обозначение T триггера

Существует еще одно представление T триггера. При разработке схем синхронных двоичных счетчиков важно осуществлять одновременную запись во все его триггеры. В этом случае вход T триггера служит только для разрешения изменения состояния на противоположное, а синхронизация производится отдельным входом "C". Подобная схема T триггера приведена на рисунке 4.

   
Рисунок 4. Схема синхронного T триггера, построенная на основе D триггера

Подобная схема счетного триггера может быть реализована и на [JK триггере](http://digteh.ru/digital/JK_trigg.php). Временная диаграмма синхронного T триггера приведена на рисунке 5, а его условно-графическое обозначение — на рисунке 6.

   
Рисунок 5. Временные диаграммы синхронного T триггера   
  
   
Рисунок 6. Условно-графическое обозначение синхронного T триггера

**Выводы** T-триггеры широко применяются в схемах деления и умножения частоты. Без них было бы невозможна реализация синтезаторов частот, которые применяются в качестве задающих генераторов в передатчиках и гетеродинов в приемниках раций, мобильных телефонов или GSM навигаторов. Не менее важна роль T-триггеров в формировании тактовой частоты цифровых микросхем, таких как центральные процессоры компьютеров, планшетов или цифровых фотоаппаратов.

32

# Визначення булевої функції

Визначення Булевой функцією f (x1, x2, ..., xn) називається довільна функція n змінних, аргументи якої x1, x2, ..., xn і сама функція f приймають значення 0 або 1, т. Е. Xi {0, 1}, i = 1, 2, ..., n; f (x1, x2, ..., xn) {0, 1}.

Однією з найважливіших інтерпретацій теорії булевих функцій є теорія переключательних функцій.

Спочатку математичний апарат теорії булевих функцій був застосований для аналізу і синтезу релейно-контактних схем з операціями послідовного і паралельного з'єднання контактів.

Будь-яка булева функція може бути представлена ??таблицею, в лівій частині якої перераховані всі набори змінних, а в правій частині - значення функції. Приклад такого завдання для трьох змінних представлений в таблиці 2.1.

Таблиця 2.1 - Представлення булевої функції

|  |  |
| --- | --- |
| x1x2x3 | f (x1, x2, x3) |
| 0 0 00 0 10 1 00 1 11 0 01 0 11 1 01 1 1 |  |

Для формування стовпчика значень змінних зручний лексико-графічний порядок, відповідно до якого кожний наступний набір значень виходить з попереднього додатком 1 в двійковій системі числення, наприклад, 100 = 011+ 1.

Булева функція n змінних може мати 2n наборів. Оскільки функція приймає тільки два значення, загальне число булевих функцій n змінних дорівнює 22n . Таким чином, функція однієї зміною може мати чотири значення: y = x; y = Ox (заперечення х); y = 0 (константа 0); y = 1 (константа 1).

З них виділимо функцію "заперечення x" (позначається Ox). Ця функція представлена ??в таблиці 2. 2.

Таблиця 2.2 - Функція заперечення

|  |  |
| --- | --- |
| х | Ox |
|  |  |

Булевих функцій двох змінних - 16. Ті з них, які мають спеціальні назви, представлені в таблиці 2.3

Таблиця 2.3 - Булеві функції двох змінних

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| x1x2 | x1Vx2 | x1& x2 | x1x2 | x1?x2 | x1 Ax2 | x1? x2 | x1? x2 |
| 0 00 11 01 1 |  |  |  |  |  |  |  |

У таблиці 2.3 представлені наступні функції двох змінних: -

x1Vx2 - Диз'юнкція;

x1& x2 - Кон'юнкція;

x1Ex2- Імплікація;

x1?x2 - Еквівалентність;

x1Ax2- Додавання за модулем 2;

x1?x2- Стрілка Пірса;

x1? x2- Штрих Шеффера.

Решта функцій спеціальних назв не мають і можуть бути виражені через перераховані вище функції.

33

Система булевых функций называется полной, если любая булева функция является суперпозицией этих функций.

 отрицание и дизъюнкция (отрицание и конъюнкция) также образуют полную систему булевых функций. Нетрудно убедиться, что наборы и являются базисными, так как их дальнейшее сокращение без нарушения полноты системы невозможно.

Для проверки полноты заданной системы булевых функций может быть использовано следующее очевидное утверждение:

Если система - полная и любая из функций f1, f2,...,fm может быть выражена с помощью суперпозиций через функции g1, g2,…, gk, то система также полная.

В общем случае для проверки полноты системы булевых функций используется критерий полноты Поста. Прежде чем его сформулировать, напомним некоторые определения [3].

Функция f = (Х1,Х2,...,Хn) называется *функцией, сохраняющей константу* 0 (1 ), если

f(0,0, ...0) = 0, (f(l, 1....1) = 1).

Функция f (X1,X2,...,Xn) называется *самодвойственной,* если

f (X1,X2,..., Xn) = .

Функция f (X1,X2,...,Xn) называется *монотонной,* если для любых двух наборов X = (X1,X2,…,Xn) и Y = (Yl,Y2,...,Yn), таких, что XY (для любого i XiYi) имеет место неравенство:

f (X1,X2,..., Xn) f (Yl, Y2,...,Yn).

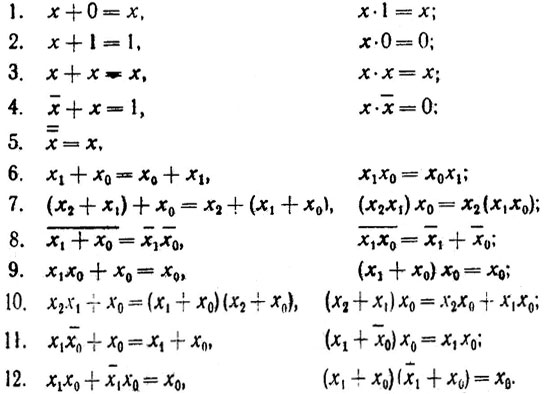
Функция f (X1,X2,..., Xn) называется *линейной,* если

f (X1,X2,..., Xn) = ,

*Теорема Поста.* Система D = {f1, f2, ... fm} булевых функций является полной тогда и только тогда, когда среди функций этой системы существуют: функция, не сохраняющая константу 0, функция, не сохраняющая константу 1, а также нелинейная, несамодвойственная и немонотонная функции.

34 теоремы булевой алгебры

**Теоремы булевой алгебры**. Теоремы булевой алгебры отражают связи, существующие между операциями, выполняемыми над логическими переменными. Сформулируем наиболее важные из них. При этом, так как логические операции подчиняются [принципу двойственности](http://radioelpribori.ru/logicheskie-elementyi-i-shemyi-printsip-dvoystvennosti.html), соответственно попарно сгруппируем все однотипные теоремы по столбцам:



Выражения **8** носят названия **теорем Де-Моргана**; выражения **9** — **теорем поглощения**; выражения **12** — **теорем склеивания**.

Справедливость всех вышеперечисленных теорем может быть легко доказана с использованием метода совершенной индукции, т.е. непосредственной подстановкой.

*Разъяснения*

## Теоремы булевой алгебры

### 1. Закон сложения с нулем и единицей

http://www.tehcollege.narod.ru/paskal/bul.gif

### 2. Закон умножения на ноль и единицу

http://www.tehcollege.narod.ru/paskal/bul2.gif

### 3. Закон идемпотентности

http://www.tehcollege.narod.ru/paskal/bul3.gif

### 4. Законы операций с переменной и ее инверсией

http://www.tehcollege.narod.ru/paskal/bul5.gif

### 5. Закон двойного отрицания

http://www.tehcollege.narod.ru/paskal/bul6.gif

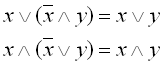
### 6. Закон коммутативности

http://www.tehcollege.narod.ru/paskal/bul7.gif

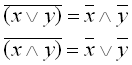
### 7. Законы поглощения

http://www.tehcollege.narod.ru/paskal/bul8.gif

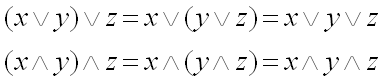
### 8. Законы поглощения с отрицанием



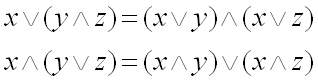
### 9. Закон де Моргана



### 10. Закон ассоциативности



### 11. Закон дистрибутивности



35

При синтезі автоматів передбачається побудова їх структурної схеми, тобто визначення складу логічних елементів та сполучень між ними, при яких забезпечується перетворення вхідних цифрових сигналів у вихідні згідно з технічним завданням на розробку. У процесі синтезу автомата, у першу чергу ставлять питання про необхідність мінімізації апаратних витрат на КС.

Розглянемо порядок синтезу комбінаційної схеми з одним виходом. Послідовність синтезу доцільно розбити на ряд етапів.

1. Записування умов функціонування КС. Як вже зазначалось раніше, ці умови можуть бути задані на словах, при допомозі таблиць істинності або логічними виразами.

2. Складання структурної схеми, тобто зображення перемикальної функції у вигляді комбінаційної схеми на логічних елементах заданого базису.

3. Записування та мінімізація логічного виразу. Як правило, робиться на основі таблиць істинності. Якщо умови на етапі 1 задані у вигляді слів, то з врахуванням їх складається таблиця істинності. Якщо логічний вираз присутній на етапі 1, то виконується його мінімізація. У процесі мінімізації використовується перетворення за допомогою співвідношень алгебри логіки, а також алгебраїчні та графічні методи.

4. Записування мінімізованої структурної формули у заданому базисі. Оскільки реалізація КС на інтегральних схемах передбачає широке використання елементів I-НЕ, АБО-НЕ, І-АБО-НЕ (див. роз.2), то часто виникає потреба відповідних перетворень структурних формул із врахуванням елементної бази, яка задається.

5. Складання структурної схеми, тобто зображення необхідних логічних елементів та сполучень між ними.

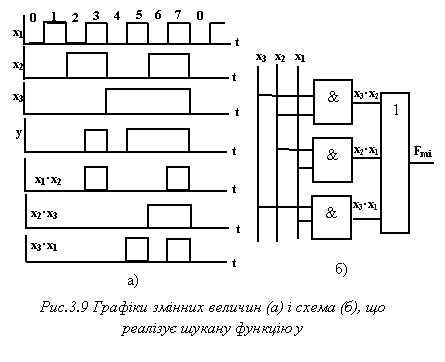
*Приклад 3.*

Синтезувати логічну комбінаційну схему, яка б забезпечила при заданих змінних х1, х2, х3 вихідну величину *у*, що дорівнює лог. 1 при наборах у3, у5, у6, у7. Графік вхідних і вихідної змінної зображено на рис.3.9.

 Запишемо шукану функцію у вигляді ДДНФ

http://elib.lutsk-ntu.com.ua/book/fepes/fizyka_ta_elektrotehnika/2011/11-83/page21.files/image024.gif. Мінімізуємо цю формулу з допомогою карти Карно для трьох змінних

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | http://elib.lutsk-ntu.com.ua/book/fepes/fizyka_ta_elektrotehnika/2011/11-83/page21.files/image026.gif |  |  |  |  | **http://elib.lutsk-ntu.com.ua/book/fepes/fizyka_ta_elektrotehnika/2011/11-83/page21.files/image027.gifhttp://elib.lutsk-ntu.com.ua/book/fepes/fizyka_ta_elektrotehnika/2011/11-83/page21.files/image028.gif**1 |  |
|  | http://elib.lutsk-ntu.com.ua/book/fepes/fizyka_ta_elektrotehnika/2011/11-83/page21.files/image030.gif | http://elib.lutsk-ntu.com.ua/book/fepes/fizyka_ta_elektrotehnika/2011/11-83/page21.files/image032.gif | http://elib.lutsk-ntu.com.ua/book/fepes/fizyka_ta_elektrotehnika/2011/11-83/page21.files/image034.gif |  | **http://elib.lutsk-ntu.com.ua/book/fepes/fizyka_ta_elektrotehnika/2011/11-83/page21.files/image035.gif**1 | 1 | 1 |

****

Мінімізована функція http://elib.lutsk-ntu.com.ua/book/fepes/fizyka_ta_elektrotehnika/2011/11-83/page21.files/image039.gif=у.

Електрична схема, що реалізує мінімізовану функцію Fmin може бути виконана на логічних схемах серії К555 базису І, АБО, чи базису АБО-НЕ. Сигнали, що будуть на виходах логічних схем, які реалізують функції І зображені на рис.3.9,а, а загальна схема зображена на рис.3.9,б.

Реалізована схема на ІС ТТЛ серії К555 ЛИ (один корпус) та К555ЛЛІ (один корпус).