



GEBZE TEKNİK ÜNİVERSİTESİ
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 1 Deney Raporu

Temel Lojik Devreler ve Boolean Cebri

Hazırlayanlar
1) 200102002031 – Beyza Duran
2) 200102002043 – Senanur Ağaç

1. Teorik Araştırma

Boolean cebiri elektronik devre tasarımının temel matematiğidir. Bütün elektronik çipler Boolean matematiğine dayanır. Boolean matematiğini bildikten sonra bilgisayarın ve çiplerin nasıl çalıştığını rahatlıkla anlayabiliriz. Eğer elektronik bilgimiz varsa kendi devrelerimizi de tasarlayabiliriz. George Boole 1854 yılında Aristo'nun mantık bilimine sembolik bir hal vermek istedi ve bununla alakalı bir tez yayınladı. "Düşünce Bilimi Üzerine, Olasılıklar ve Mantığın Matematiksel Teorileri Hakkında Bir Araştırma". Matematiksel bazı kuralları olabilecek iki değerle sınırlayarak (1 ve 0 - doğru ya da yanlış) yeniden kodladı. Oluşturduğu bu sistemi Boolean Cebri olarak tanımlandı.

Boolean işlemlerinde sadece 0 ve 1 kullanılır. 0 ve 1 dışındaki ihtimaller kesinlikle kabul görmez. George Boole den sonra Claude Shannon ise tüm elektriksel sinyallerin 1 (high) ve 0 (low) şeklinde ifade edilerek Boolean cebirinin açık ve kapalı devrelere nasıl uygulanacağını gösterdi. Boolean aritmetiğine geçmeden önce şunu kesinlikle kavramamız gerekir Boolean sayılar ve binary sayılar ayrı şeylerdir. Boolean matematikten farklı bir sistemi varken binary reel sayıların farklı bir yazım türüdür. Bunun farkını kesinlikle bilmemiz gerekir. Binary de 0 ve 1'i yan yana getirerek farklı şeyler elde edebiliriz ama Boolean tek bitle ifade edilir yani 0 ya da 1 dir.

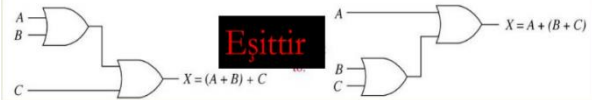
Boolean kanunları

- Değişme özelliği: VE , VEYA işlemlerinde değişkenlerin sırası önemli değildir.
- $A + B = B + A$



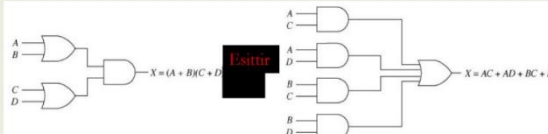
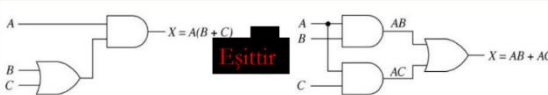
Boolean kanunları ve kuralları

- VE, VEYA işlemlerinde birleşme özelliği.
- $A + (B + C) = (A + B) + C$



Boolean kanunları ve kuralları

- Dağılım Özelliği
- $A(B + C) = AB + AC$



BOOLEAN KURALLARI

- | | |
|----------------------|-------------------------------|
| 1. $A + 0 = A$ | 7. $A \cdot A = A$ |
| 2. $A + 1 = 1$ | 8. $A \cdot \bar{A} = 0$ |
| 3. $A \cdot 0 = 0$ | 9. $\bar{\bar{A}} = A$ |
| 4. $A \cdot 1 = A$ | 10. $A + AB = A$ |
| 5. $A + A = A$ | 11. $A + \bar{A}B = A + B$ |
| 6. $A + \bar{A} = 1$ | 12. $(A + B)(A + C) = A + BC$ |

Boolean İfadelerin Standart Formları

- Çarpımların toplamı Product-of-sums (POS) form
- Toplamların Çarpımı Sum-of-products (SOP) form

ÇARPIMLARIN TOPLAMI

- Çarpımların toplamı şeklindeki eşitliklerde önce VE geçidi kullanılarak çarpma yapılır ve sonra birden fazla çarpım VEYA geçidi kullanılarak toplanır. Örnek olarak aşağıdaki eşitlikleri verebiliriz;

$$\begin{aligned}
 &AB + BCD \\
 &ABC + DEC \\
 &\overline{A}BC + D\overline{E}FG + AEG \\
 &\overline{A}BC + \overline{A}BC + ABC
 \end{aligned}$$

TOPLAMLARIN ÇARPIMI (TÇ)

- Toplamların çarpımı şeklindeki ifadeler birden fazla VEYA işleminin sonucunu VE işlemine tabi tutulmuş halidir.

• Örnek:

$$\begin{aligned}
 &(A + B)(B + C + D) \\
 &(A + B + C)(D + E + F) \\
 &(A + B + C)(D + C + \overline{F} + G)(A + \overline{F} + \overline{G})
 \end{aligned}$$

- TÇ ifadelerin bazılarında çarpımlardan biri veya birkaçı tek değişken olabilir.

$$A(B + C + D)(E + F + G)$$

Table 2.1 Axioms of Boolean algebra

	Axiom		Dual	Name
A1	$B = 0 \text{ if } B \neq 1$	A1'	$B = 1 \text{ if } B \neq 0$	Binary field
A2	$\overline{0} = 1$	A2'	$\overline{1} = 0$	NOT
A3	$0 \bullet 0 = 0$	A3'	$1 + 1 = 1$	AND/OR
A4	$1 \bullet 1 = 1$	A4'	$0 + 0 = 0$	AND/OR
A5	$0 \bullet 1 = 1 \bullet 0 = 0$	A5'	$1 + 0 = 0 + 1 = 1$	AND/OR

Table 2.2 Boolean theorems of one variable

	Theorem		Dual	Name
T1	$B \bullet 1 = B$	T1'	$B + 0 = B$	Identity
T2	$B \bullet 0 = 0$	T2'	$B + 1 = 1$	Null Element
T3	$B \bullet B = B$	T3'	$B + B = B$	Idempotency
T4		$\overline{\overline{B}} = B$		Involution
T5	$B \bullet \overline{B} = 0$	T5'	$B + \overline{B} = 1$	Complements

Table 2.3 Boolean theorems of several variables

	Theorem		Dual	Name
T6	$B \bullet C = C \bullet B$	T6'	$B + C = C + B$	Commutativity
T7	$(B \bullet C) \bullet D = B \bullet (C \bullet D)$	T7'	$(B + C) + D = B + (C + D)$	Associativity
T8	$(B \bullet C) + (B \bullet D) = B \bullet (C + D)$	T8'	$(B + C) \bullet (B + D) = B + (C \bullet D)$	Distributivity

Table 2.4 Equation minimization

Step	Equation	Justification
	$\overline{A} \overline{B} \overline{C} + A \overline{B} \overline{C} + A \overline{B} C$	
1	$\overline{B} \overline{C}(\overline{A} + A) + A \overline{B} C$	T8: Distributivity
2	$\overline{B} \overline{C}(1) + A \overline{B} C$	T5: Complements
3	$\overline{B} \overline{C} + A \overline{B} C$	T1: Identity

Table 2.5 Improved equation minimization

Step	Equation	Justification
	$\overline{A} \overline{B} \overline{C} + A \overline{B} \overline{C} + A \overline{B} C$	
1	$\overline{A} \overline{B} \overline{C} + A \overline{B} \overline{C} + A \overline{B} \overline{C} + A \overline{B} C$	T3: Idempotency
2	$\overline{B} \overline{C}(\overline{A} + A) + A \overline{B}(\overline{C} + C)$	T8: Distributivity
3	$\overline{B} \overline{C}(1) + A \overline{B}(1)$	T5: Complements
4	$\overline{B} \overline{C} + A \overline{B}$	T1: Identity

2. Problemler

2.1 Problem 1 – Boolean Cebri

$$A \overline{B} \overline{C} + \overline{A} \overline{B} C + A \overline{B} C + \overline{A} B C + A B C + A \overline{B} \overline{C}$$

Denklem 1

- Denklem 1'de verilen Boolean denkleminin doğruluk tablosunu çıkararak, devrenin bütün olası giriş kombinasyonlarına ne şekilde cevap verdiğini hesaplayınız.
- Denklemin devre şemasını olduğu gibi çizerek fonksiyonel simülasyonunu yapınız. Girişlere bütün olası kombinasyonları uygulayınız ve çıkış sinyalini gözlemleyiniz.
- Simülasyon sonuçları ile, teorik hesaplarınızı karşılaştırınız.
- Devrenin, sentezleme sonucunda ne kadar yer kapladığı hakkında bilgi veriniz, sentezlenen RTL ve eşleştirme ardı devre şemalarını ekleyiniz.

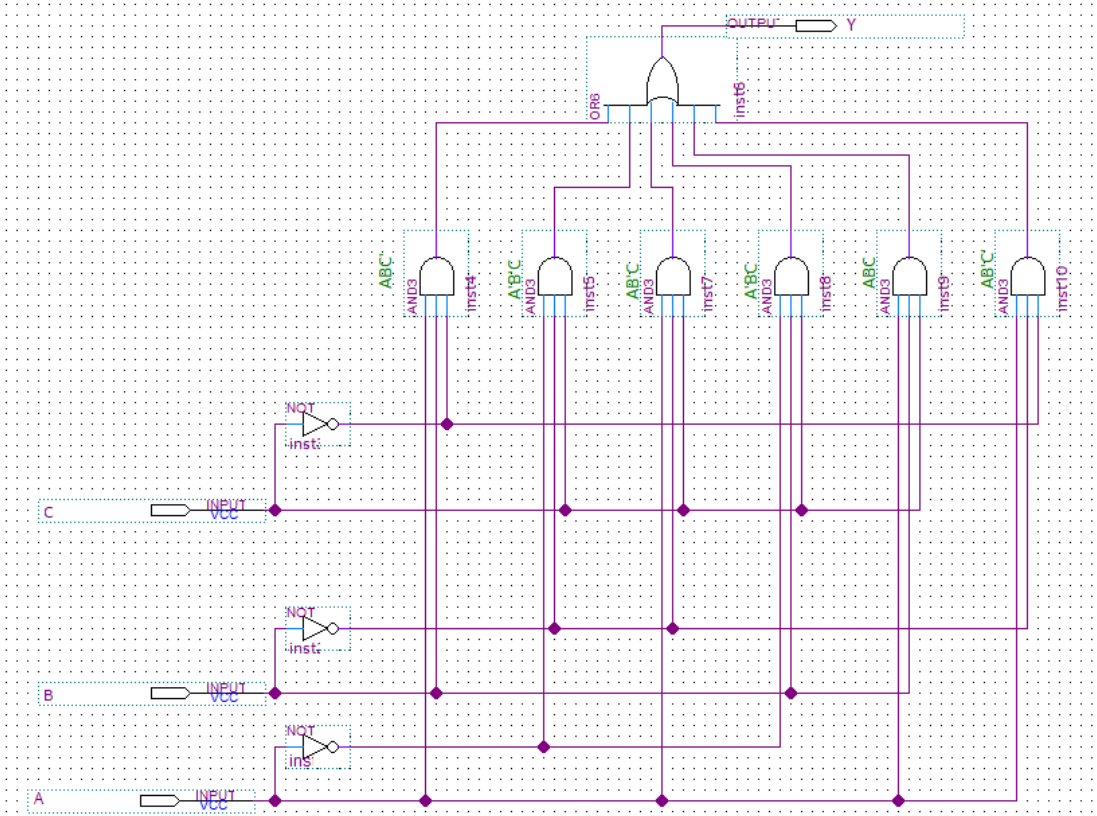
A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Tablo 1 : Değerlendirme Tablosu

2.1.1 Problemin çözümü

A . Sum of Product (çarpımların toplamı) şeklinde verilen Denklem-1, 0 ve 1 değerlerinin A, B, C input girişlerine verilmesi ile çözülmüştür ve Tablo1'de Y(output) sonucu olarak gösterilmiştir. Sum of Product işlemi yapılırken önce denklemin öğelerine kendi aralarında and işlemi uygulanır, daha sonra bu öğelere or işlemi uygulanır. Dolayısıyla öğelerden birinin sonucunun 1 çıkması ile Y çıkışı 1 değerini alır.

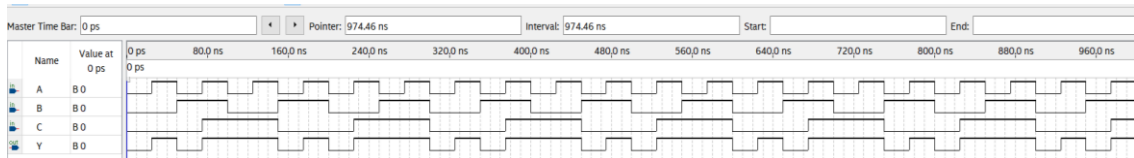
B. Şekil 1' de Denklem1'de verilen giriş ve çıkışlara göre A , B, C inputları tanımlanmış olup gerekli OR ve AND işlemleri uygulandıktan sonra Y çıkış sinyali verecek şekilde tasarlanan lojik devre bulunmaktadır. Denklem 1'de verildiği gibi 3 girişli 6 tane AND kapısı ve bu kapılardan çıkan sinyallerin toplandığı 6 girişli 1 tane OR kapısı kullanılmıştır.



Şekil1-Lojik Devre Tasarımı

Şekil2’de Denklem1’e göre hazırlanan devrenin fonksiyonel simülasyon çıktısı verilmiştir. Dalga formlarının tepe çizgileri 1, tümsek çizgileri 0 değerini ifade etmektedir.

A, B, C giriş sinyallerinin periyot değerleri sırayla 50ns, 100ns, 150ns olacak şekilde ayarlanmıştır.



Şekil2 : Fonksiyonel Simülasyon

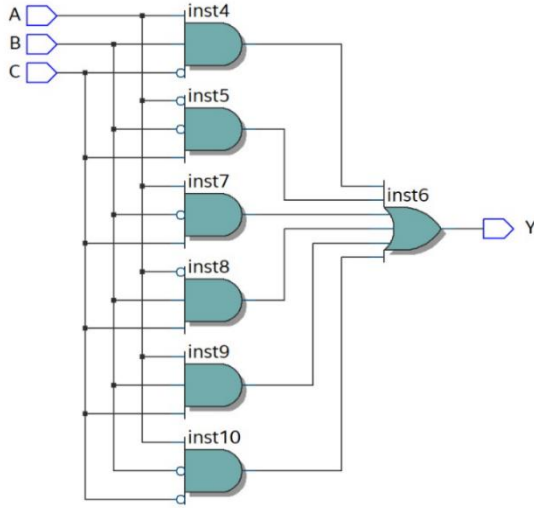
C.

A	B	C	ABC'	$A'B'C$	$AB'C$	$A'BC$	ABC	$AB'C'$	Y
0	0	0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	1
0	1	0	0	0	0	0	0	0	0
0	1	1	0	0	0	1	0	0	1
1	0	0	0	0	0	0	0	1	1
1	0	1	0	0	1	0	0	0	1
1	1	0	1	0	0	0	0	0	1
1	1	1	0	0	0	0	1	0	1

Şekil3 : Denklem1 Doğruluk Tablosu

Denklemin detaylı çözümü Şekil3' te gösterilmiştir. Simülasyon çıktısında dalganın tepe ve tümsek çizgilerine göre oluşturduğu değerler ile Şekil3'te verilen doğruluk tablosunda Y çıkış sinyali değerleri ile uyuşmaktadır. Yapılan teorik hesaplama ve simülasyon çıktıları örtüşmektedir.

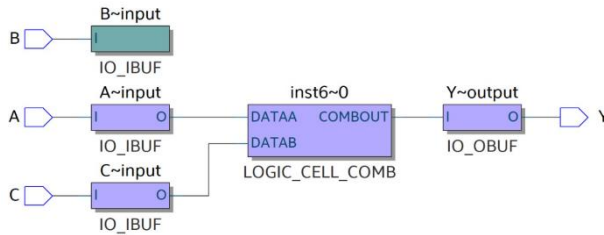
D.



Şekil4 : Lojik devrenin RTL Devre Şeması

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Mar 13 22:35:19 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	intro_top
Top-level Entity Name	intro_top
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	1
Total registers	0
Total pins	4
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

Şekil6 : Analiz ve Sentez Özeti



Şekil5 : Lojik devrenin eşleştirme ardı teknoloji şeması

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	4
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst6~0
15	Maximum fan-out	1
16	Total fan-out	7
17	Average fan-out	0.78

Şekil7 : Analiz ve Sentez Kaynak Kullanım Özeti

2.1.2. Problemin Sonucu

Sum of Product formunda verilen Denklem1 teorik olarak çözülmüş ve doğruluk şeması çıkarılmıştır. Daha sonra Quartus-Prime programı üzerinden devre kurulup (Şekil 1) simüle edilerek sonuçlar karşılaştırılmıştır. Devrenin RTL devre şeması, eşleştirme ardı devre şeması, analiz ve sentez özeti, analiz ve sentez kullanım özetinin çıktıları verilmiştir.

2.2. Problem 2 - Boolean Teoremleri Kullanarak Devre Sadeleştirme

- A. Denklem 1'de verilen Boolean Denklemi, Boolean Teoremler kullanarak en sade şekline getiriniz. Kullandığınız teoremleri belirtiniz.
- B. Sadeleştirilmiş denklemin doğruluk tablosunu çıkarınız.
- C. Sadeleştirilmiş denklemin devre şemasını çizerek fonksiyonel simülasyonunu yapınız. Girişlere bütün olası kombinasyonları uygulayınız ve çıkış sinyalini gözlemleyiniz.
- D. Simülasyon sonuçları ile, teorik hesaplarınızı karşılaştırınız.
- E. Devrenin, sentezleme sonucunda ne kadar yer kapladığı hakkında bilgi veriniz, sentezlenen RTL ve eşleştirme ardı devre şemalarını ekleyiniz. Problem 1'deki devre sentezi ile karşılaştırınız ve sonuçları yorumlayınız

2.2.1. Problemin Çözümü

A.

$$AB\bar{C} + \bar{A}\bar{B}C + A\bar{B}C + \bar{A}BC + ABC + A\bar{B}\bar{C}$$

Denklem 1

$$AB(\bar{C} + C) + A\bar{B}(C + \bar{C}) + \bar{A}C(B + B') \quad (1.1) - \text{Combining teoremi}$$

$$AB + A\bar{B} + \bar{A}C \quad (1.2)$$

$$A(B + \bar{B}) + \bar{A}C \quad (1.3) - \text{Combining teoremi}$$

$$A + \bar{A}C \quad (1.4)$$

$$A + C \quad (1.5) - \text{Absorption teoremi}$$

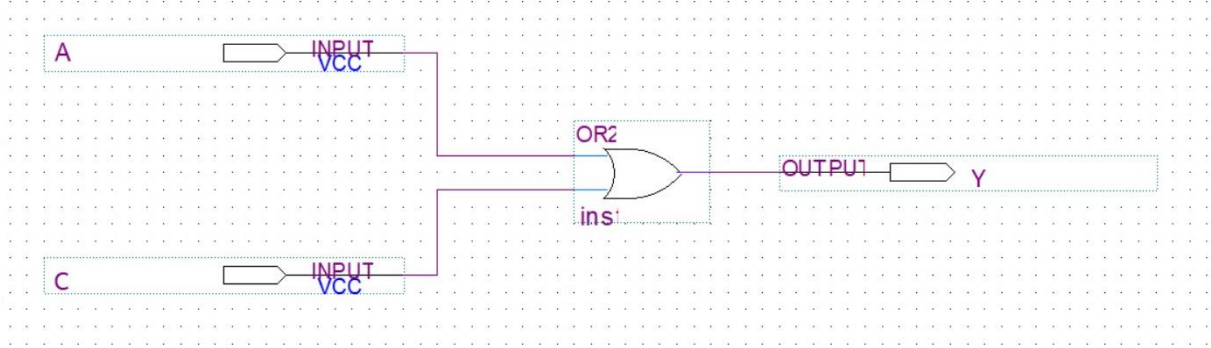
B.

A	C	Y
0	0	0
0	1	1
1	0	1
1	1	1

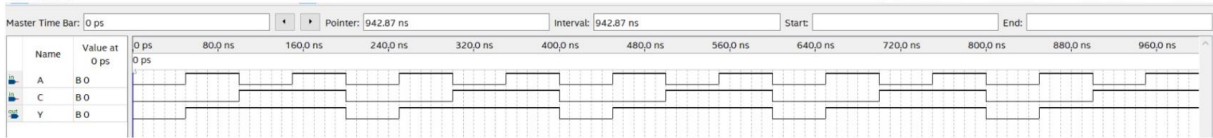
Tablo 2: Doğruluk Tablosu

C.

Şekil 8’ de A ve C giriş sinyallerinin OR işlemi uygulanıp Y çıkış sinyali verildiği lojik devre şeması verilmiştir.



Şekil8-Sadeleştirilmiş Denklemın Lojik Devre Tasarımı

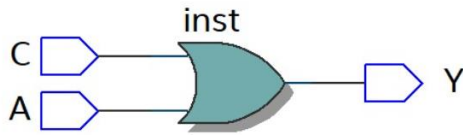


Şekil 9 :Sadeleştirilmiş denklemın Fonksiyonel Simülasyon

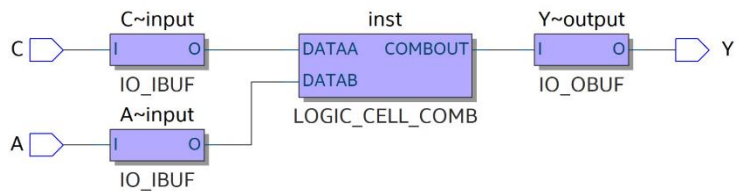
D.

Denklemin sadeleştirilmiş hali (1.5)’te gösterilmiştir. Simülasyon çıktısında dalganın tepe ve tümsek çizgilerine göre oluşturduğu değerler ile Tablo 2’de verilen doğruluk tablosunda Y çıkış sinyali değerleri ile uyuşmaktadır. Yapılan teorik hesaplama ve simülasyon çıktıları örtüşmektedir.

E.



Şekil10 : Sadeleştirilmiş lojik devrenin RTL Devre Şeması



Şekil10 : Sadeleştirilmiş lojik devrenin eşleştirme ardı teknoloji şeması

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Mar 14 00:23:40 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	sena_agac
Top-level Entity Name	sena_agac
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	1
Total registers	0
Total pins	3
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

Şekil11 : Analiz ve Sentez Özeti

Analysis & Synthesis Resource Usage Summary		
<<Filter>>		
	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	3
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst
15	Maximum fan-out	1
16	Total fan-out	6
17	Average fan-out	0.86

Şekil12 : Analiz ve Sentez Kaynak Kullanım Özeti

Şekil 10’da verilen RTL sentezi Şekil 4’e göre daha sadedir ve daha az pin, bağlantı ve işlem içermektedir. Şekil 4’te AND ve OR işlemleri sırası ile yapılırken Şekil 10’da sadece OR işlemi yapılmaktadır.

2.2.2. Problemin Sonucu

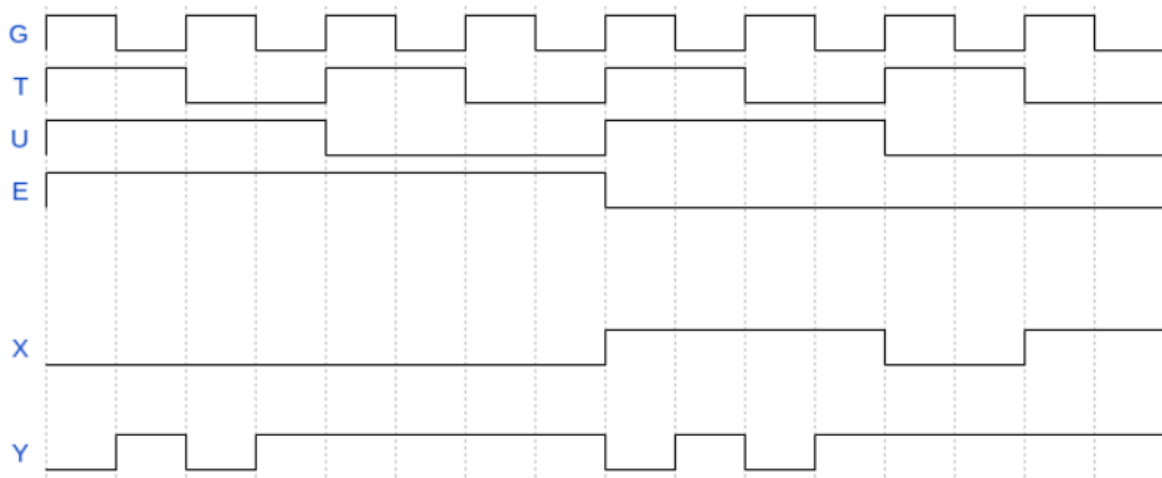
Denklem1 A şıkında verilen teoremler ile sadeleştirilmiştir ve doğruluk şeması çıkarılmıştır. Quartus-Prime programı üzerinden devre kurulup (Şekil 8) simüle edilerek sonuçlar karşılaştırılmıştır. Devrenin RTL devre şeması, eşleştirme ardı devre şeması, analiz ve sentez özeti, analiz ve sentez kullanım özetinin çıktıları verilmiştir. Denklem1 sadeleşmesi ile devrenin de sadeleştiği ve buna bağlı olarak sentezlenen RTL şemasında pin sayısının azaldığı gözükmemektedir.

2.2 Problem 3 - Dalga şekli yardımıyla devre tasarlama

A. Şekil 1'de verilen dalga şekline sahip iki farklı devre için doğruluk tablosu oluşturunuz. GTUE etiketli devrelerin 4 girişi, X ve Y etiketleri ise devrelerin çıkışlarını temsil etmektedir. Doğruluk tablosunu kullanarak Boolean denklemleri elde ediniz. (PoS veya SoP formunu kullanabilirsiniz). Boolean Teoremler kullanarak en sade şekline getiriniz. Kullandığınız teoremleri belirtiniz.

B. Sadeleştirilmiş hali ile devreleri çiziniz (Her çıkış için bir devre) ve fonksiyonel simülasyonlarını yapınız.

C. Devrenin, sentezleme sonucunda ne kadar yer kapladığı hakkında bilgi veriniz, sentezlenen RTL ve eşleştirme ardı devre şemalarını ekleyiniz ve Şekil 1'de verilen dalga şekli ile karşılaştırınız.



Şekil 1

2. 3.1 Problemin Çözümü

A.

G	T	U	E	X	Y
1	1	1	1	0	0
0	1	1	1	0	1
1	0	1	1	0	0
0	0	1	1	0	1
1	1	0	1	0	1
0	1	0	1	0	1
1	0	0	1	0	1
0	0	0	1	0	1
1	1	1	0	1	0
0	1	1	0	1	1
1	0	1	0	1	0
0	0	1	0	1	1
1	1	0	0	0	1
0	1	0	0	0	1
1	0	0	0	1	1
0	0	0	0	1	1

Tablo 3: Doğruluk Tablosu

Yukarıda dalga şekli verilen simülasyon sonucunun doğruluk tablosu Tablo3'te gösterilmiştir. X çıkışı için SoP, Y çıkışı için PoS formu Boolean denklemlerini yazmak için kullanılmıştır.

X Denklemi :

$$\bar{G}\bar{T}\bar{U}\bar{E} + G\bar{T}\bar{U}\bar{E} + \bar{G}\bar{T}U\bar{E} + G\bar{T}U\bar{E} + \bar{G}T\bar{U}\bar{E} + GT\bar{U}\bar{E} \quad (2.1) - \text{Combining teoremi}$$

$$\bar{T}\bar{U}\bar{E}(\bar{G} + G) + \bar{T}U\bar{E}(\bar{G} + G) + T\bar{U}\bar{E}(\bar{G} + G) \quad (2.2)$$

$$\bar{T}\bar{U}\bar{E} + \bar{T}U\bar{E} + TU\bar{E} \quad (2.3) - \text{Combining teoremi}$$

$$\bar{E}(\bar{T}\bar{U} + \bar{T}U + TU) \quad (2.4) \text{ Combining teoremi}$$

$$\bar{E}(TU + \bar{T}) \quad (2.5) - \text{Absorption teoremi}$$

$$\bar{E}(U + \bar{T}) \quad (2.6) - X \text{ Denklemi}$$

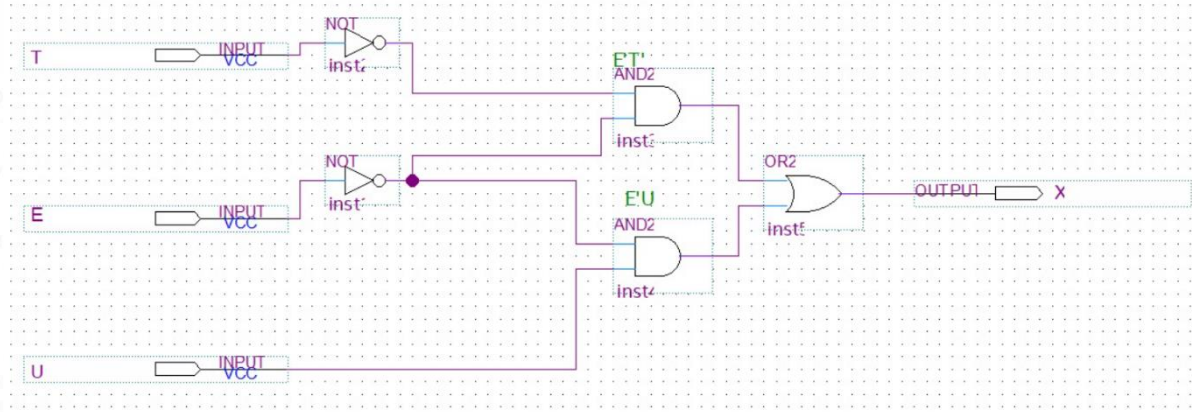
Y Denklemi :

$$(\bar{G} + \bar{T} + \bar{U} + \bar{E})x(\bar{G} + T + \bar{U} + \bar{E})x(\bar{G} + \bar{T} + \bar{U} + E)x(\bar{G} + T + \bar{U} + E) \quad (3.1) - \text{Combining teoremi}$$

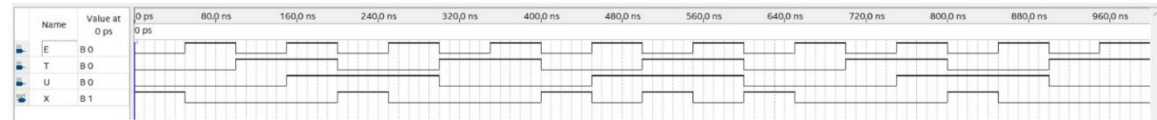
$$(\bar{G} + \bar{U} + \bar{E})x(\bar{G} + \bar{U} + E) \quad (3.2) - \text{Combining teoremi}$$

$$\bar{G} + \bar{U} \quad (2.1) - (3.3) \text{ Y denklemi}$$

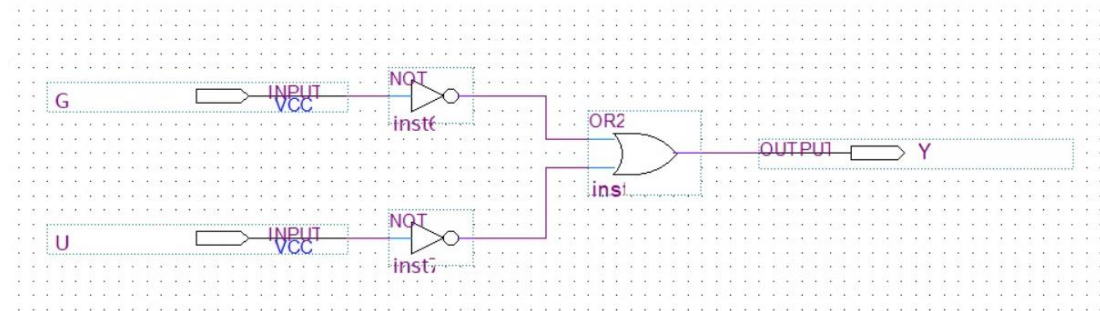
B.



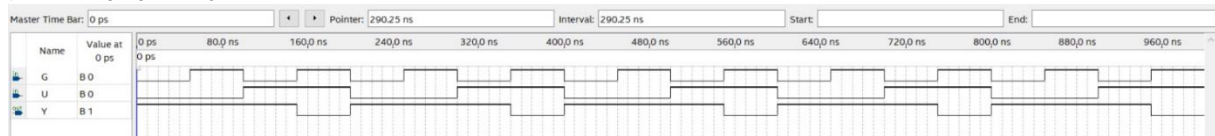
Şekil13-X çıkışının Lojik Devre Tasarımı



Şekil14-X çıkışının fonksiyonel simülasyonu

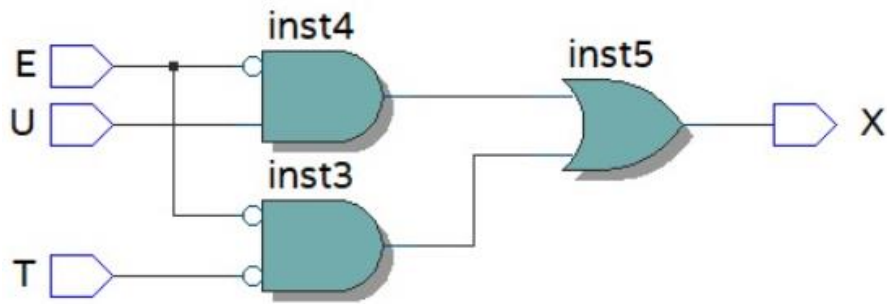


Şekil15-Y çıkışının Lojik Devre Tasarımı

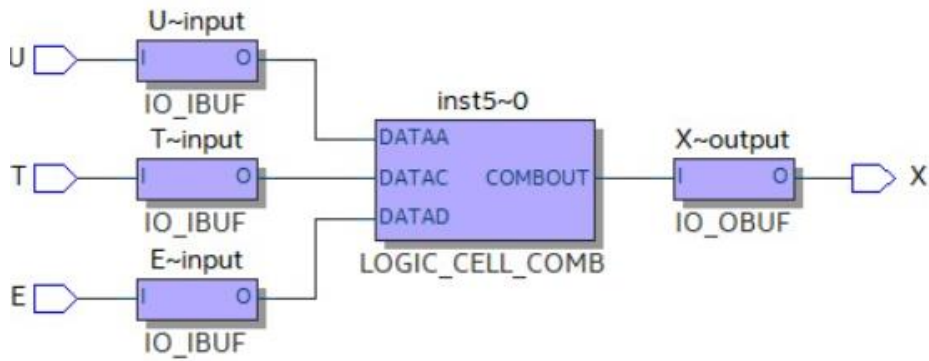


Şekil16-Y çıkışının fonksiyonel simülasyonu

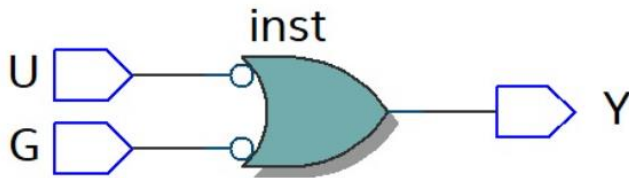
C.



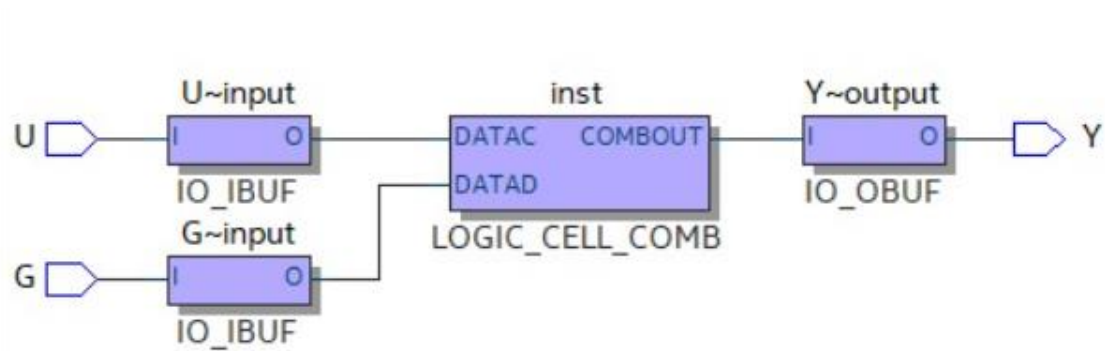
Şekil17 : X çıkışlı lojik devrenin RTL Devre Şeması



Şekil18 : X çıkışlı lojik devrenin eşleştirme ardı teknoloji şeması



Şekil19 : Y çıkışlı lojik devrenin RTL Devre Şeması



Şekil20 : Y çıkışlı lojik devrenin eşleştirme ardı teknoloji şeması

Flow Summary

<<Filter>>

Flow Status	Successful - Mon Mar 14 01:26:16 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	quartusinto_3_senabeyza
Top-level Entity Name	quartusinto_3_senabeyza
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	1
Total registers	0
Total pins	3
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

Şekil21 : Y çıkışı Analiz ve Sentez Özeti

Analysis & Synthesis Resource Usage Summary

<<Filter>>

	Resource	Usage
1	Estimated Total logic elements	1
2		
3	Total combinational functions	1
4	Logic element usage by number of LUT inputs	
1	-- 4 input functions	0
2	-- 3 input functions	0
3	-- <=2 input functions	1
5		
6	Logic elements by mode	
1	-- normal mode	1
2	-- arithmetic mode	0
7		
8	Total registers	0
1	-- Dedicated logic registers	0
2	-- I/O registers	0
9		
10	I/O pins	3
11		
12	Embedded Multiplier 9-bit elements	0
13		
14	Maximum fan-out node	inst
15	Maximum fan-out	1
16	Total fan-out	6
17	Average fan-out	0.86

Şekil22 : Y çıkışının Analiz ve Sentez Kaynak Kullanım Özeti

Flow Summary

<<Filter>>

Flow Status	Successful - Mon Mar 14 01:33:09 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	intro_top
Top-level Entity Name	intro_top
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	4
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Analysis & Synthesis Resource Usage Summary

<<Filter>>

	Resource	Usage
1	Estimate of Logic utilization (ALMs needed)	1
2		
3	Combinational ALUT usage for logic	1
1	-- 7 input functions	0
2	-- 6 input functions	0
3	-- 5 input functions	0
4	-- 4 input functions	0
5	-- <=3 input functions	1
4		
5	Dedicated logic registers	0
6		
7	I/O pins	4
8		
9	Total DSP Blocks	0
10		
11	Maximum fan-out node	inst5~0
12	Maximum fan-out	1
13	Total fan-out	8
14	Average fan-out	0.89

Şekil24 : Y çıkışının Analiz ve Sentez Kaynak Kullanım Özeti

2.3.2 Problemin Sonucu

Dalga şekilleri verilen giriş ve çıkış sinyallerine göre doğrulama tablosu yapılmış ve bu tablo üzerinden SoP ve PoS formları ile Boolean denklemleri yazılmıştır. Bu denklemler teoremler ile sadeleştirilmiş ve Quartus-Prime ile devre şemaları çizilmiştir. Çizilen şemalar simüle edilmiştir ve simülasyon çıktıları ile doğrulama tabloları kontrol edildiğinde sonuçların uyduğu görülmektedir. Devrelerin RTL devre şeması, eşleştirme ardı devre şeması, analiz ve sentez özeti, analiz ve sentez kullanım özetlerinin çıktıları verilmiştir.

KAYNAKÇA

<https://www.elektrikport.com/makale-detay/boole-cebri-sayisal-devreler/15399#ad-image->

Digital Desing and Computer Architecture – David Monet Harris & Sarah L. Harris

Ege Üniversitesi BOOLEAN ARİTMETİĞİ VE DEMORGAN TEOREMLERİ- Sayısal Elektronik slaytları