



GEBZE TEKNİK ÜNİVERSİTESİ  
ELEKTRONİK MÜHENDİSLİĞİ

ELM235

LOJİK DEVRE TASARIM LABORATUVARI

LAB 2 Deney Raporu

Birleşimli Mantık Devreleri ve Çözücüler

Hazırlayanlar
1) 200102002031 – Beyza Duran
2) 200102002043 – Senanur Ağaç

## 1. Teorik Araştırma



Giriş verileri; bir harici kaynaktan gelen ‘n’ sayıda ikili giriş değişkenlerini, çıkış verileri; bir harici devreye doğru yönelmiş ‘m’ sayıda çıkış değişkenlerini içerir. Giriş değişkenlerinin değeri,  $2^n$  sayıda farklı ikili giriş kombinasyonundan birisi olabilir ve her bir giriş kombinasyonu için yalnızca bir çıkış kombinasyonu mevcuttur.

### 1. BİLEŞİK DEVRE TASARIM ESASLARI

Lojik tasarımın içerdiği işlem basamakları aşağıdaki şekilde özetlenebilir:

- 1-Problem belirlenir.
- 2-Giriş değişkenlerinin sayısı ve gerekli çıkış değişkenleri tespit edilir.
- 3-Giriş ve çıkış olarak kullanılacak değişkenlere isim verilir.
- 4-Giriş ve çıkış değişkenleri arasındaki ilişkiyi belirleyen doğruluk tablosu oluşturulur.
- 5-Her bir çıkış için uygun Boolean fonksiyonu yazılır.
- 6-Elde edilen Boolean fonksiyonları sadeleştirilir.
- 7-Lojik devre çizilir.

### BİLEŞİK DEVRE TASARIM ESASLARI

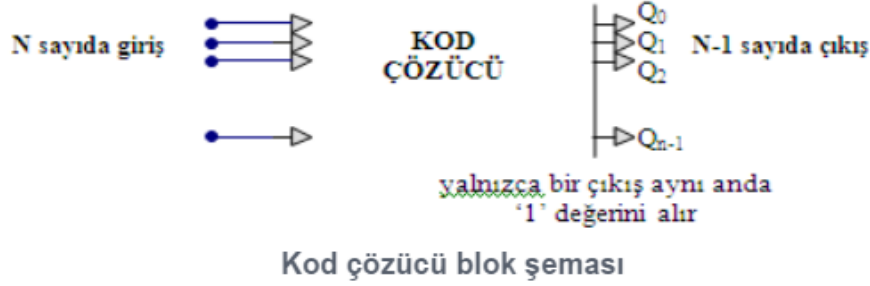
Doğruluk tablosundan elde edilen çıkış eşitliklerini sadeleştirmek için, sadeleştirme yöntemlerinden uygun olan birisi kullanılabilir. Sadeleştirilen eşitliklerin aşağıdaki özellikleri taşıması istenir:

- i-En az sayıda lojik kapı içermesi.
- ii-Her bir kapının en az sayıda girişe sahip olması.
- iii-Devrenin minimum yayılım zamanına sahip olması.
- iv-Devrenin minimum sayıda bağlantı içermesi.
- v-Her bir kapının, sürme kapasitesi sınırının altında elemanı sürmesi.

### KOD ÇÖZÜCÜLER (DECODERS)

Genel anlamı itibarıyla decoder bir kod çözücü olarak bilinir. Özellikle kodlanmış olan bir verinin ilk halinin yeniden elde edilmesi adına değerlendirilmektedir. Böylece teknolojik sistemler çok daha etkin bir şekilde çalışma imkanı elde eder. Bu yönüyle günümüzde birçok farklı alanda kullanıldığını dile getirmek mümkün.

Dijital sistemlerde bilgiler ikili sayılar olarak temsil edilir ve yapılan işlemler ikili sayılarla gerçekleştirilir. 'Kod çözücü' (decoder) devresi; kodlayıcı devresinin tersini yaparak, ‘n’ sayıdaki giriş hattından gelen ikili bilgileri maksimum  $2^n$  sayıda çıkış hattına dönüştüren bileşik bir devredir. Diğer bir deyişle; değişik formlarda ifade edilen bilgilerin insanların kolayca anlayabileceği şekle dönüştürülmesini sağlayan devreler, ‘kod çözücü devreler’ olarak isimlendirilir. Kodu çözülen ‘n’ bitli bilginin kullanılmayan girişleri varsa kod çözücü çıkışındaki çıkış sayısı  $2^n$  den az olur.



## 2. Problemler

### 2.1 Problem 1 - Çözücü Tasarımı

A. Şekil 1 deki 7BE elemanın bölmeleri Tablo 1 de verilen gösterimlerde yakmak için 4 girişli bir çözücü (decoder) devresinin doğruluk tablosunu oluşturunuz. Kullanılmayan giriş kombinasyonları için önemseme (don't care) kullanınız.

B. Her bir çıkış için K-Map kullanarak en sade Boolean cebri halini bulunuz. Önemseme koşullarını kendi lehinize kullanınız. Toplamda kaç devre elemanı kullandığınızı belirtiniz. (NOT kapıları da dahil)

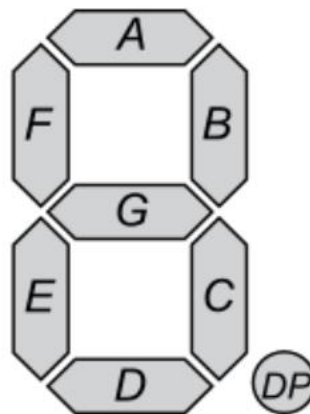
C. Bu devreleri çizerek, fonksiyonel simülasyonunu gerçekleyiniz. Her bir giriş kombinasyonundaki çıkışların doğruluğunu gözlemleyiniz.

D. Grup arkadaşınız ile devrelerinizi ve simülasyon sonuçlarını karşılaştırınız. Raporunuzda, farklılık gösteren veya aynı olan yerleri belirterek yorumlayınız. (Bunun için B ve C kısımlarını ayrı ayrı yapmanız beklenmektedir.)

E. Devrenin ne kadar yer kapladığını (resource utilization report), sentezlenen RTL ve eşleştirme ardı devre şemalarını ekleyerek yorumlayınız.

Girişler ( $x_3x_2x_1x_0$ )	7BE gösterimi
0000	-
0010	E
0011	3
0101	L
1100	C
1101	2
1110	5

Şekil1



Şekil2

#### 2.1.1 Problemin Çözümü

A .

Tablo 1: Doğruluk tablosu

İnput				Output							Gösterge
x3	x2	x1	x0	a	b	c	d	e	f	g	
0	0	0	0	0	0	0	0	0	0	1	-
0	0	0	1	x	x	x	x	x	x	x	
0	0	1	0	1	0	0	1	1	1	1	E
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	x	x	x	x	x	x	x	
0	1	0	1	0	0	0	1	1	1	0	L
0	1	1	0	x	x	x	x	x	x	x	
0	1	1	1	x	x	x	x	x	x	x	
1	0	0	0	x	x	x	x	x	x	x	
1	0	0	1	x	x	x	x	x	x	x	
1	0	1	0	x	x	x	x	x	x	x	
1	0	1	1	x	x	x	x	x	x	x	
1	1	0	0	1	0	0	1	1	1	0	C
1	1	0	1	1	1	0	1	1	0	1	2
1	1	1	0	1	0	1	1	0	1	1	5
1	1	1	1	x	x	x	x	x	x	x	

Şekil 1’de verilen gösterimleri verilen çıkışları 7BE’ de yakmak için ortak katot yöntemi kullanılması istenmiştir. Ortak katot yöntemi, e her bir girişe lojik 1 gönderildiğinde kendi bölmesini LED’in yanmasıdır. İstenen şekillerin yandığı durumlar için doğruluk tablosu Tablo1’de verilmiştir.

Tablo1’de istenmeyen durumlar için output çıkışları x (don’t care) olarak verilmiştir.

B )

- a çıkışı için ;

Tablo 2: a çıkışı için K-map tablosu

$x_1 - x_0$	00	01	11	10
$x_3 - x_2$				
00	0	x	1	1
01	x	0	x	x
11	1	1	x	1
10	x	x	x	x

Boolean cebri  $a = x_3 + x_1$

- b çıkışı için ;

Tablo 3: b çıkışı için K-map tablosu

$x_1, x_0$ $x_3, x_2$	0 0	0 1	1 1	1 0
0 0	0	x	1	0
0 1	x	0	x	x
1 1	0	1	x	0
1 0	x	x	x	x

Boolean cebri 1 -  $b = x_3, x_0 + x_1, x_0$

Boolean cebri 2 -  $b = x_2', x_0 + x_3, x_0$

- c çıkışı için ;

Tablo 4 : c çıkışı için K-map tablosu

$x_1, x_0$ $x_3, x_2$	0 0	0 1	1 1	1 0
0 0	0	x	1	0
0 1	x	0	x	x
1 1	0	0	x	1
1 0	x	x	x	x

Boolean cebri -  $c = x_2', x_0 + x_1, x_2$

- d çıkışı için ;

Tablo 5 : d çıkışı için K-map tablosu

$x_1, x_0$ $x_3, x_2$	0 0	0 1	1 1	1 0
0 0	0	x	1	1
0 1	x	1	x	x
1 1	1	1	x	1
1 0	x	x	x	x

Boolean cebri  $d = x_2 + x_1$

- e çıkışı için ;

Tablo 6 : e çıkışı için K-map tablosu

$x_1 - x_0$ $x_3 - x_2$	0 0	0 1	1 1	1 0
0 0	0	x	0	1
0 1	x	1	x	x
1 1	1	1	x	0
1 0	x	x	x	x

Boolean cebri 1 -  $e = x_1 \cdot x_0' + x_3' \cdot x_2 + x_1' \cdot x_3$

Boolean cebri 2 -  $e = x_1 \cdot x_0' \cdot x_3' + x_1'$

- f çıkışı için ;

Tablo 7: f çıkışı için K-map tablosu

$x_1 - x_0$ $x_3 - x_2$	0 0	0 1	1 1	1 0
0 0	0	x	0	1
0 1	x	1	x	x
1 1	1	0	x	1
1 0	x	x	x	x

Boolean cebri 1 -  $f = x_2 \cdot x_0' + x_3' \cdot x_2 + x_1 \cdot x_0'$

Boolean cebri 2 -  $f = x_0' \cdot x_3 + x_2 \cdot x_3 + x_1 \cdot x_0$

- g çıkışı için ;

Tablo 8: g çıkışı için K-map tablosu

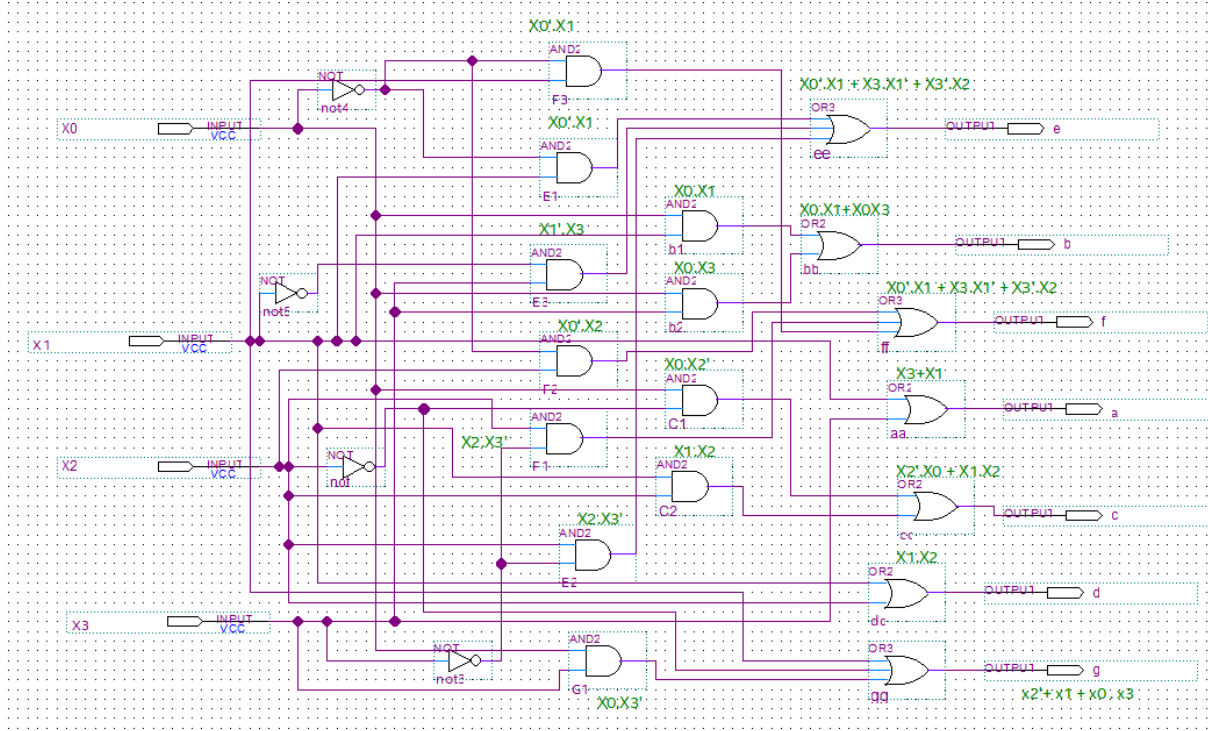
$x_1 - x_0$ $x_3 - x_2$	0 0	0 1	1 1	1 0
0 0	1	x	1	1
0 1	x	0	x	x
1 1	0	1	x	1
1 0	x	x	x	x

Boolean cebri 2 -  $f = x_2' + x_1 + x_0 \cdot x_3$

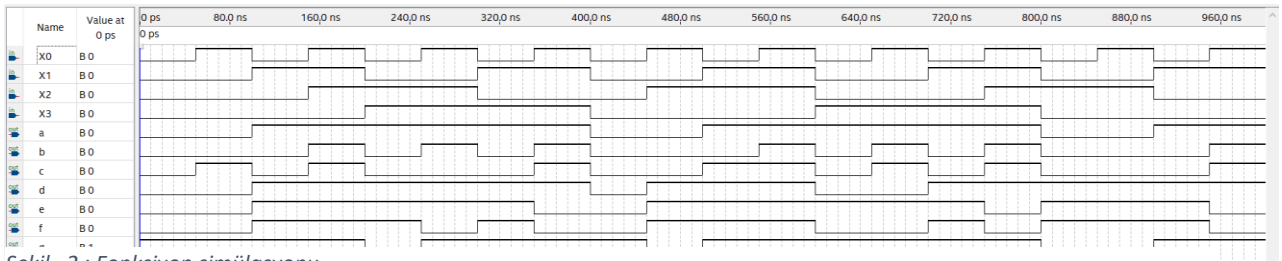
Sena'nın K-map tablolarına göre tasarlanmış olduğu devrelerde 11 and kapısı, 7 or kapısı, 4 not kapısı olmak üzere toplam 22 devre elemanı kullanılmıştır. Beyzanın tasarlanmış olduğu devrelerde ise 9 and kapısı, 7 or kapısı ve 7 not kapısı olmak üzere toplam 23 devre elemanı kullanılmıştır.

C)

Sena'nın devresi :



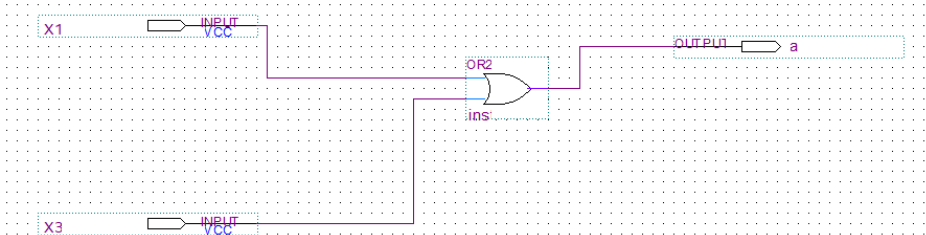
Şekil 1 : Senanın tasarladığı devre



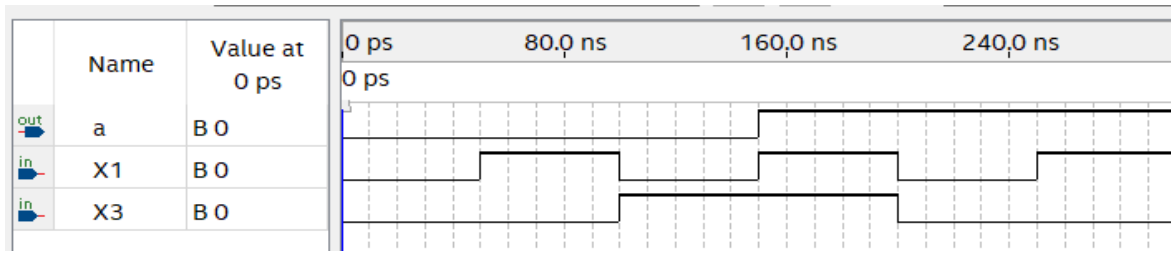
Şekil 2 : Fonksiyon simülasyonu

Beyza'nın devresi :

- a çıkışı için

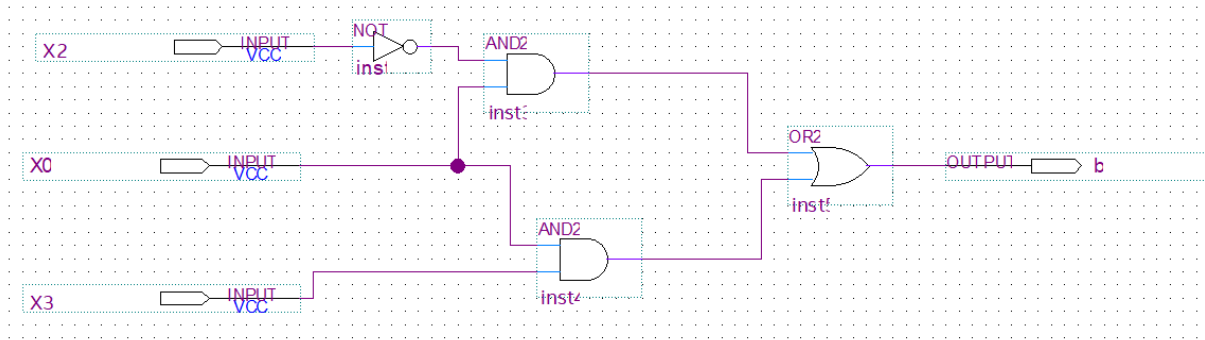


Şekil 3 : a çıkışı için tasarlanan devre

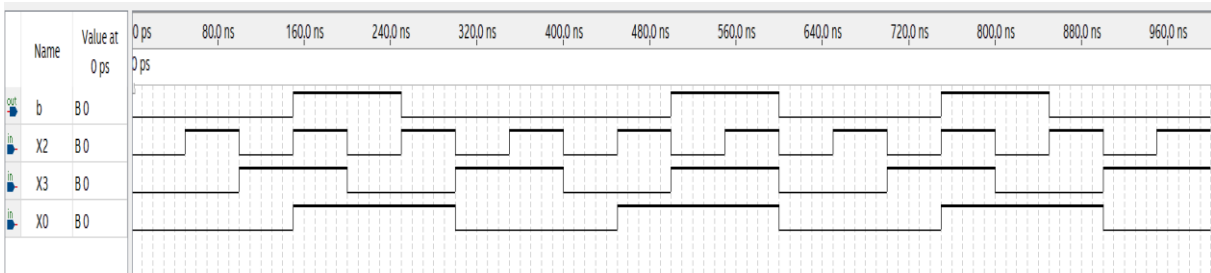


Şekil 4 : a çıkışı fonksiyon simülasyonu

- b çıkışı için ;

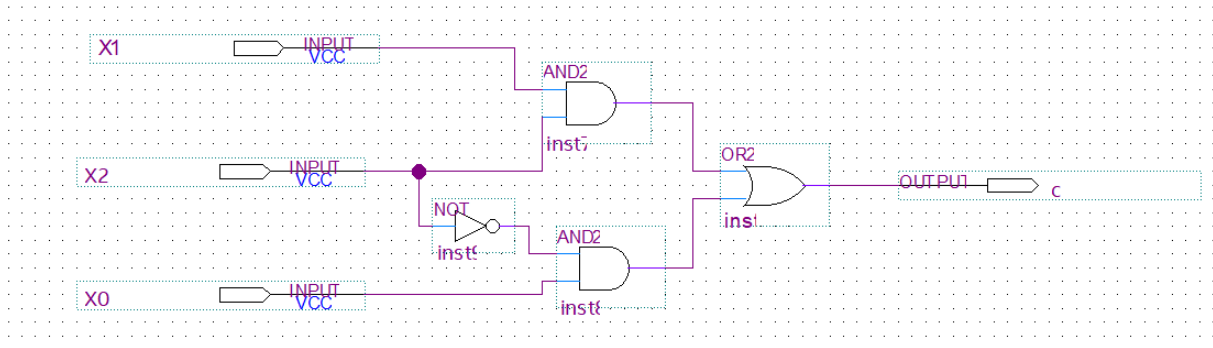


Şekil 5 : b çıkışı için tasarlanan devre



Şekil 6 : b çıkışı fonksiyon simülasyonu

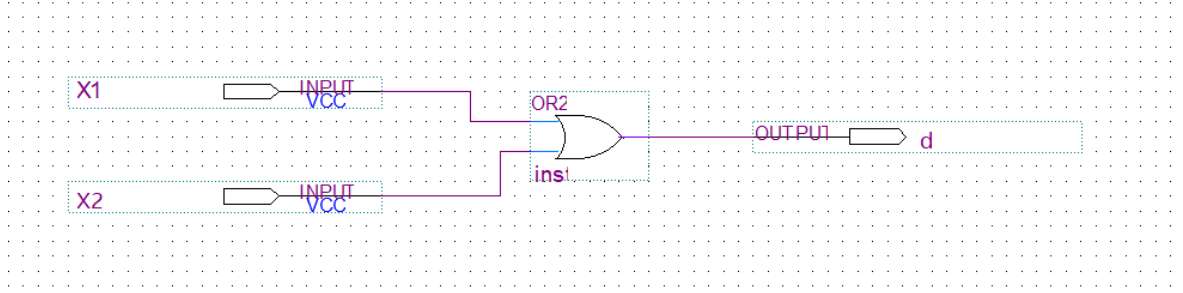
- c çıkışı için ;



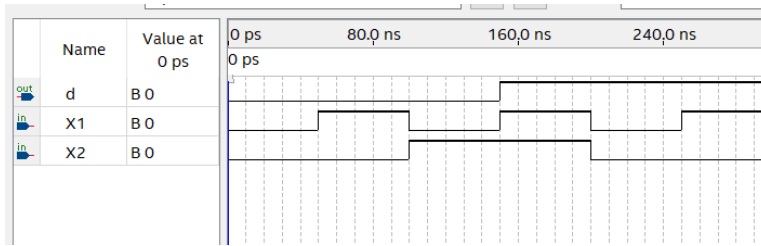
Şekil 6 : c çıkışı için tasarlanan devre



- d çıkışı için ;

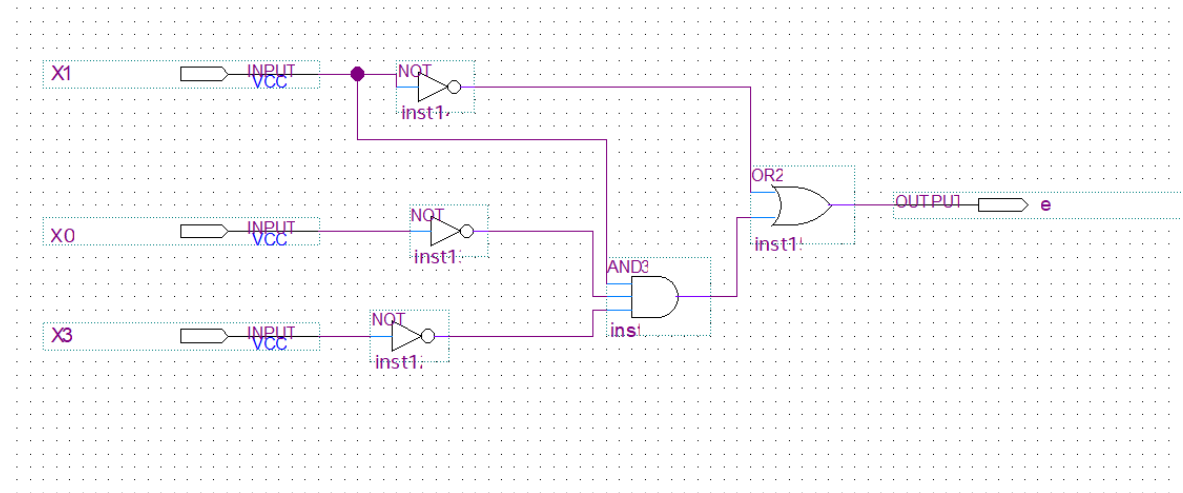


Şekil 7 : d çıkışı için tasarlanan devre

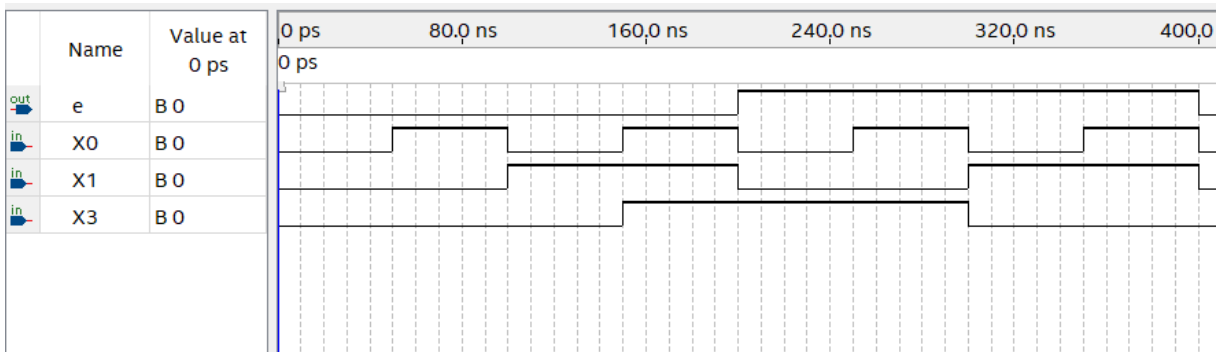


Şekil 8 : d çıkışı fonksiyon simülasyonu

- e çıkışı için ;

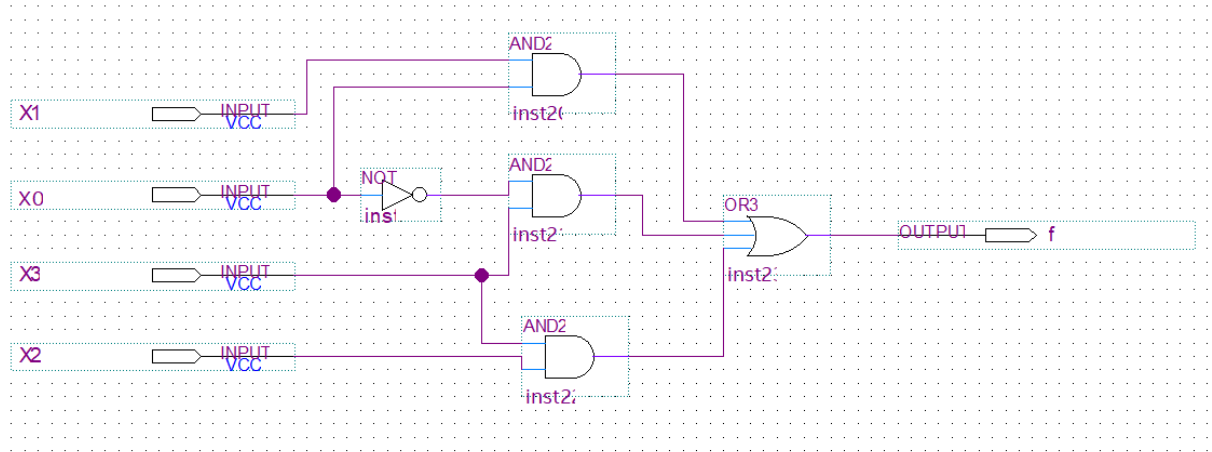


Şekil 9 : e çıkışı için tasarlanan devre

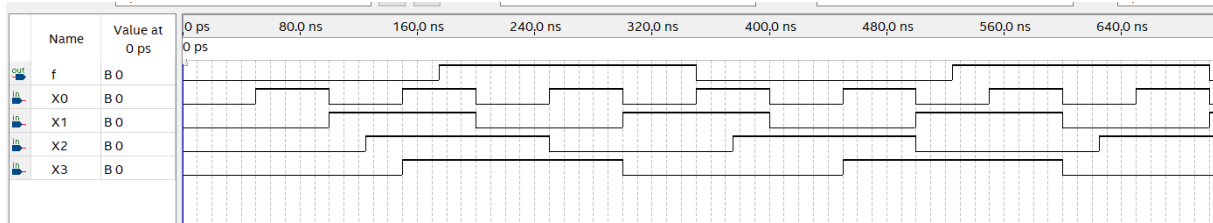


Şekil 10 : e çıkışı fonksiyon simülasyonu

- f çıkışı için ;

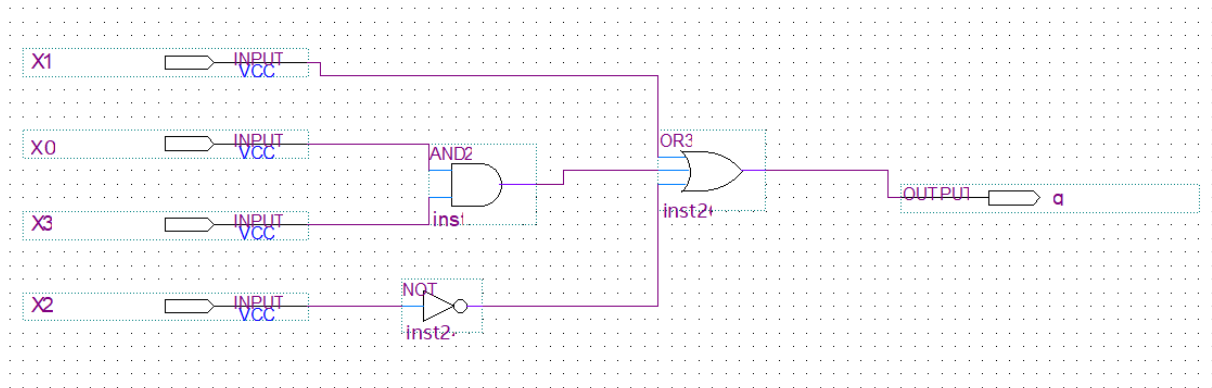


Şekil 11: f çıkışı için tasarlanan devre

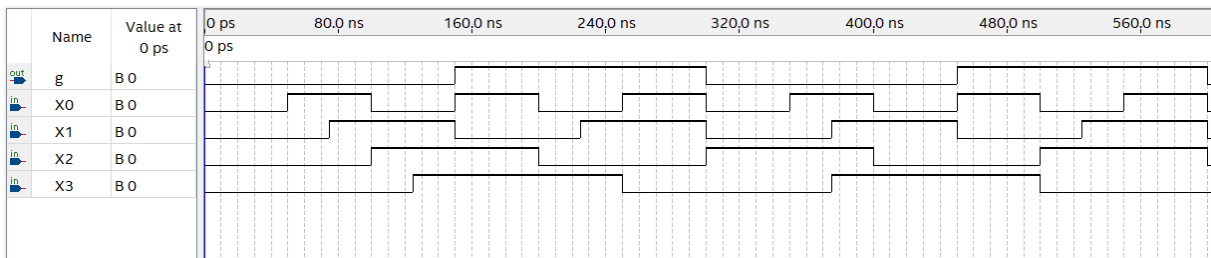


Şekil 12 : f çıkışı fonksiyon simülasyonu

- g çıkışı için ;



Şekil 13: g çıkışı için tasarlanan devre



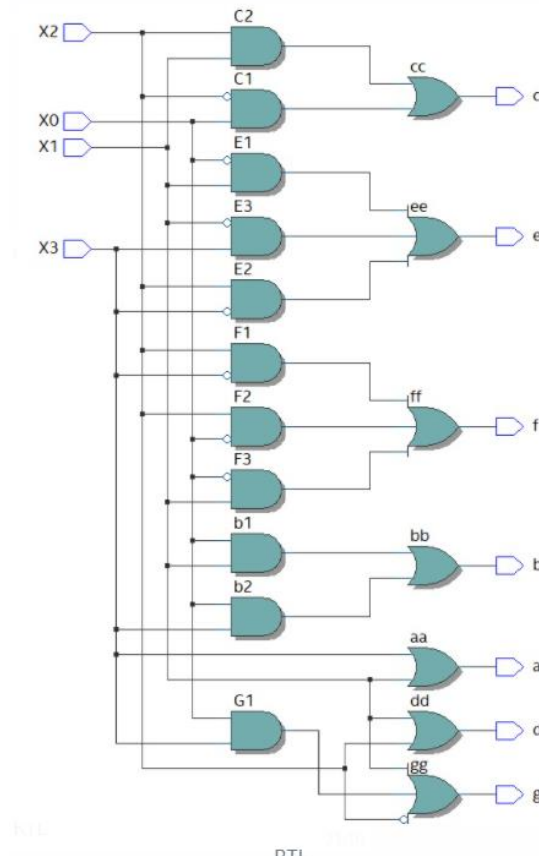
Şekil 14 : g çıkışı fonksiyon simülasyonu

Yukarıda verilen şekillerde tasarlanan devreler kurulmuş ve fonksiyon simülasyonları Quartus-Prime programı üzerinden gerçekleştirilmiştir.

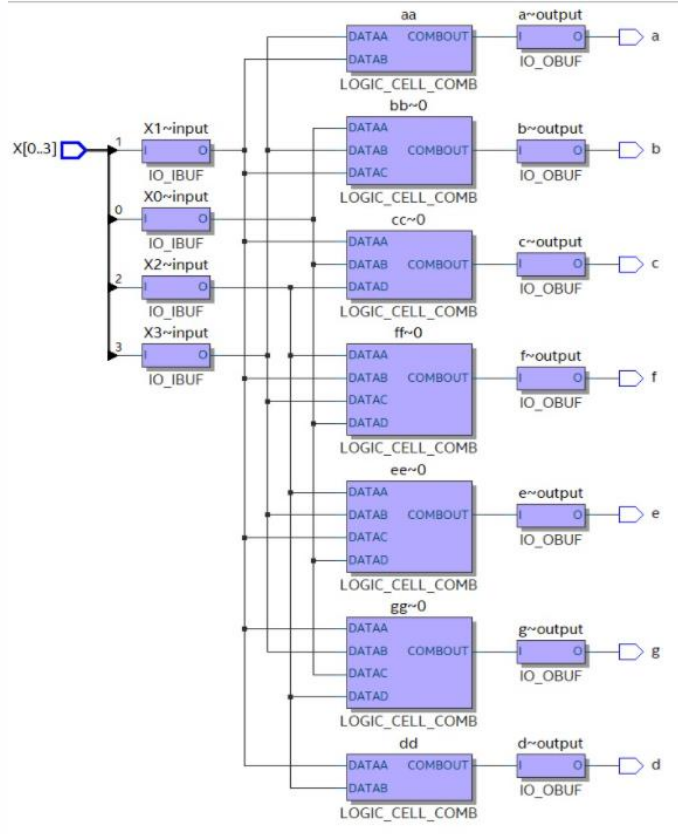
D) B şıkında K-map üzerinden Booleran cebiri denklemleri kurulurken kırmızı çizgiler Beyza'nın denklemlerini mavi çizgiler Sena'nın denklemlerini belirtmektedir. Bulunan denklemler ile devre elemanlarının dayılarının farklı olduğu görülmüştür. Sena bir sayfa üzerinde 4 input ve 7 output girişi-çıkışı vererek devresini tek sayfada oluşturmuş ve buna göre simülasyon çıktısı elde etmiştir. Beyza ise her çıkış için ayrı devre kurarak ayrı simülasyon çıktıları almıştır. Bu çıktılar karşılaştırıldığında her ikisinin de doğruluk tablosuna uyduğu görülmüştür. C şıkında ilgili simülasyon çıktıları verilmiştir.

E )

Sena'nın devresi :



Şekil 15: RTL devre sentezi



Şekil 16: Eşleştirme ardı devre şeması

Analysis & Synthesis Resource Utilization by Entity						
<<Filter>>						
Compilation Hierarchy Node	Combinational ALUTs	Dedicated Logic Registers	Memory Bits	UFM Blocks	DSP Elements	
1   Iquartusintro_2lab	7 (7)	0 (0)	0	0	0	

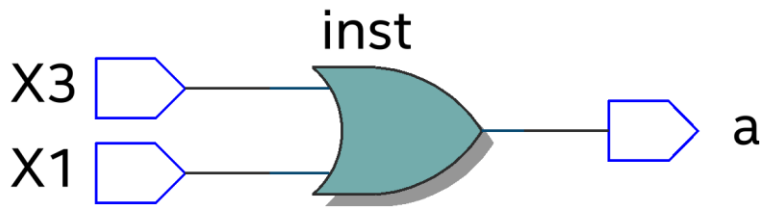
Şekil 16: Resource utilization report

Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Mar 20 21:12:09 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	quartusintro_2lab
Top-level Entity Name	quartusintro_2lab
Family	MAX 10
Device	10M08DAF484C8G
Timing Models	Final
Total logic elements	7
Total registers	0
Total pins	11
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0
UFM blocks	0
ADC blocks	0

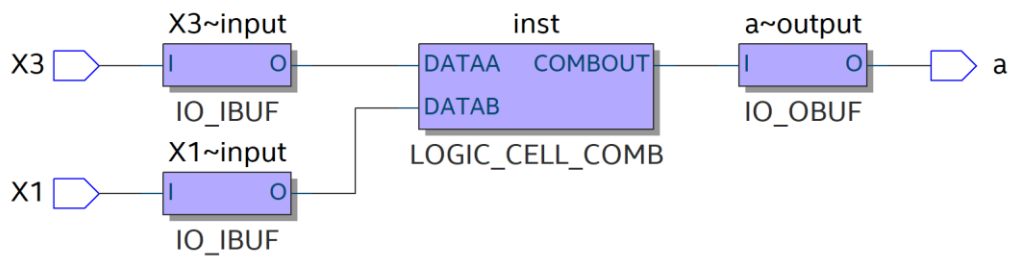
Şekil 17: Akış Özeti

Beyza'nın devresi :

- a çıkışı için ;



Şekil 18: RTL devre sentezi

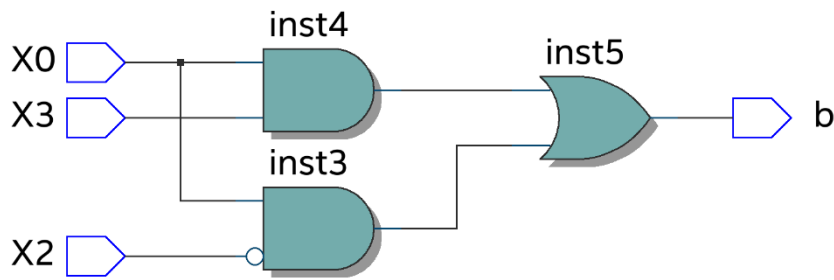


Şekil 19: Eşleştirme ardı devre şeması

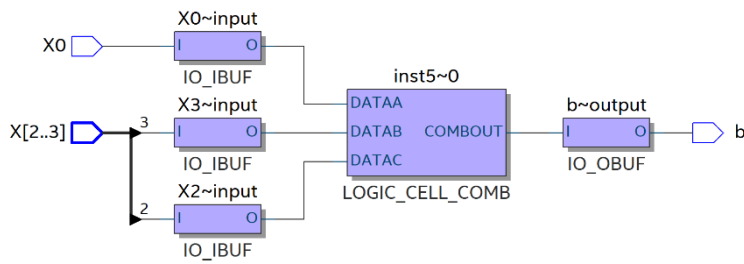
Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Mar 20 18:55:14 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	intro_top
Top-level Entity Name	intro_top
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	3
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Şekil 20: Akış Özeti

- b çıkışı için ;



Şekil 21: RTL devre sentezi

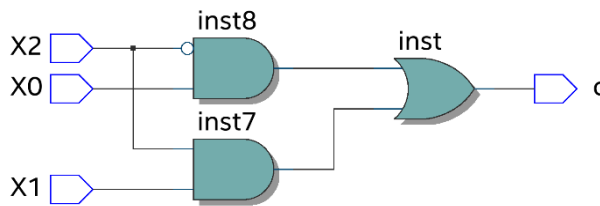


Şekil 22: Eşleştirme ardı devre şeması

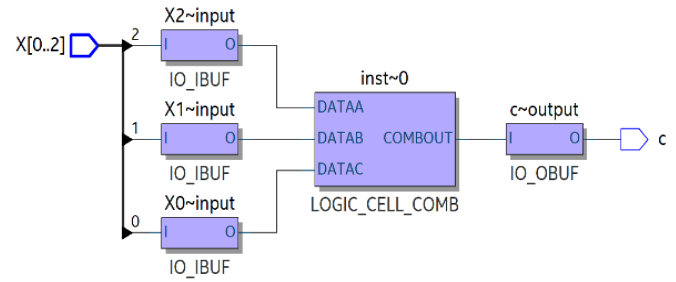
Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Mar 20 19:43:26 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	intro_top
Top-level Entity Name	intro_top
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	4
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Şekil 23: Akış Özeti

- c çıkışı için ;



Şekil 24: RTL devre sentezi

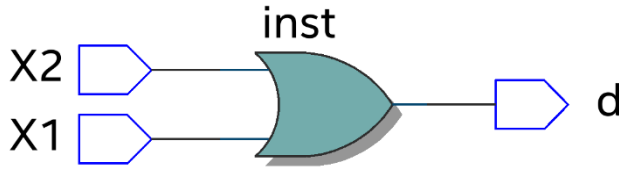


Şekil 25: Eşleştirme ardı devre şeması

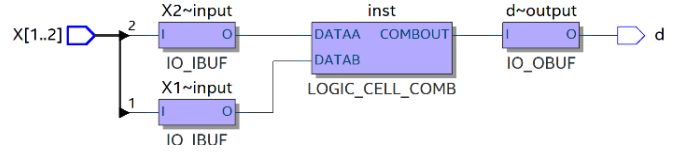
Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Mar 20 20:05:08 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	intro_top
Top-level Entity Name	intro_top
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	4
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Şekil 26: Akış Özeti

- d çıkışı için ;



Şekil 27: RTL devre sentezi

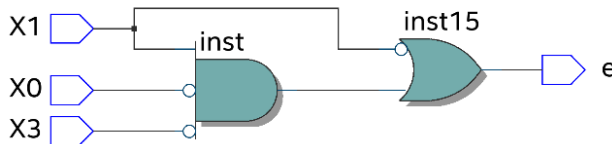


Şekil 28: Eşleştirme ardı devre şeması

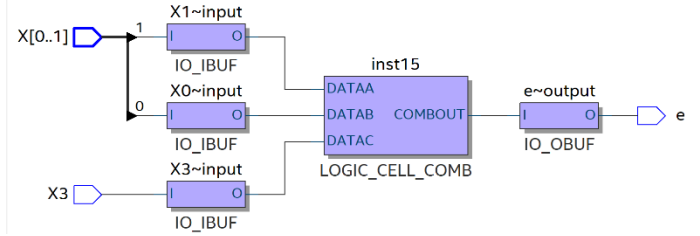
Flow Summary	
Flow Status	Successful - Sun Mar 20 20:16:07 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	intro_top
Top-level Entity Name	intro_top
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	3
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Şekil 29: Akış Özeti

- e çıkışı için ;



Şekil 30: RTL devre sentezi

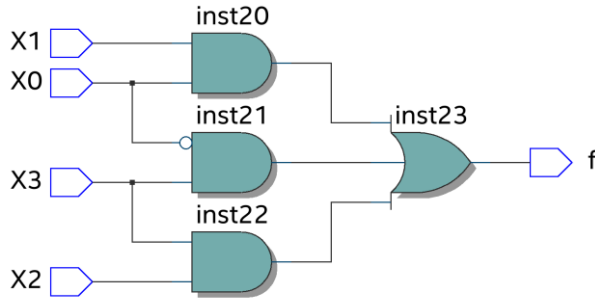


Şekil 31: Eşleştirme ardı devre şeması

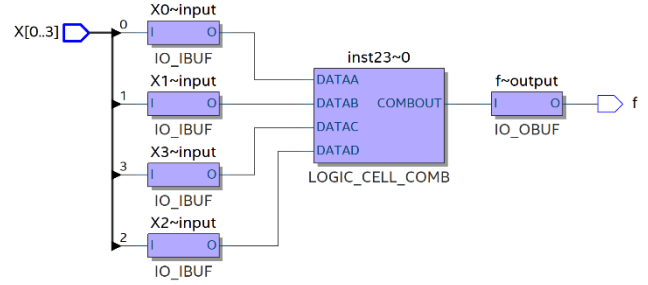
Flow Summary	
Flow Status	Successful - Sun Mar 20 20:32:19 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	intro_top
Top-level Entity Name	intro_top
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	4
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Şekil 32: Akış Özeti

- f çıkışı için ;



Şekil 33: RTL devre sentezi

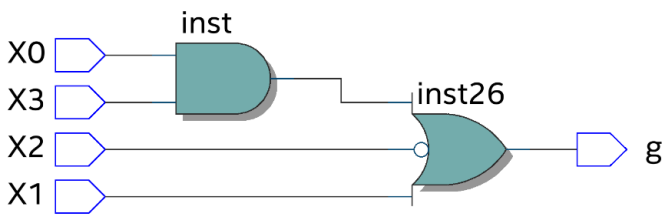


Şekil 34: Eşleştirme ardı devre şeması

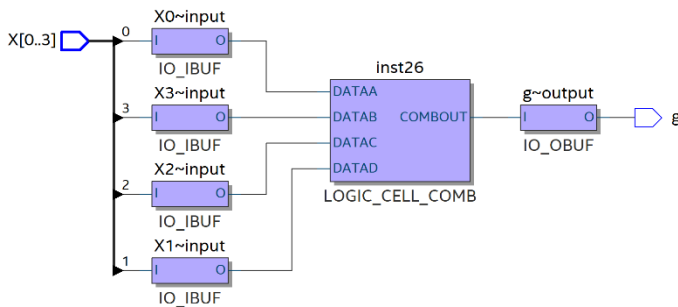
Flow Summary	
Flow Status	Successful - Sun Mar 20 20:54:30 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	intro_top
Top-level Entity Name	intro_top
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	5
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Şekil 35: Akış Özeti

- g çıkışı için ;



Şekil 36: RTL devre sentezi



Şekil 37: Eşleştirme ardı devre şeması



Flow Summary	
<<Filter>>	
Flow Status	Successful - Sun Mar 20 22:35:23 2022
Quartus Prime Version	19.1.0 Build 670 09/22/2019 SJ Lite Edition
Revision Name	intro_top
Top-level Entity Name	intro_top
Family	Cyclone V
Device	5CGXFC7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	5
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Şekil 38: Akış Özeti

RTL devre şeması analizleri üzerinde devrelerde kaç eleman olduğu görülmüştür.

## 2.2. Problem Sonucu

Şekil 1’de istenen gösterimlere göre Tablo 1’de doğruluk şeması oluşturulmuştur. Bu şemaya göre her bir output için K-map tablosu oluşturularak denklemler yazılmıştır. Her iki öğrenci farklı denklemler çıkışlar için farklı denklem oluşturmuştur. Oluştulan denklemlere göre Quartus Prime simülasyon programından denklemlerin devreleri çizilmiş ve simülasyon çıktıları, RTL devre şeması analizleri, eşleştirme ardı devre şemalarının çıktıları alınmıştır. Simülasyon çıktıları doğruluk tablosu ile karşılaştırılmış olup sonuçların karşılaştırma tablosunu sağladığı görülmüştür.

KAYNAKÇA :

<https://www.electricaltechnology.org/2018/05/bcd-to-7-segment-display-decoder.html>

<https://docplayer.biz.tr/125939268-Bilesik-mantik-devreleri-combinational-logic.html>