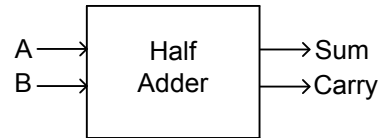


HALF-ADDER & FULL-ADDER

Full-Adder (Tam-Toplayıcı), donanım modüllerinde kullanılan temel 1-bitlik toplayıcıya verilen isimdir. Half-Adder (Yarı-Toplayıcı), Full-Adder'ın daha basit bir formudur. Bu haftaki tutorialde önce Half-Adder, daha sonra da bu Half-Adder'ı kullanarak hiyerarşik bir Full-Adder tasarımı gerçekleştireceğiz. Half-Adder iki biti toplar ve bir toplam biti bir de elde biti üretir. Full-Adder'da ise iki bitin yanında elde girişi de vardır ve sonuçta bir toplam ve bir elde çıkışı mevcuttur. Half-Adder ve Full-Adder'ın black box gösterimi şekilde verilmiştir.

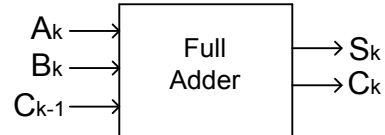
Half-Adder Doğruluk Tablosu

A	B	Carry	Sum
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0



Full-Adder Doğruluk Tablosu

A_k	B_k	C_{k-1}	C_k	S_k
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



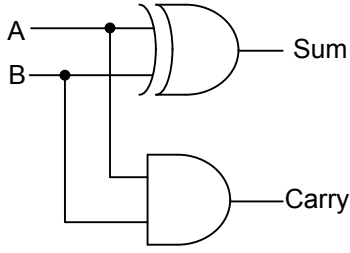
Karnough haritası yöntemi mantık devrelerinin sadeleştirilmesinde en çok kullanılan metodlardan birisidir. Aşağıda Half-Adder devresinin Karnough harita metodu kullanılarak sadeleştirilmesi gösterilmiştir.

Carry	B'	B
A'	0	0
A	0	1

Sum	B'	B
A'	0	1
A	1	0

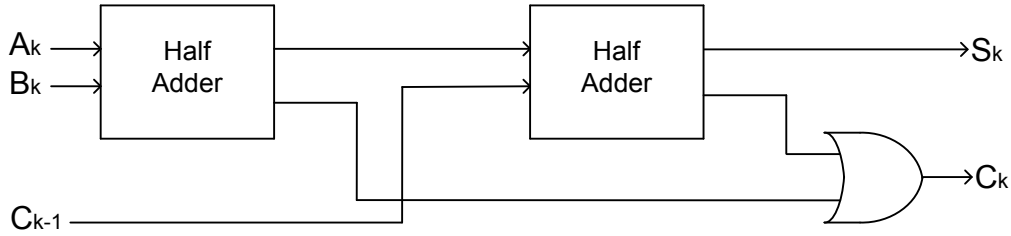
$$\text{Carry} = AB$$

$$\text{Sum} = A'B + AB' = A \wedge B \quad (\wedge \text{ işareti Verilogda XOR demektir})$$



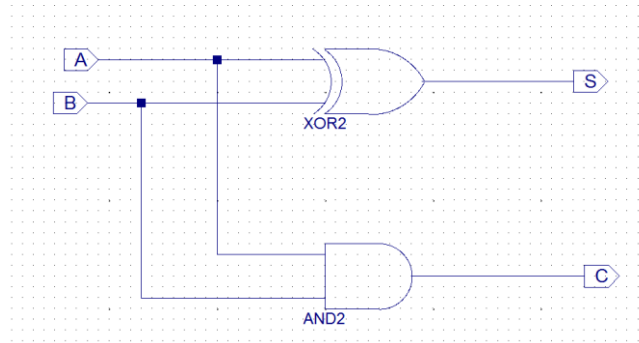
Half-Adder devresi yandaki şekilde gösterilmiştir.

Full-Adder tasarımında da Half-Adder'daki Karnough metodu uygulanarak çözüme gidilebilir. Fakat bu tutorialdeki amacımız '*hierarchical*' çözüm yolunu göstermektir. Full-Adder tasarımımızda iki adet Half-Adder kullanarak çözüme ulaşacağız. Aşağıdaki şekilde iki adet Half-Adder kullanılarak bir Full-Adder yapılmıştır.

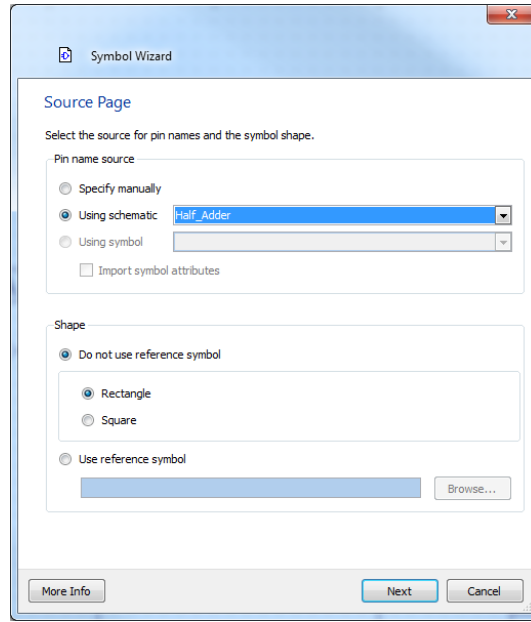


Şimdi Xilinx ISE'de *hierarchy* metodu kullanarak Full_Adder tasarımı nasıl yapılır onu göstereceğiz.

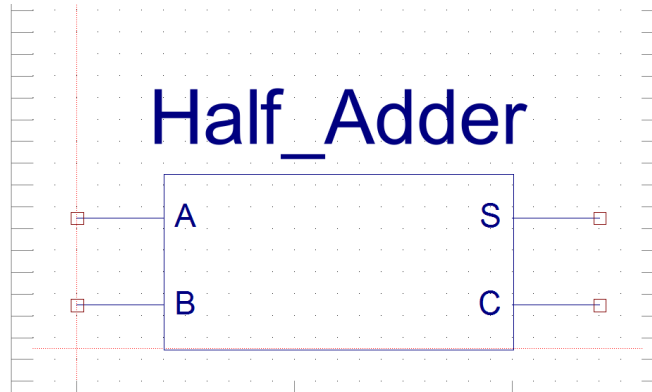
1) Önce aşağıdaki şekilde gösterildiği gibi bir Half_Adder çiziyoruz. Dikkat edin *ibuf obuf* koymadık sinyallerin önlerine. Bufferlar sadece top module dediğimiz bloklarda bulunacak. Bizim sistemimizde Full_Adder top module olarak kullanılmaktadır.



Half_Adder modülünü çizdikten sonra sentezleme işlemini gerçekleştiriyoruz. Hata almadığımızdan emin oluyoruz. Daha sonra Tools'dan Symbol Wizard seçeneğine tıklıyoruz. Karşımıza çıkan tabloyu aşağıdaki biçimde dolduruyoruz.

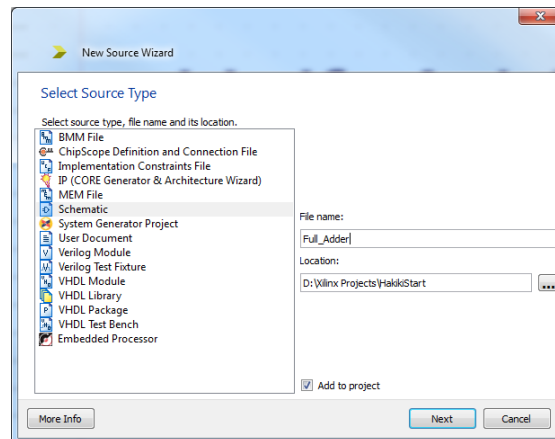


Sonra önümüze çıkan bütün pencerelere *Next* diyoruz ve karşımıza Half_Adder bloğu çıkıyor.

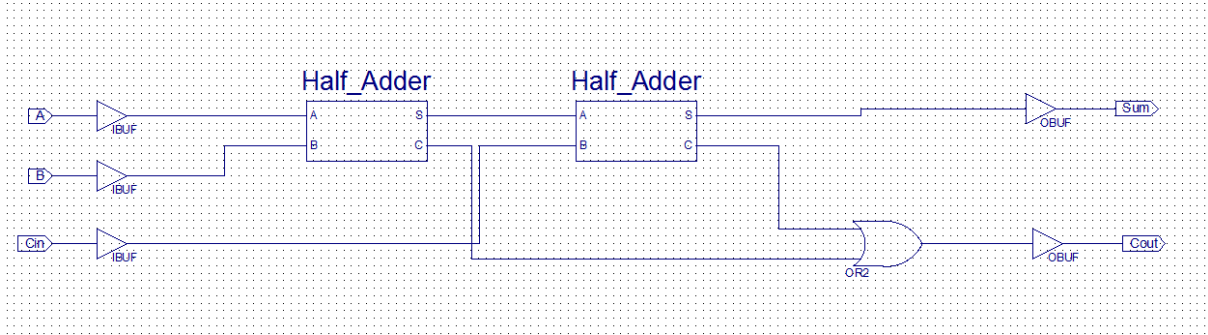


Artık Half_Adder bloğunu symbols kısmında seçip bunu devre çizimlerimizde kullanabiliriz.

Full_Adder tasarımı için yeni bir *source*'a ihtiyacımız vardır. Bunun için *Project* sekmesinden *New Source* seçiyoruz. Aşağıdaki penceredeki gibi işlemleri bitiriyoruz.



Full_Adder tasarımı aşağıda gösterilmiştir. IBUF ve OBUF kullanımlarına dikkat ediniz! Daha sonra Full_Adder dosyasını sentezleyip daha önceki deneylerde yaptığımız işlemleri Full_Adder modülü için de yapabiliriz.



NOT: Haftaya laboratuvara gelmeden once bu tutoriali evde çalışın, testbench yazmaya çalışın ve testbench simülasyonlarını görün. Haftaya laboratuvarda testbench konusunda artık kendiniz yazmakla yükümlüsünüz.