

ИНСТИТУТ
МАТЕМАТИКИ
МЕХАНИКИ
КОМПЬЮТЕРНЫХ
НАУК

имени И.И. Воровича —

Архитектура компьютера и операционные системы

Лекция 12. Цифровой логический уровень. Схемы памяти

Андреева Евгения Михайловна

доцент кафедры информатики и вычислительного эксперимента



План лекции

- Тактовый генератор
- Схемы памяти
- Домашнее задание



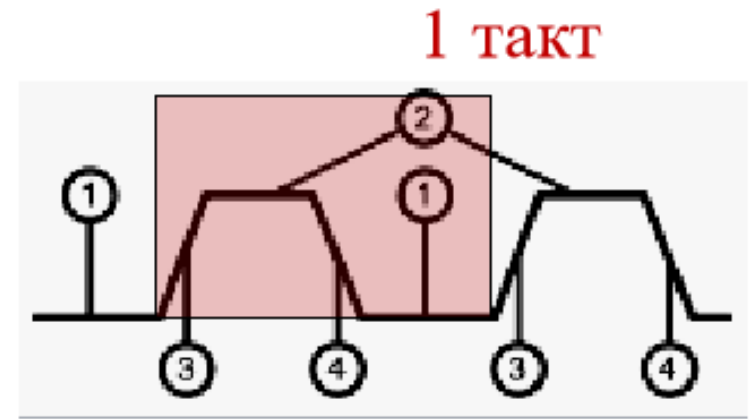
Реализация Mic-1

- Комбинаторные схемы
 - АЛУ
 - схема сдвига
 - декодер
 - компаратор
 - мультиплексор...
- Тактовый генератор (УУ)
- Схемы памяти ("последовательностные")
 - регистры (параллельные, синхронные)
 - память на 512×36 (бит) $\approx 2\text{Кб}$
 - регистр сдвига (Mic-2)

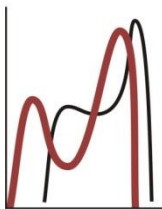


Тактовый генератор (ТГ)

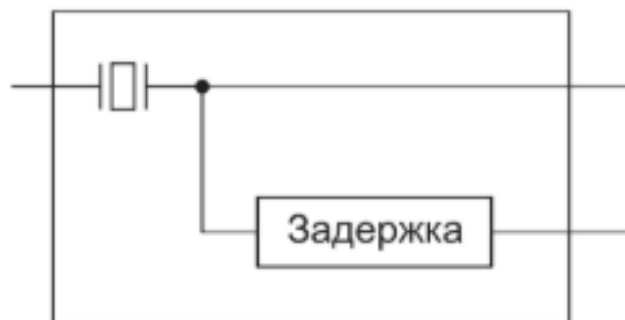
- Тактовый генератор — это схема, которая вызывает серию одинаковых по длительности импульсов.
- Интервалы между последовательными импульсами одинаковы.
- Логическая схема тактового генератора
- Частота импульсов 100 МГц - 4 ГГц
- Время такта 10 - 250 пс ($1 \text{ пс} = 10^{-12} \text{ с}$).



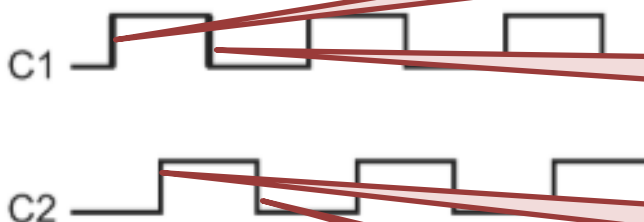
1 — низкий уровень сигнала,
2 — высокий уровень сигнала,
3 — нарастание сигнала (передний фронт),
4 — спад сигнала (задний фронт)



Вторичный сигнал ТГ



а



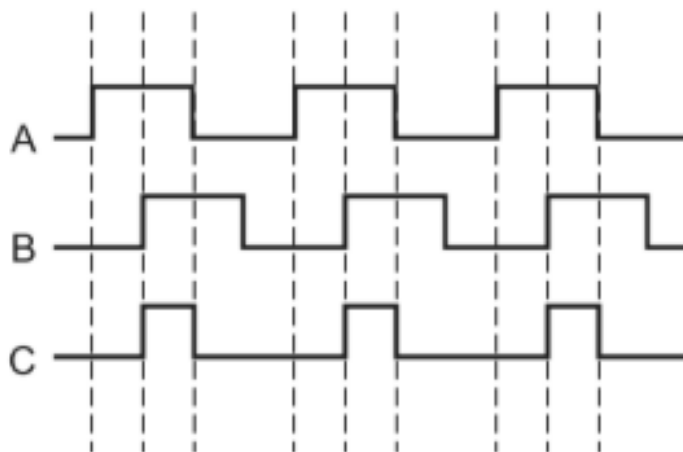
б

Фронт C1

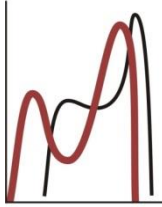
Спад C1

Фронт C2

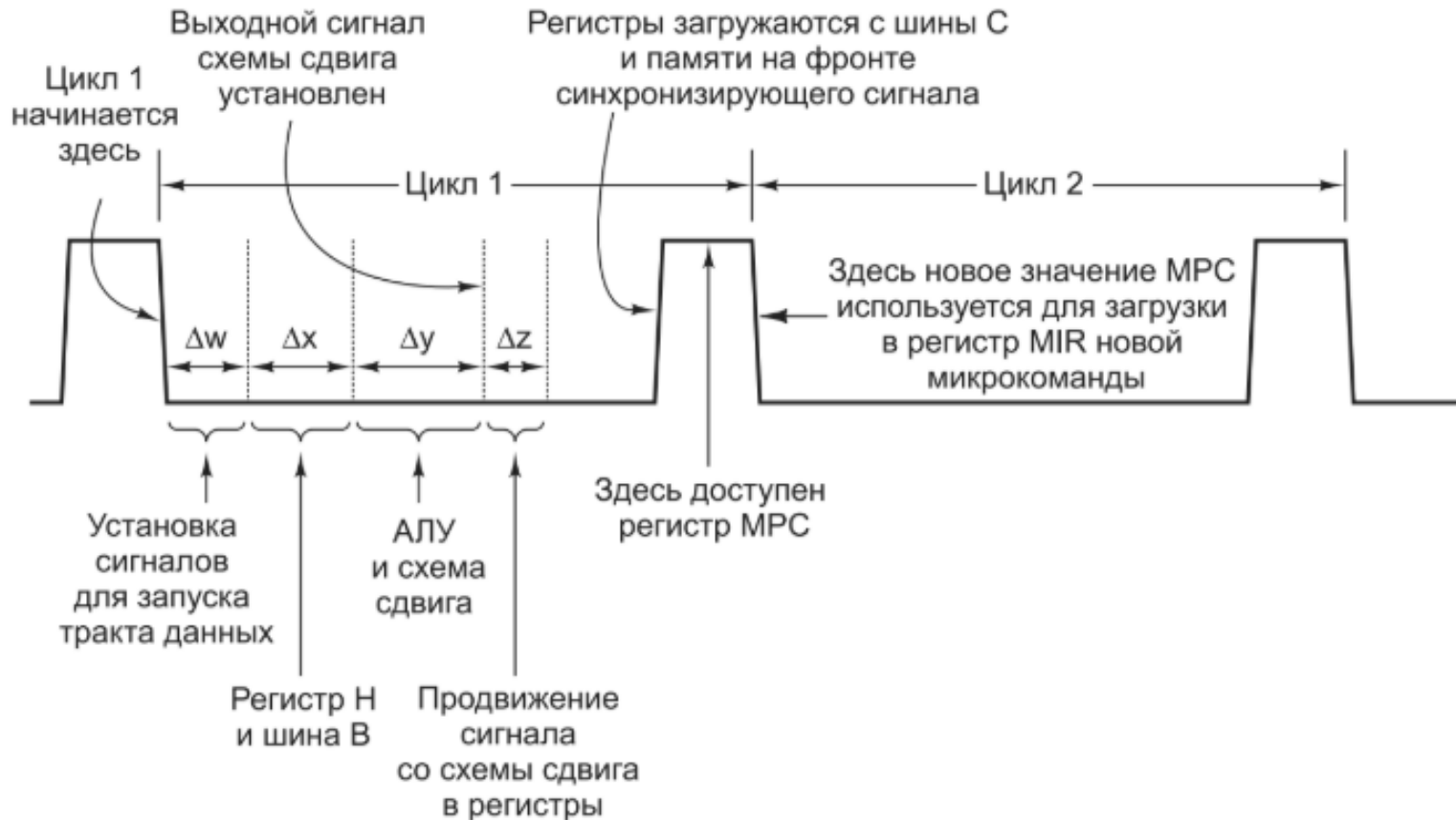
Спад C2



Различные события
следует связать с
разными перепадами
(фронтами и спадами)



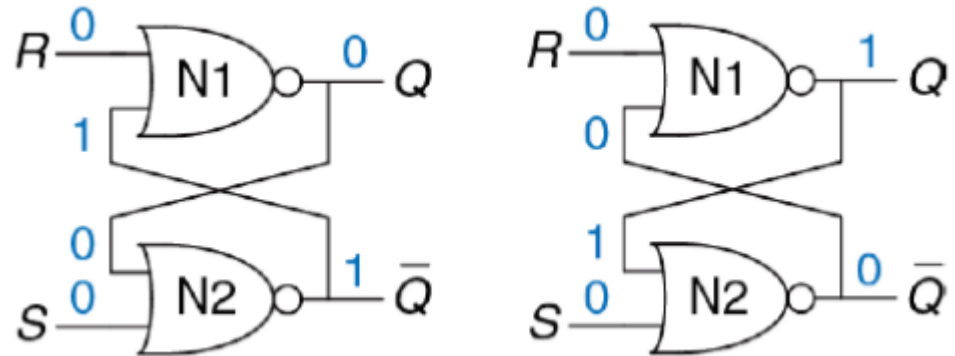
Временная диаграмма цикла тракта данных Mic-1





Схемы памяти

- Защелки
- Триггеры
- Регистры



Состояние цифровой последовательностной схемы – набор бит, называемый переменными состояния.

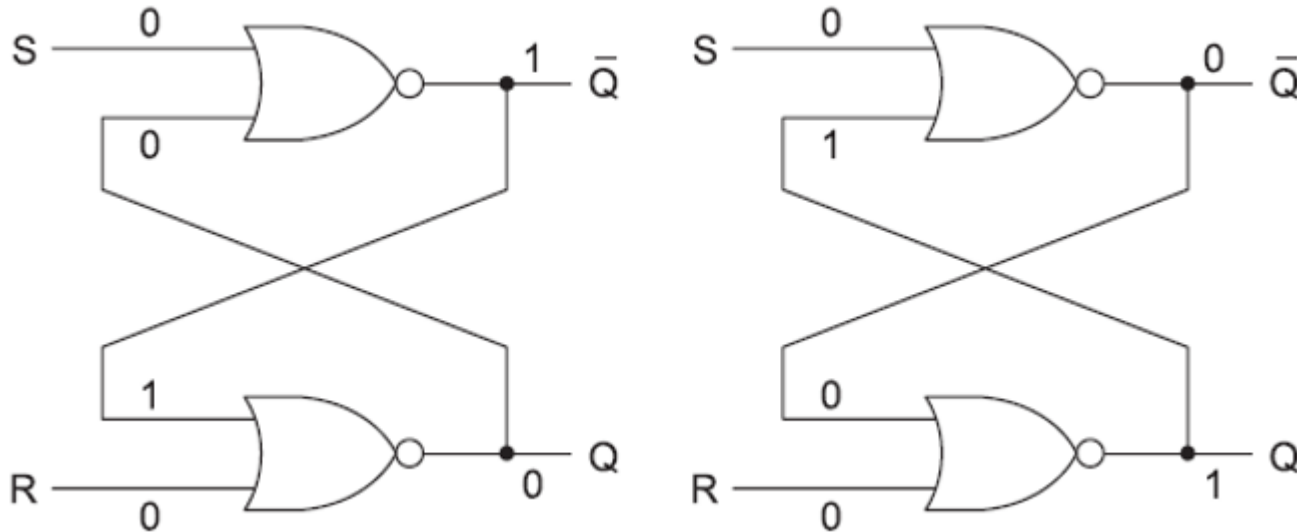
Эти биты содержат всю информацию о прошлом, необходимую для определения будущего поведения схемы.



SR-защелка

S (Setting — установка) и R (Resetting — сброс)

- Чтобы создать один бит памяти, нужно построить схему, которая «запоминает» предыдущие входные значения.

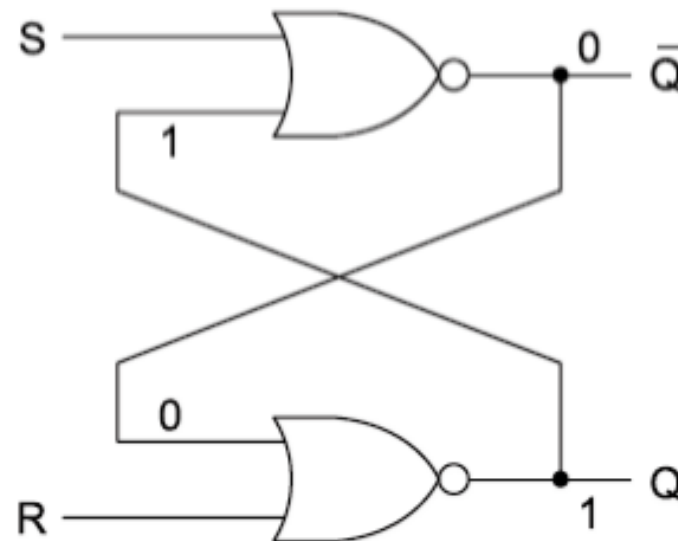
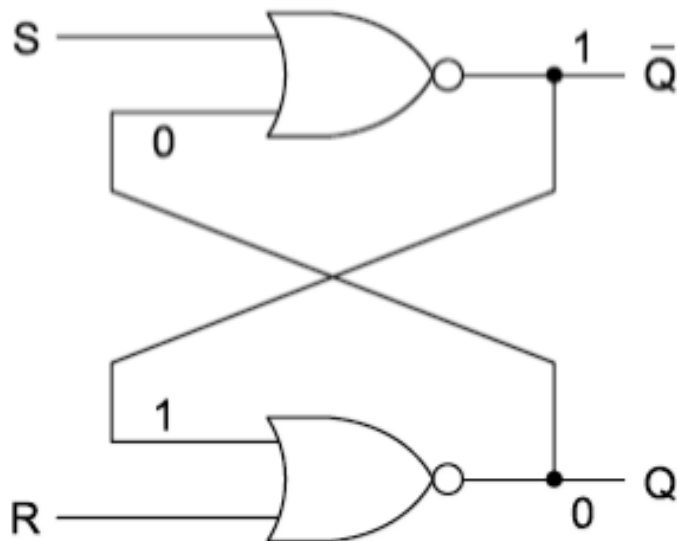


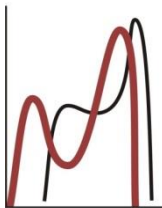
- при $R = S = 0$ защелка имеет два устойчивых состояния в зависимости от Q .



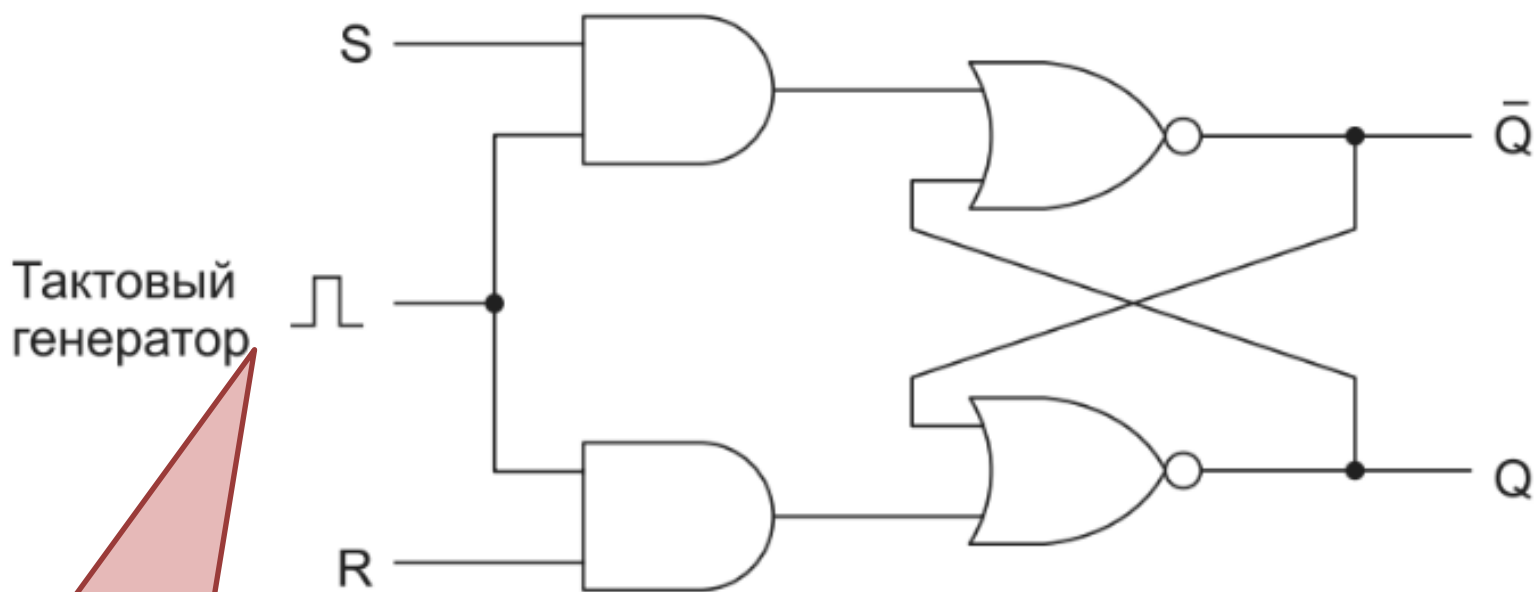
Переключения SR-защелки

- Пусть $S=1$, $Q = 0$, тогда переключает состояние с 0 на 1
- Пусть $S=1$, $Q = 1$, тогда состояние не меняется
- Пусть $R=1$, $Q = 0$, тогда состояние не меняется
- Пусть $R=1$, $Q = 1$, тогда переключает состояние с 1 на 0

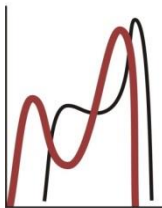




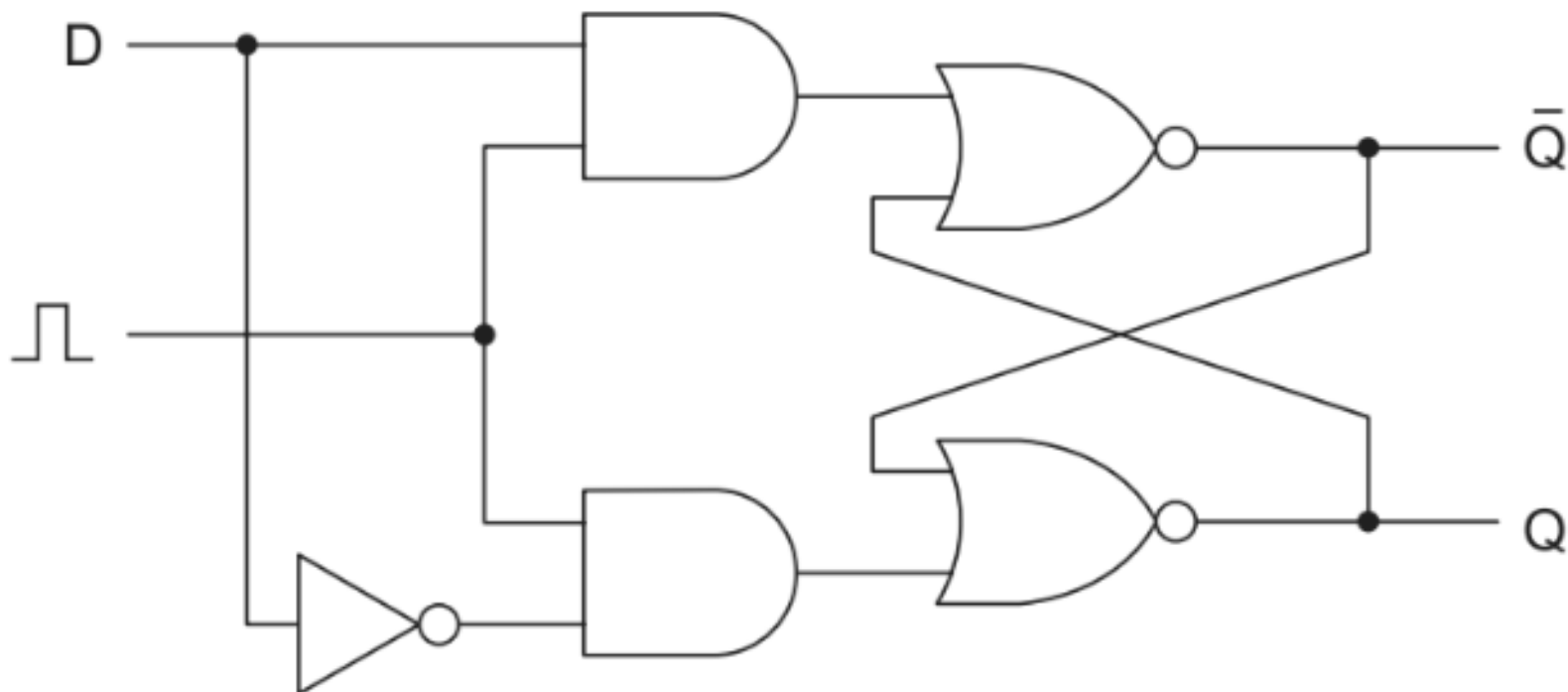
Синхронная SR-защелка



Синхронизирующий сигнал



Синхронная D-защелка





Триггеры

- Триггер (flip-flop) - схема, при которой смена состояния происходит не тогда, когда синхронизирующий сигнал равен 1, а при переходе синхронизирующего сигнала с 0 на 1 (фронт) или с 1 на 0 (спад).

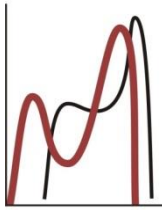
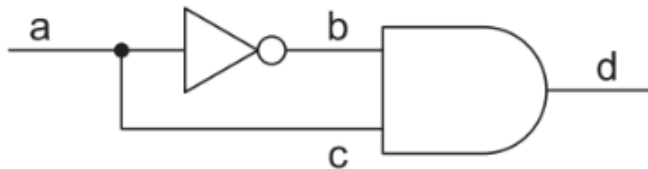
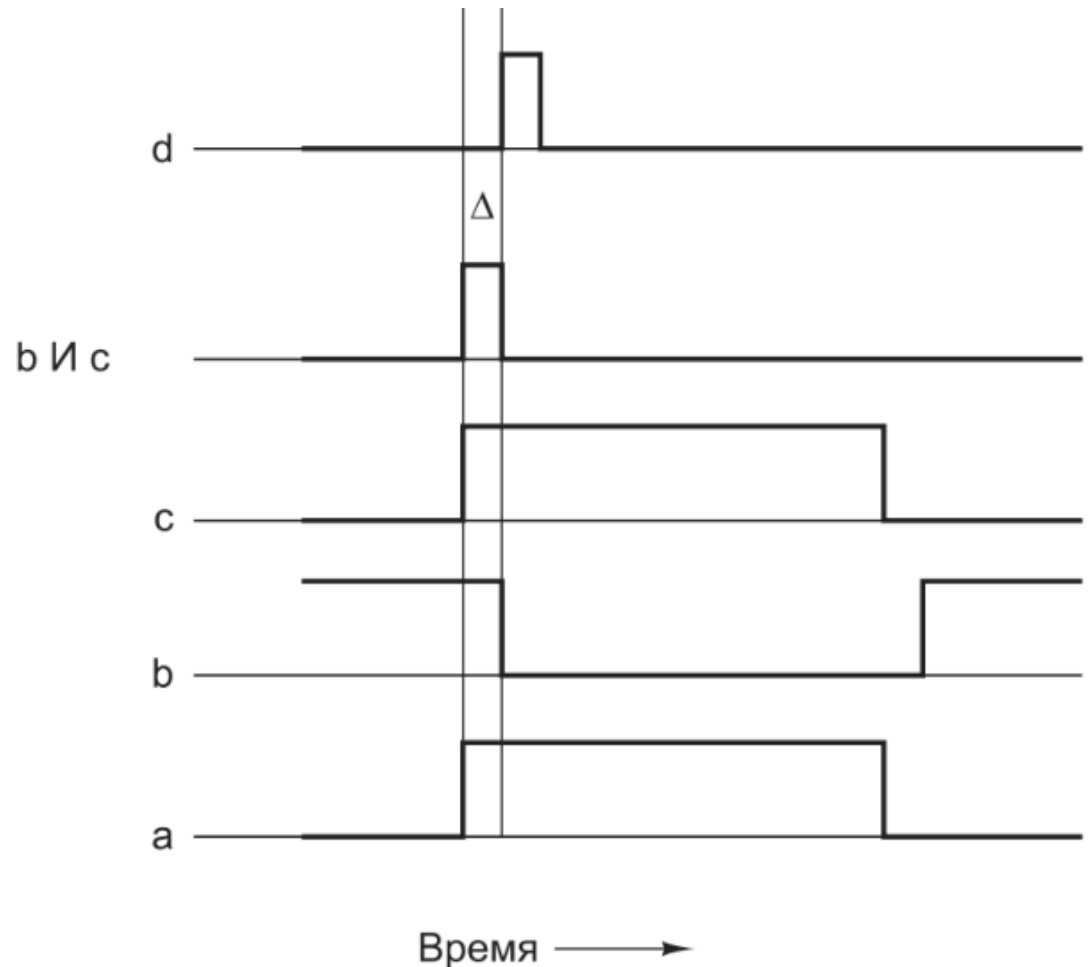


Схема триггера

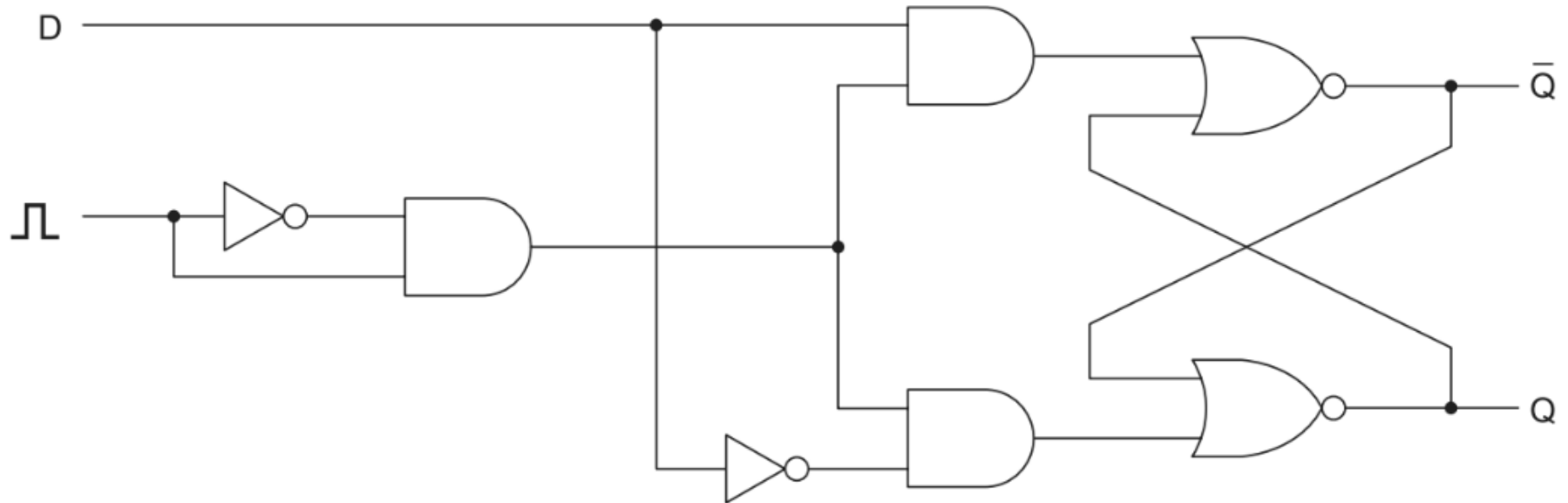


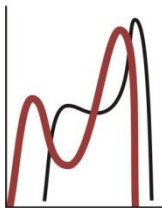
при прохождении
сигнала через инвертор
происходит небольшая,
но все-таки не нулевая
задержка



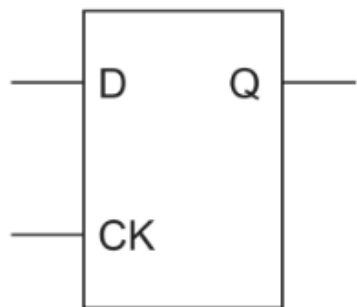


D-триггер

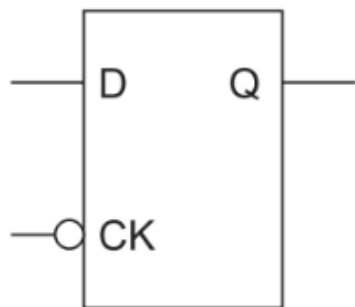




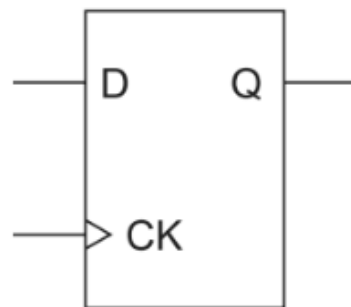
D-защелки и D-триггеры



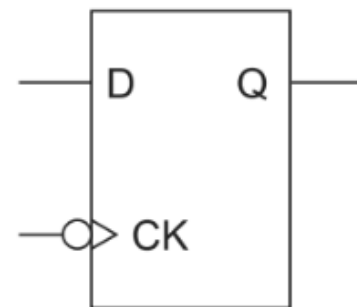
защелка,
состояние
которой
загружается
при $СК=1$



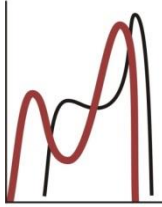
защелка,
состояние
которой
загружается
при $СК=0$



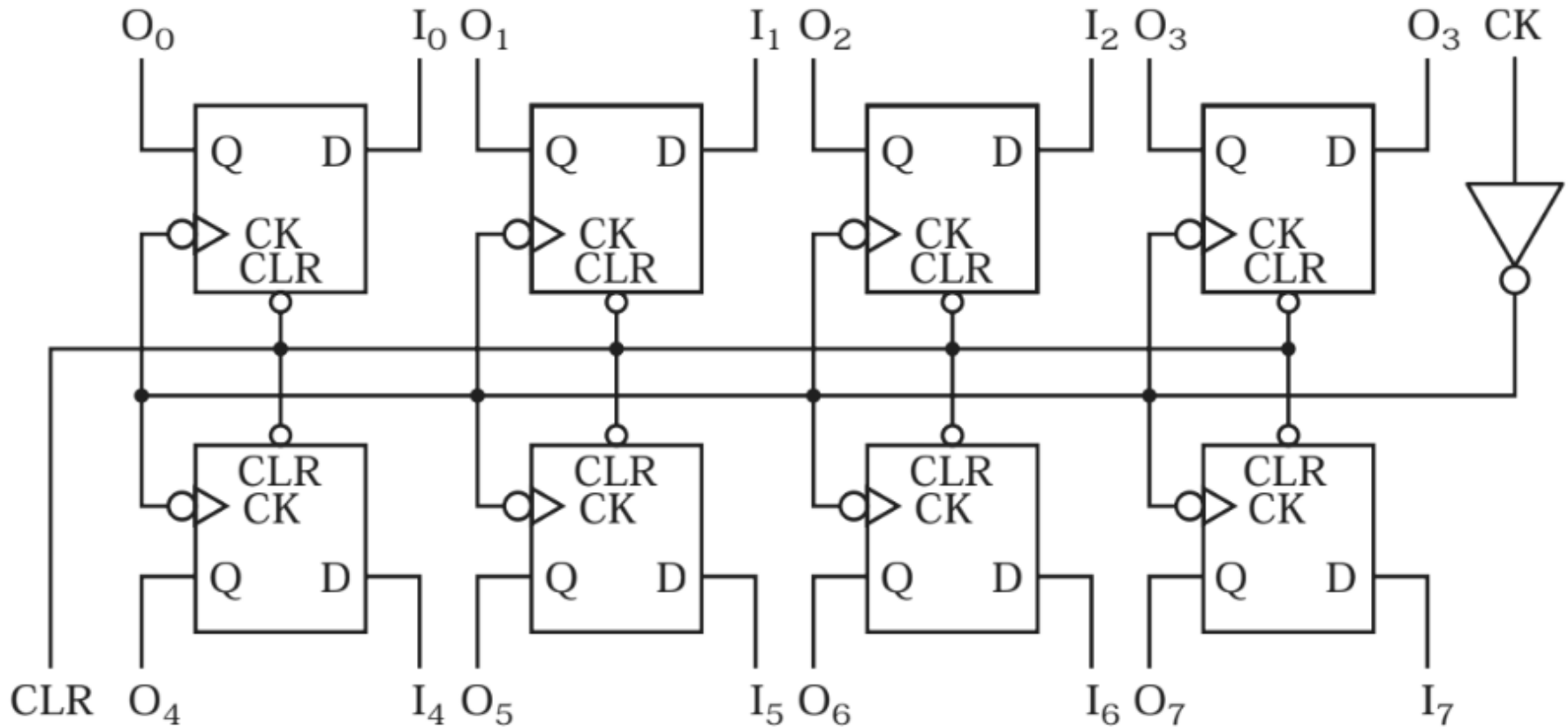
триггер,
изменяет
состояние на
фронте $СК$



триггер,
изменяет
состояние
на спаде
 $СК$



Регистры на базе триггеров

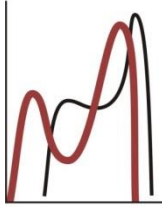


8-разрядный регистр, построенный из одnorазрядных триггеров



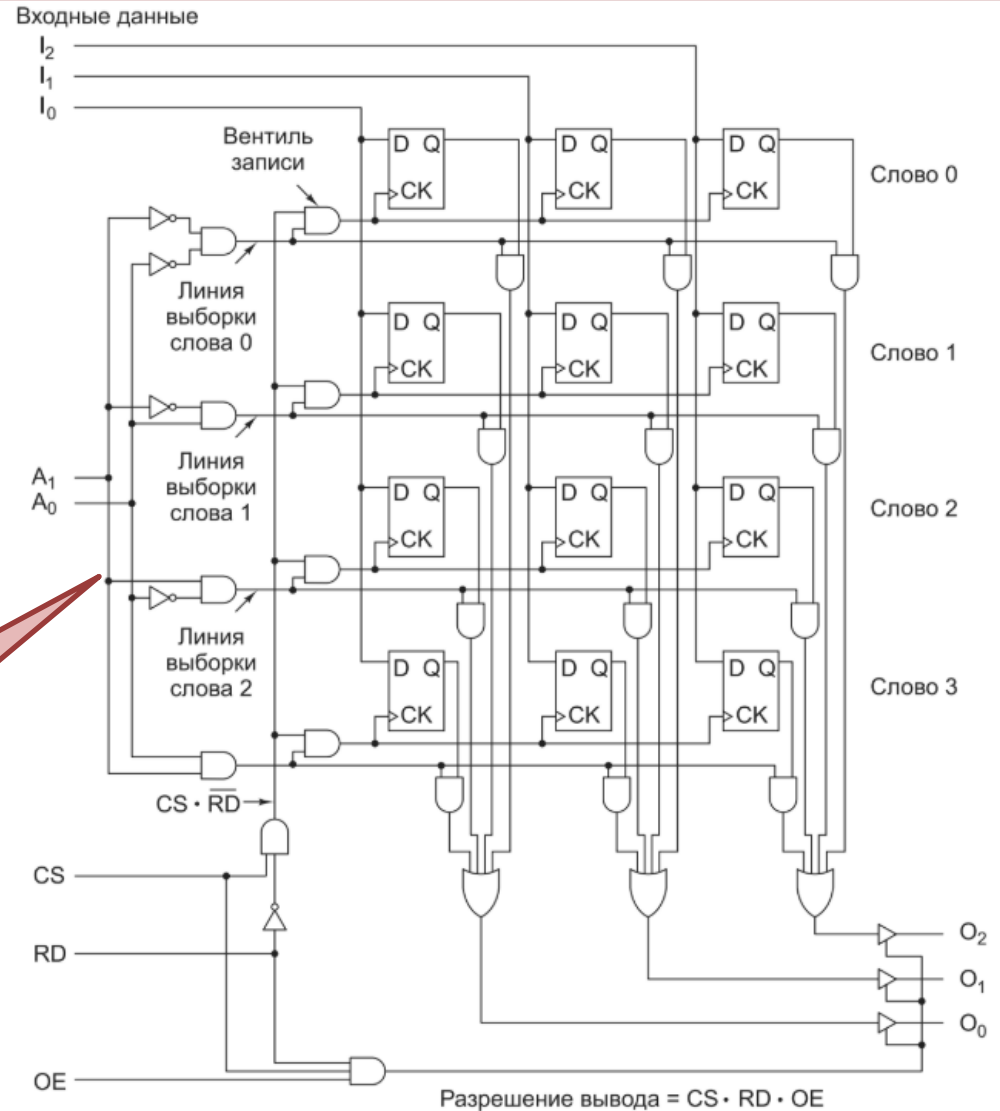
Обозначения для схемы памяти 4x3

- 8 ВХОДНЫХ ЛИНИЙ
 - 3 входа для данных — I_0 , I_1 и I_2 ;
 - 2 входа для адресов — A_0 и A_1 ;
 - 3 входа для управления
 - CS (Chip Select - выбор элемента памяти)
 - RD (ReaD - для отличия чтения от записи)
 - OE (Output Enable — разрешение выдачи выходных сигналов)
- 3 ВЫХОДНЫЕ ЛИНИИ для данных — O_0 , O_1 и O_2



Память 4 x 3

Четыре вентиля И для
выбора слов формируют
декодер





Типы микросхем ОЗУ

- Статическая (SRAM, на D-триггерах) и динамическая память (DRAM, транзистор и конденсатор).
- Синхронная динамическая память (SDRAM).
- Double Data Rate (DDR) SDRAM .



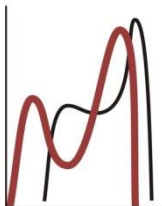
SDRAM

- Управляется от главного ТГ.
- Является гибридом статического и динамического ОЗУ.
- Исключает зависимость микросхемы памяти от управляющих сигналов. ЦП сообщает памяти, сколько циклов следует выполнить, а затем запускает ее.



DDR SDRAM

- Вывод данных как на фронте, так и на спаде импульса (скорость передачи увеличивается вдвое).
- Интерфейсы памяти DDR2 и DDR3 дают прирост скорости по сравнению с DDR за счет повышения скорости шины.
- Скорость DDR3 до 19200 МБайт/с



Характеристики типов памяти

Тип запоминающего устройства	Категория	Стирание информации	Изменение информации по байтам	Необходимость питания	Применение
SRAM	Чтение и запись	Электрическое	Да	Да	Кэш-память второго уровня
DRAM	Чтение и запись	Электрическое	Да	Да	Основная память (старые модели)
SDRAM	Чтение и запись	Электрическое	Да	Да	Основная память (новые модели)
ROM	Только чтение	Невозможно	Нет	Нет	Устройства большого объема
PROM	Только чтение	Невозможно	Нет	Нет	Устройства небольшого объема
EPROM	Преимущественно чтение	Ультрафиолетовый свет	Нет	Нет	Построение прототипов устройств
EEPROM	Преимущественно чтение	Электрическое	Да	Нет	Построение прототипов устройств
Флэш-память	Чтение и запись	Электрическое	Нет	Нет	Цифровые камеры



Домашнее задание

- Подготовка к тесту по лекции
– раздел книги Таненбаума и Остина (стр. 172-210).
- Подготовка к лабораторной работе №8