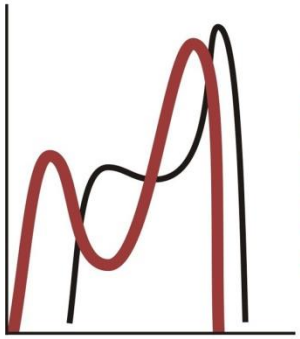


ИНСТИТУТ
МАТЕМАТИКИ
МЕХАНИКИ
КОМПЬЮТЕРНЫХ
НАУК

имени И.И. Воровича —

Архитектура компьютера и операционные системы

Лекция 3. Центральный процессор

Андреева Евгения Михайловна
доцент кафедры информатики и вычислительного эксперимента

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

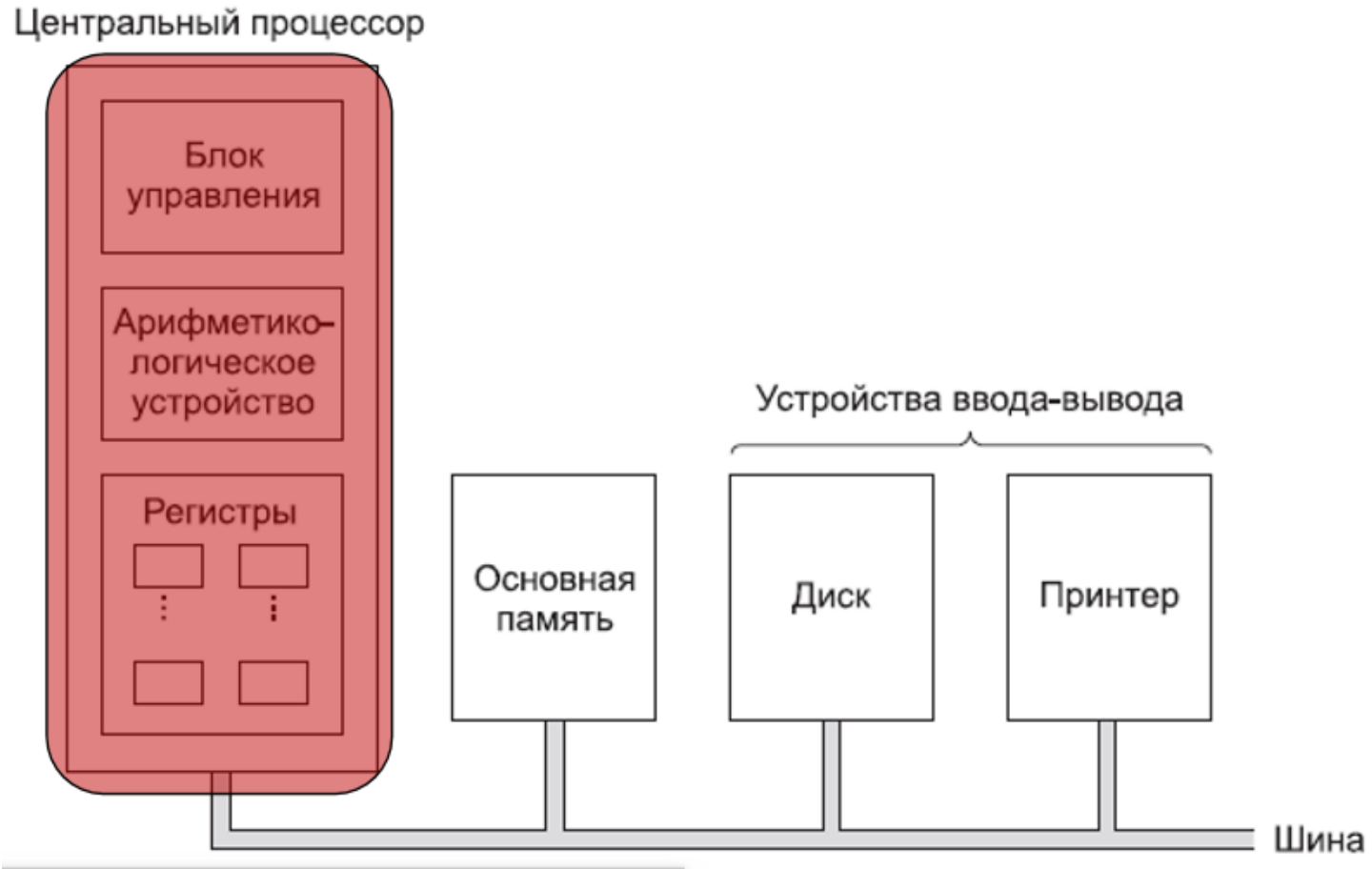
План лекции

- Центральный процессор
- Тракт данных
- Микропрограммирование
- Разновидности процессоров
- Классификация Флинна
- Параллельные архитектуры
- Домашнее задание

Семейства процессоров

Микро-схема	Дата выпуска	МГц	Количество транзисто-ров	Объем памяти	Примечание
4004	4/1971	0,108	2 300	640 байт	Первый микропроцес-сор на микросхеме
8008	4/1972	0,08	3 500	16 Кбайт	Первый 8-разрядный микропроцессор
8080	4/1974	2	6 000	64 Кбайт	Первый многоцелевой процессор на микро-схеме
8086	6/1978	5–10	29 000	1 Мбайт	Первый 16-разрядный процессор на микро-схеме
8088	6/1979	5–8	29 000	1 Мбайт	Использовался в IBM PC
80286	2/1982	8–12	134 000	16 Мбайт	Появилась защита памяти
80386	10/1985	16–33	275 000	4 Гбайт	Первый 32-разрядный процессор
80486	4/1989	25–100	1 200 000	4 Гбайт	Кэш-память на 8 Кбайт
Pentium	3/1993	60–223	3 100 000	4 Гбайт	Два конвейера, у более поздних моделей — MMX
Pentium Pro	3/1995	150–200	5 500 000	4 Гбайт[1]	Два уровня кэш-памяти
Pentium II	5/1997	233–400	7 500 000	4 Гбайт	Pentium Pro плюс MMX
Pentium III	2/1999	650–1400	9 500 000	4 Гбайт	Появились SSE-команды, ускоряющие обработку трехмерной графики
Pentium 4	11/2000	1300–3800	42 000 000	4 Гбайт	Гиперпоточность, допол-нительные SSE-команды
Core Duo	1/2006	1600–3200	152 000 000	2 Гбайт	Два ядра на одной под-ложке
Core	7/2006	1200–3200	410 000 000	64 Гбайт	64-разрядная 4-ядерная архитектура
Core i7	1/2011	1100–3300	1 160 000 000	24 Гбайт	Интегрированный гра-фический процессор

Процессор


Центральный процессор
Блок управления
Арифметико-логическое устройство
Регистры
Устройства ввода-вывода
Основная память
Диск
Принтер
Шина

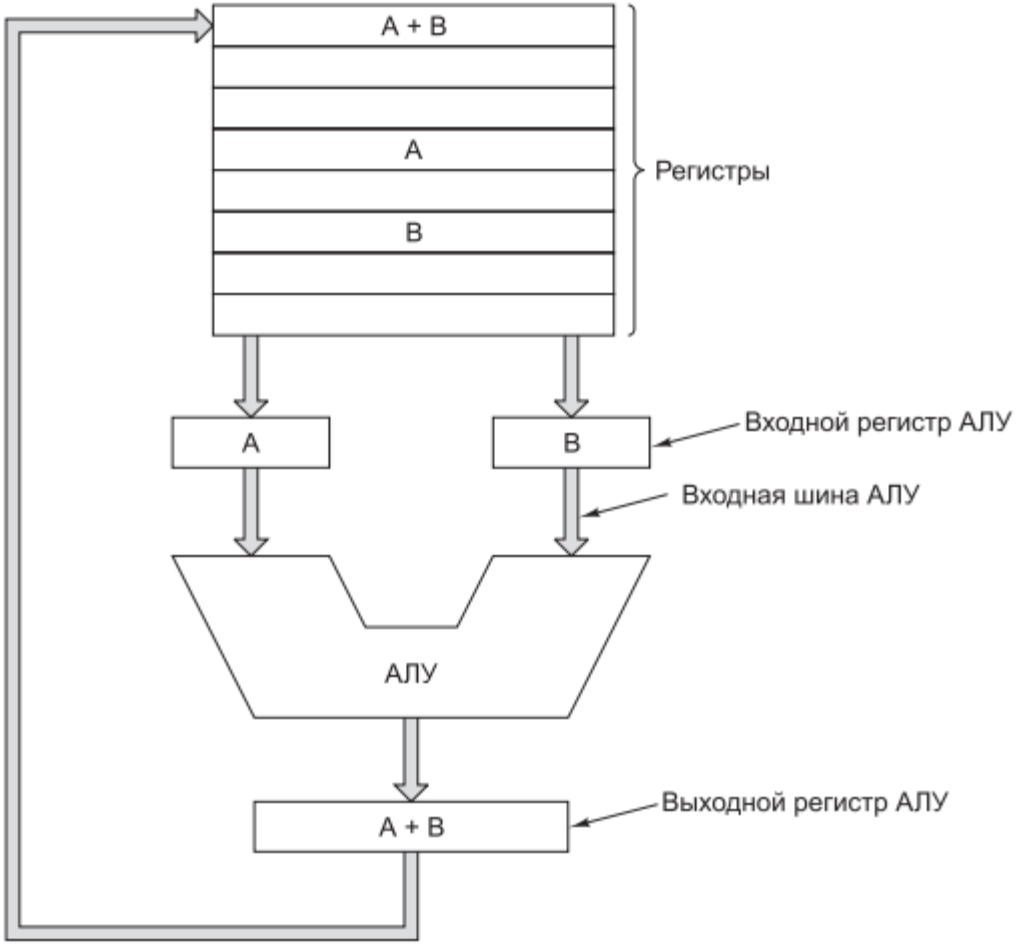
ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Цикл тракта данных

- Группы команд:
  - регистр-память
  - регистр-регистр
- Примеры команд:
  - регистр-память

    MOV AX, m
  - регистр-регистр

    ADD AX, BX



ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Алгоритм работы ЦП

1. Вызывает следующую команду из памяти и переносит ее в регистр команд (instruction register - IR).
2. Меняет положение счетчика команд (PC, IP в арх. x86), который после этого указывает на следующую команду.
3. Определяет тип вызванной команды.
4. Определяет операнды. Если команда использует слово из памяти, определяет, где находится это слово.
5. Выполняет команду.
6. Записывает результат.
7. Переходит к шагу 1, чтобы начать выполнение следующей команды.

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Пример работы ЦП

```
CS: 00  DS=SS=ES: 003  |          |  .SECT .TEXT
AH:00 AL:00 AX:      0 |          |  .SECT .TEXT
BH:00 BL:00 BX:      0 |          | MP       BX,4
CH:00 CL:00 CX:      0 |          |  .SECT .TEXT
DH:00 DL:00 DX:      0 |          |  .SECT .TEXT
SP: 7ff8 SF O D S Z C  |          |  .SECT .TEXT
BP: 7ff8 CC - > p - -  |          | =>       MOV      BX, 2
SI: 0000  IP:0000:PC   |          |          MOV      SI,res
```

```
CS: 00  DS=SS=ES: 003  |          |  .SECT .TEXT
AH:00 AL:00 AX:      0 |          | MP       BX,4
BH:00 BL:02 BX:      2 |          |  .SECT .TEXT
CH:00 CL:00 CX:      0 |          |  .SECT .TEXT
DH:00 DL:00 DX:      0 |          |  .SECT .TEXT
SP: 7ff8 SF O D S Z C  |          |          MOV      BX, 2
BP: 7ff8 CC - > p - -  |          | =>       MOV      SI,res
SI: 0000  IP:0003:PC   |          | BEG:     CMP      BX,4
DI: 0000   BEG+-1      |          |          JG       ENDL
```

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Микропрограммирование

5. ЯВУ

4. Язык ассемблера

3. Уровень ОС

2. Машинный код (Instruction Set Arch, ISA)

1. Микрокод процессора (микроархитектура)

0. Схемы цифровой логики

-1. Уровень физических устройств

- В 40-х годах - только ISA и цифровой логический уровень
- В 1951 Морис Уилкс - микро-программирование
- К концу 70-х интерпретаторы стали применяться почти во всех моделях, кроме машин с высокой производительностью (например, Cray-1)

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Имитатор работы ЦП (интерпретатор)

- разбивает команды на более мелкие инструкции;
- позволяет исправлять неправильно реализованные команды;
- позволяет компенсировать ошибки аппаратного обеспечения на программном уровне;
- позволяет добавлять новые команды при минимальных затратах;
- даёт возможность разработки, проверки и документирования сложных команд.

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Примеры микропрограмм

Команды	**Можно реализовать**
ADD	через INC
SUB	через DEC или NEG и ADD
MUL	через сложение
умн./дел. на степени числа 2	через SHL и SHR
операции с плав. точкой	через целочисленные операции
операции со строками	через циклы
циклы	через команды перехода
вызов подпрограмм	через команды перехода
…	…

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Аппаратное и программное обеспечение логически эквивалентны

- Любая операция, выполняемая программным обеспечением, может быть реализована аппаратно
- Любая команда, выполняемая аппаратным обеспечением, может быть смоделирована программно.

Решение разделить функции аппаратного и программного обеспечения основано на таких факторах, как **стоимость, быстродействие, надежность, частота изменений**.

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Разновидности процессоров

- **CISC** (complex instruction set computer) – архитектура с полной системой команд. Представители - процессоры на основе x86, Motorola MC680x0 и др.
- **RISC** (reduced instruction set computer) - быстродействие увеличивается за счёт упрощения команд. Представители - SPARC (1980) и MIPS (1981), ARM (Android-устройства, IPad), Atmel AVR (Arduino).

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Принципы проектирования современных компьютеров

- Все команды должны выполняться непосредственно аппаратным обеспечением
- Компьютер должен запускать как можно больше команд в секунду.
- Команды должны легко декодироваться.
- К памяти должны обращаться только команды загрузки и сохранения.
- Регистров должно быть много.

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Таксономия (Классификация) Флинна

- Классификация архитектур ЭВМ по признакам наличия параллелизма в потоках команд и данных. Предложена Майклом Флинном в 1966, в 1972 расширена.

	Single Instruction	Multiple Instruction
Single Data	SISD	MISD
Multiple Data	SIMD	MIMD

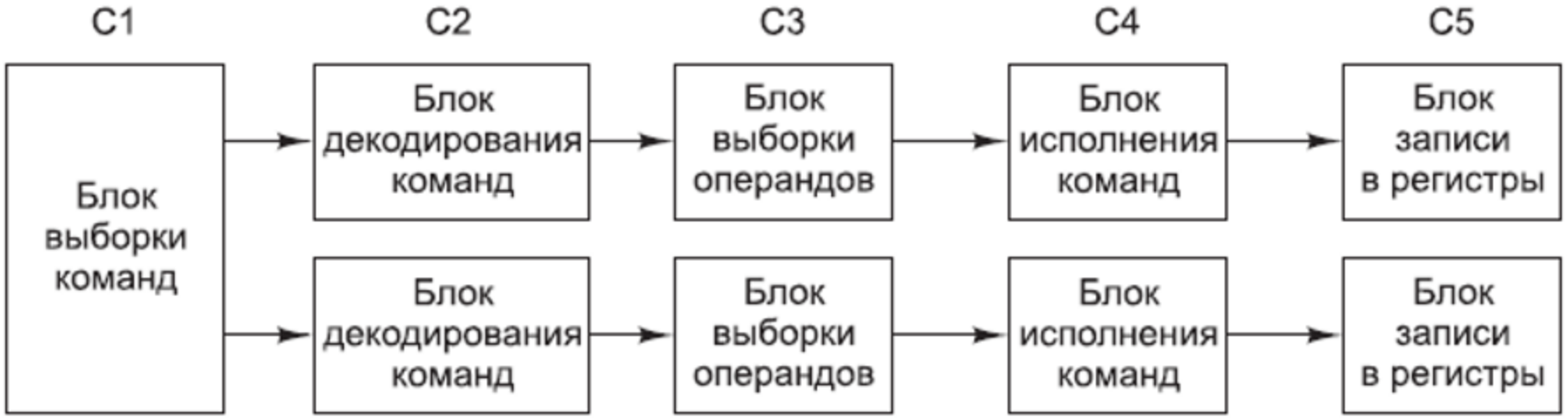
ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Конвейер

а

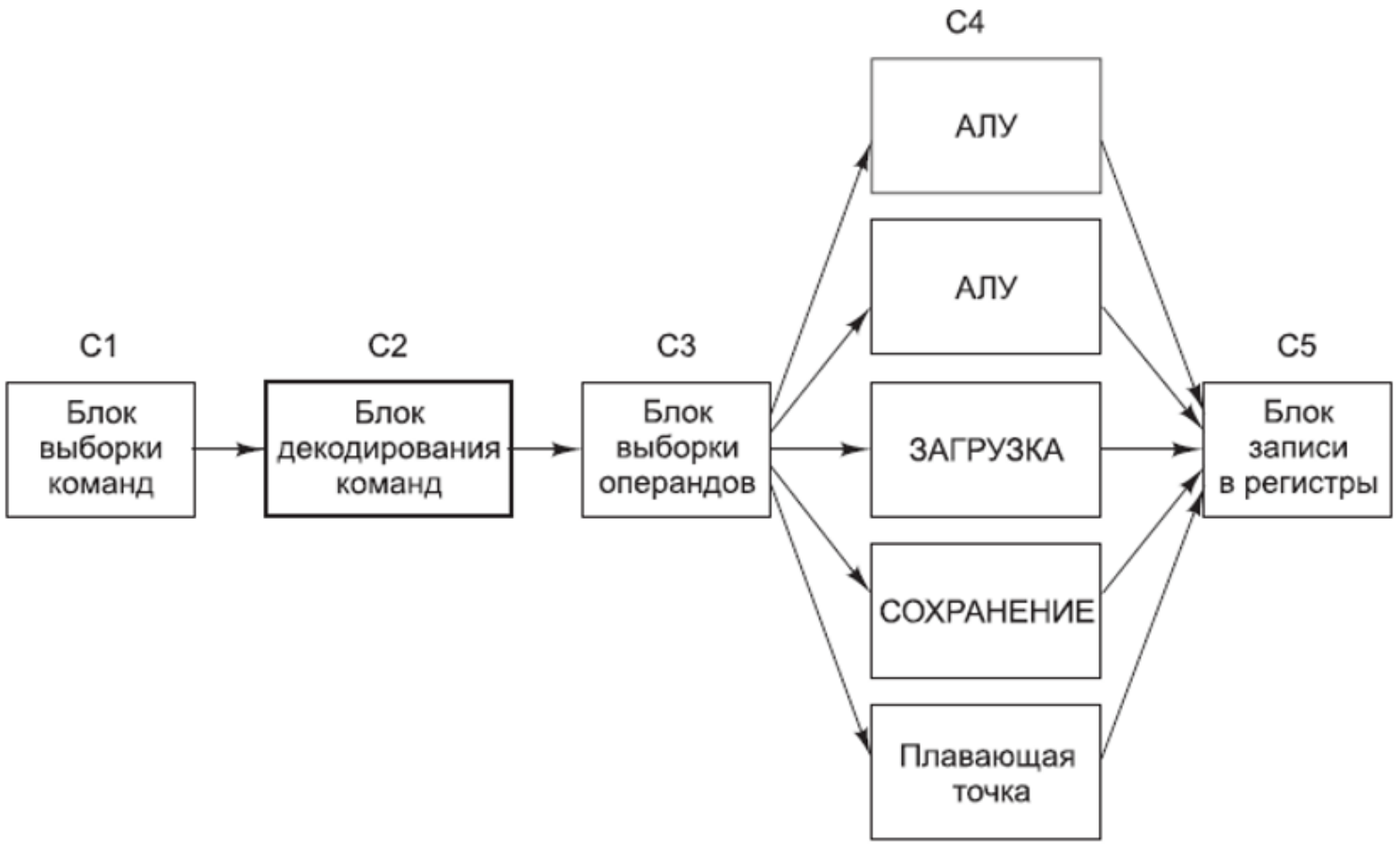
ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Суперскалярные архитектуры



ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Суперскалярные архитектуры

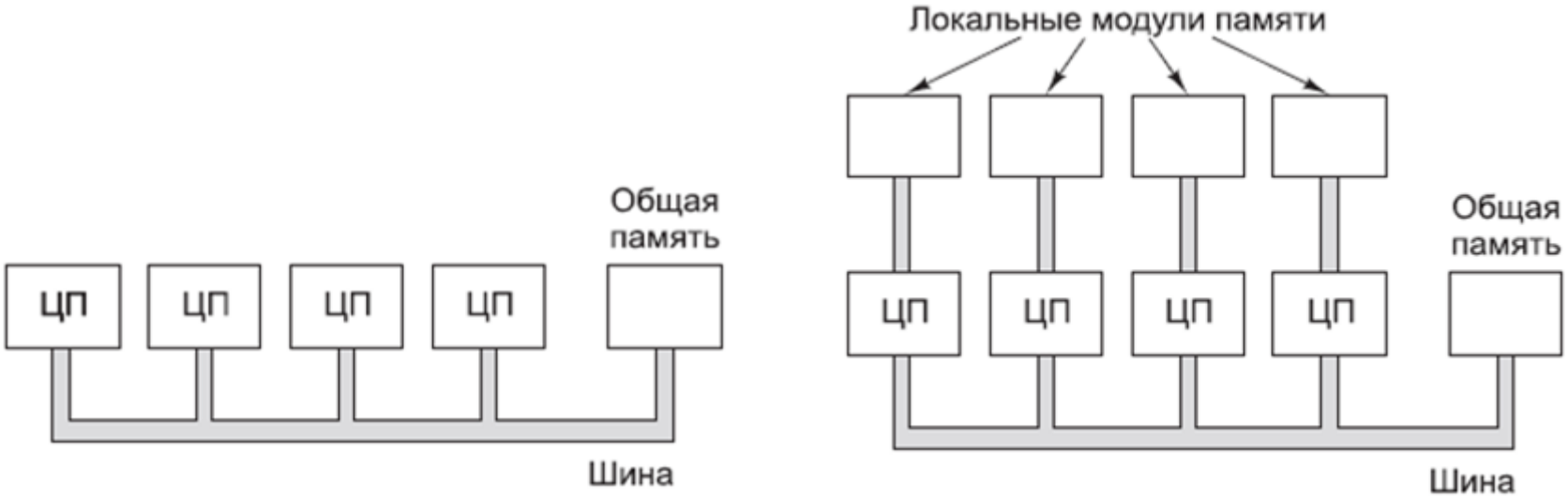


Матричные компьютеры

- **SIMD-процессор**
  Первым в мире таким процессором был ILLIAC IV (университет Иллинойс, 1972).
- Используется в Intel Core, в графическом процессоре Nvidia Fermi …

Рис. 2.6. Матричный процессор ILLIAC IV

Мультипроцессоры (MIMD)



NUMA (Non-Uniform Memory Access — «неравномерный доступ к памяти» или Non-Uniform Memory Architecture — «архитектура с неравномерной памятью») — схема реализации памяти, используемая в MIMD-системах, когда время доступа к памяти определяется её расположением по отношению к процессору.

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Лабораторная работа
Как писать на ассемблере?

- MOV AX, 0
- ADD AX, 1
- MOV BX, 8
- MUL BX

- XOR AX, AX
- INC AX
- MOVB CL,3
- SHL AX, CL

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Пример

```
CS: 00  DS=SS=ES: 001 |        | .SECT .TEXT
AH:00 AL:08 AX:     8 |        | .SECT .TEXT
BH:00 BL:08 BX:     8 |        |          MOV     AX, 0
CH:00 CL:00 CX:     0 |        |          ADD     AX, 1
DH:00 DL:00 DX:     0 |        |          MOV     BX, 8
SP: 7ff8 SF O D S Z C |        |          MUL     BX
BP: 7ff8 CC - > p - - |       =>          XOR     AX, AX
SI: 0000  IP:000b:PC  |        | .SECT .DATA
DI: 0000   .TEXT+4    |        | .SECT .BSS
```

```
CS: 00  DS=SS=ES: 001 |
AH:00 AL:08 AX:     8 |
BH:00 BL:00 BX:     0 |                                          X
CH:00 CL:03 CX:     3 |
DH:00 DL:00 DX:     0 |                                          L
SP: 7ff8 SF O D S Z C |
BP: 7ff8 CC - > p - - |          =>          XOR     AX, AX
SI: 0000  IP:0007:PC  |        | .SECT .DATA
DI: 0000   .TEXT+4    |        | .SECT .BSS
```

Код имеет меньший размер – занимает меньше памяти

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Доказательство

ADD	**ADD** destination,source Addition			**Flags** O D I T S Z A P C X X X X X X
Operands	**Clocks**	**Transfers***	**Bytes**	**Coding Example**
register, register	3	—	2	ADD CX, DX
register, memory	9+EA	1	2-4	ADD DI, [BX].ALPHA
memory, register	16+EA	2	2-4	ADD TEMP, CL
register, immediate	4	—	3-4	ADD CL, 2
memory, immediate	17+EA	2	3-6	ADD ALPHA, 2
accumulator, immediate	4	—	2-3	ADD AX, 200

INC	**INC** destination Increment by 1			**Flags** O D I T S Z A P C X X X X X
Operands	**Clocks**	**Transfers***	**Bytes**	**Coding Example**
reg16	2	—	1	INC CX
reg8	3	—	2	INC BL
memory	15+EA	2	2-4	INC ALPHA [DI] [BX]

Таблица с описанием инструкций, стр. 70 или 2-51

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Оптимизация по быстродействию

- Замещение универсальных инструкций на учитывающие конкретную ситуацию (умножения на степень двойки на команды сдвига) - отказ от универсальности.
- Уменьшение количества передач управления в программе:
  - за счет преобразования условных переходов так, чтобы условие перехода оказывалось истинным значительно реже, чем условие для его отсутствия;
  - перемещение условий общего характера к началу разветвленной последовательности переходов;
- Оптимизация циклов, в том числе перемещение вычислений неизменяющихся величин за пределы циклов, разворачивание циклов и "соединение" отдельных циклов, выполняемых одно и то же количество раз, в единый цикл ("сжатие цикла").
- Максимальное использование всех доступных регистров.
- Использование специфических для данного процессора инструкций.

ИНСТИТУТ МАТЕМАТИКИ МЕХАНИКИ КОМПЬЮТЕРНЫХ НАУК имени И.И. Воровича

Домашнее задание

- Подготовка к тестированию по материалам лекций
- Читать [Таненбаум Э] стр. 31-59, 76-94
  Приложение В стр. 729-789.
- Подготовка к Лаб. Занятию 4.