

ИНСТИТУТ
МАТЕМАТИКИ
МЕХАНИКИ
КОМПЬЮТЕРНЫХ
НАУК

имени И.И. Воровича —

Архитектура компьютера и операционные системы

Лекция 11. Цифровой логический уровень

Андреева Евгения Михайловна

доцент кафедры информатики и вычислительного эксперимента



План лекции

- Вентили
- Интегральные схемы
 - комбинационные (комбинаторные) схемы
 - арифметические схемы
- Домашнее задание

Многоуровневая архитектура

5. ЯВУ

- Компиляторы, Библиотеки

4. Язык ассемблера

- Ассемблер, Линкер (компоновщик), Отладчик

3. Уровень ОС

- Этот уровень и ниже – системное программирование

2. Машинный код (Instruction Set Arch, ISA)

- ОЗУ, Системная шина, ЦП

1. Микрокод процессора (микроархитектура)

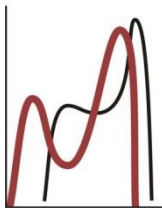
- Внутренняя шина, Тракт данных, АЛУ

0. Схемы цифровой логики

- Логические вентили и схемы

-1. Уровень физических устройств

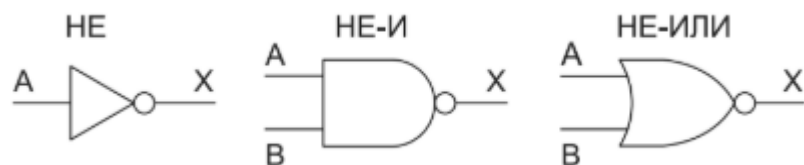
- Сфера электронной техники и радиофизики



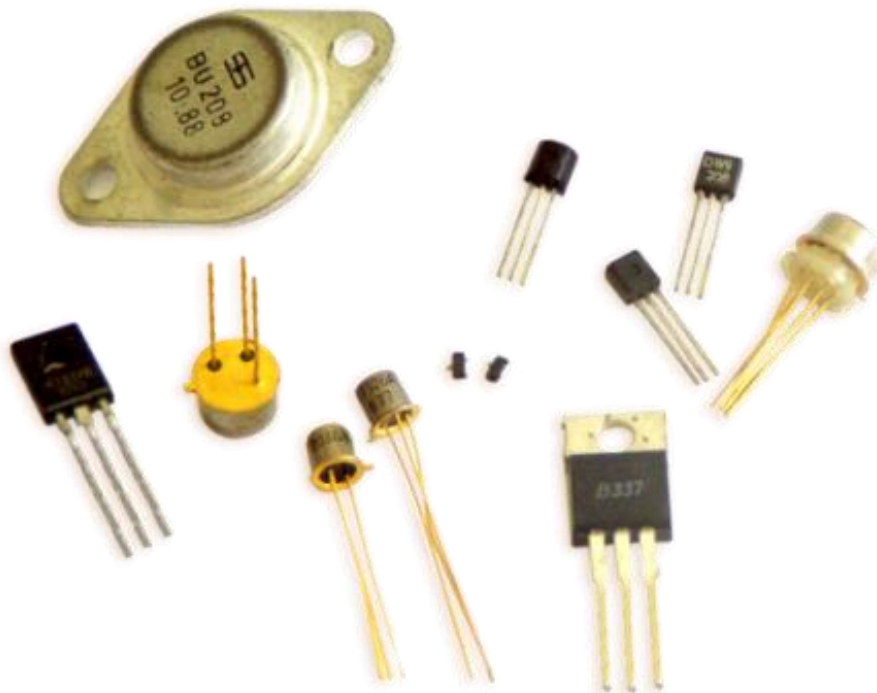
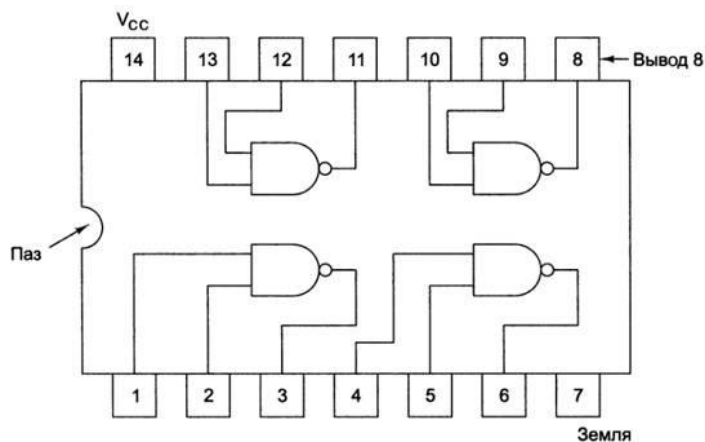
Терминология

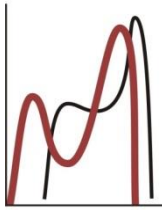
- Транзисторы

- Вентили



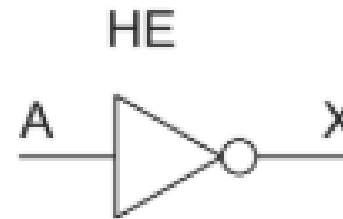
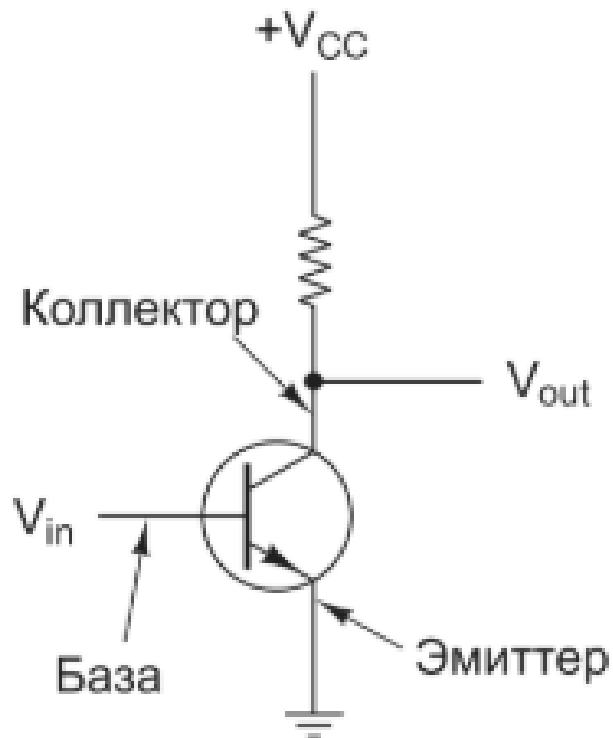
- Интегральные схемы



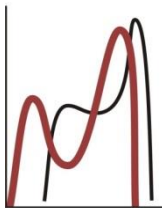


Схемы логических вентилей (logic gates)

- Инвертор, вентиль NOT

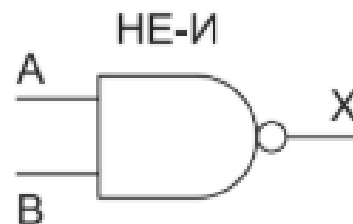
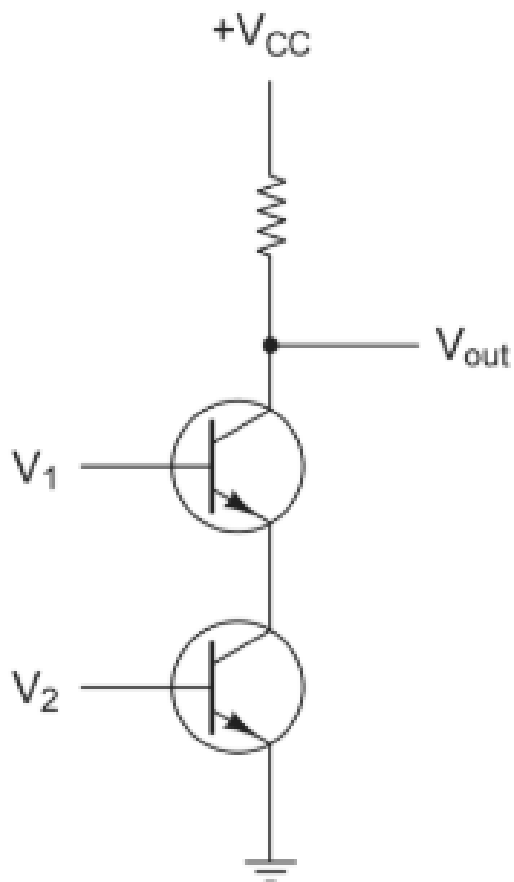


A	X
0	1
1	0

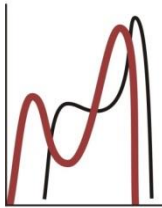


Схемы логических вентилей (logic gates)

■ Вентиль NAND

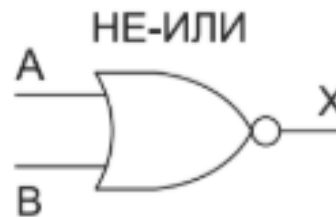
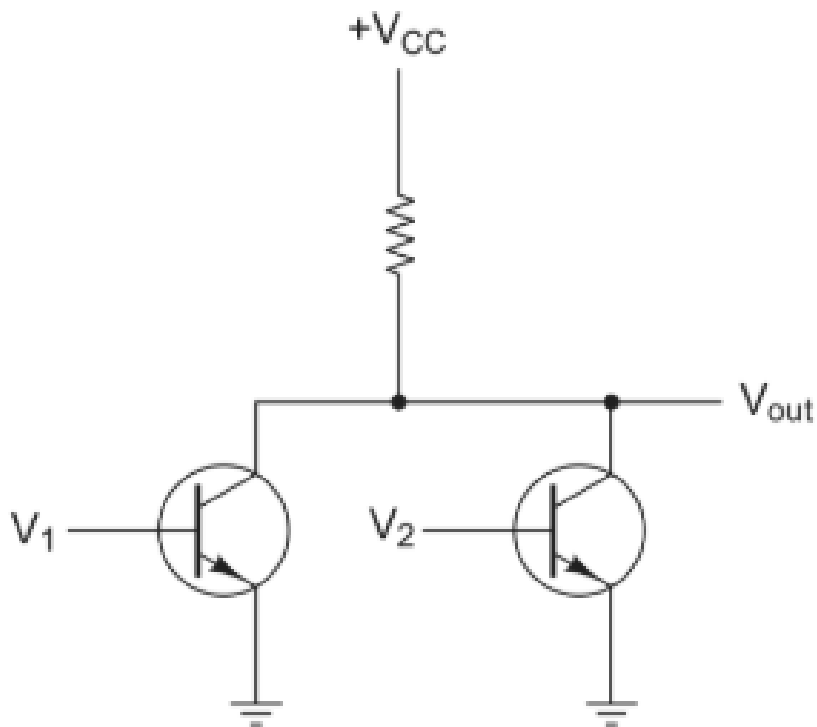


A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

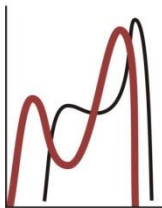


Схемы логических вентилей (logic gates)

■ Вентиль NOR



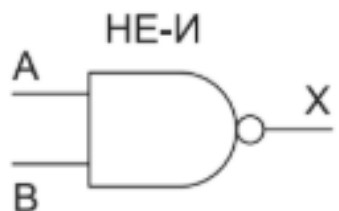
A	B	X
0	0	1
0	1	0
1	0	0
1	1	0



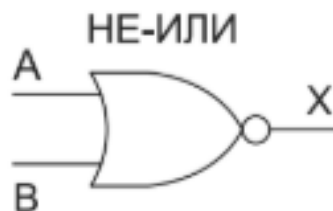
Логические вентили (ANSI)



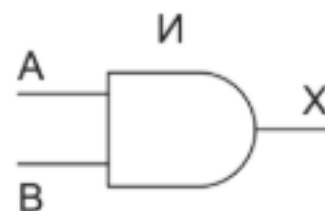
A	X
0	1
1	0



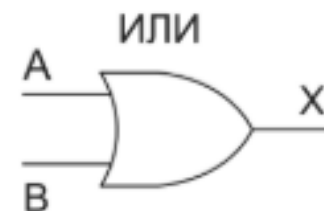
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0



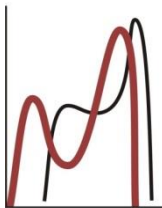
A	B	X
0	0	1
0	1	0
1	0	0
1	1	0



A	B	X
0	0	0
0	1	0
1	0	0
1	1	1



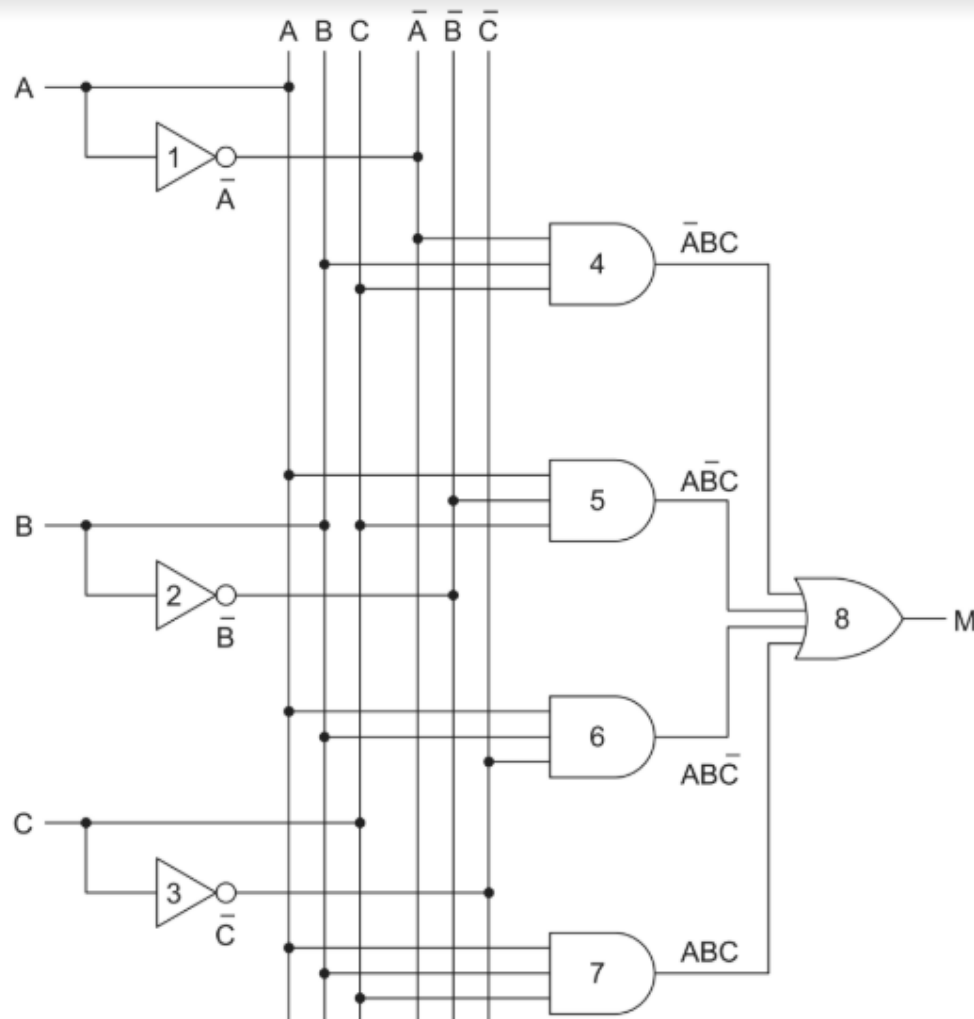
A	B	X
0	0	0
0	1	1
1	0	1
1	1	1



Функция 3-большинства

A	B	C	M
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

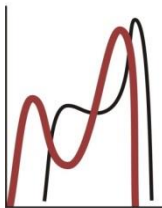
$$M = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC.$$





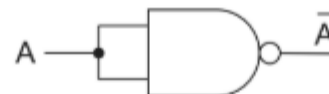
Алгоритм построения схемы 3-большинства

- Составить таблицу истинности, выписать СДНФ или СКНФ
- Включить в схему инверторы (NOT)
- Нарисовать вентиль И для каждой строки таблицы истинности с результатом 1.
- Соединить вентили И с соответствующими входными сигналами
- Вывести выходы всех вентилях И, направить их на вход вентиля ИЛИ



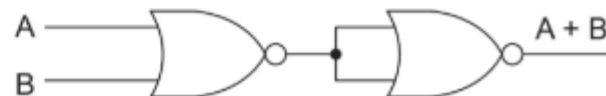
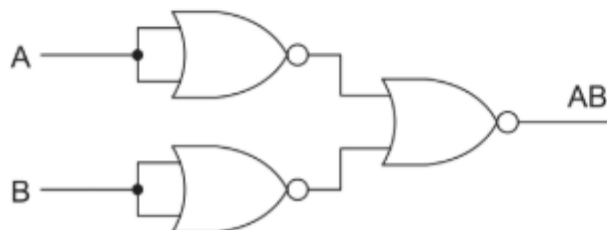
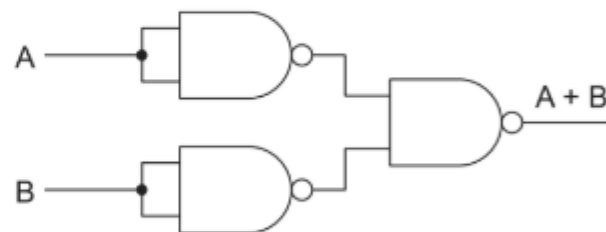
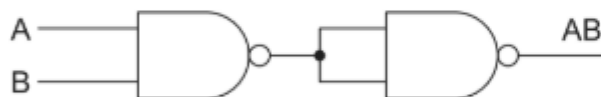
Базисные функции

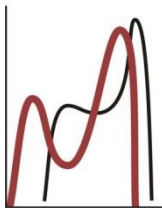
NOT, AND,
OR



через

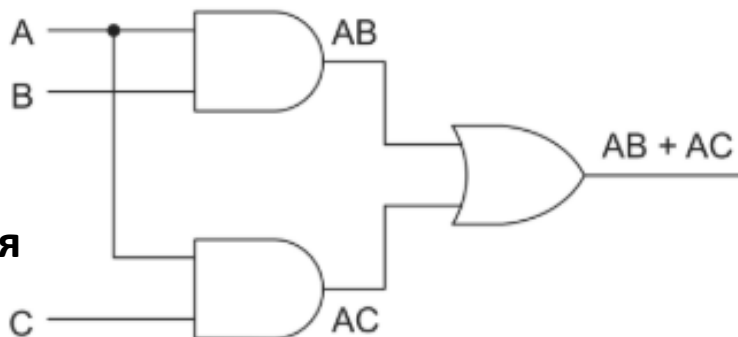
NAND и
NOR



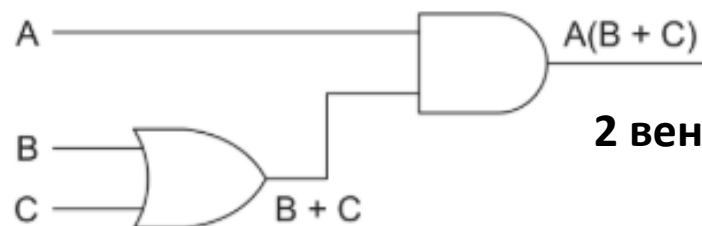


Эквивалентность схем

3 вентилей

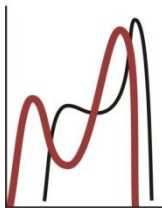


A	B	C	AB	AC	AB + AC
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	1	1



2 вентилей

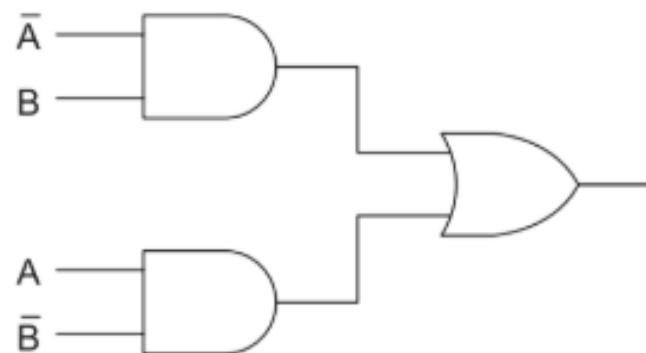
A	B	C	A	B + C	A(B + C)
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	1	1	1
1	1	0	1	1	1
1	1	1	1	1	1



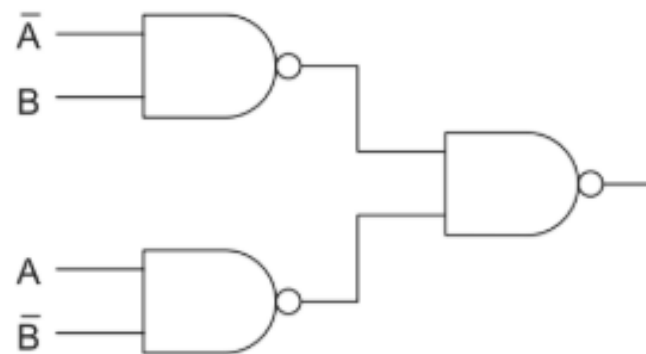
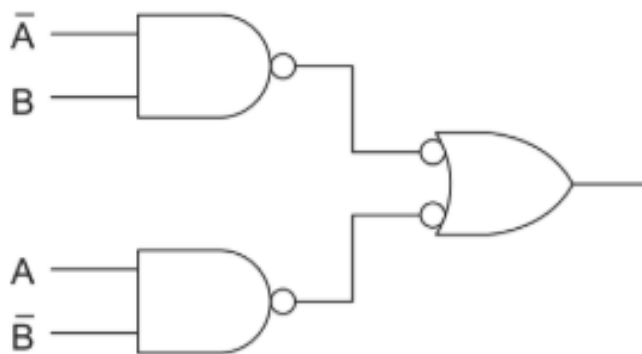
ИСКЛЮЧАЮЩЕЕ ИЛИ

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

a



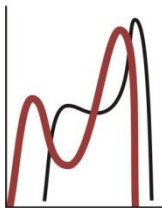
б



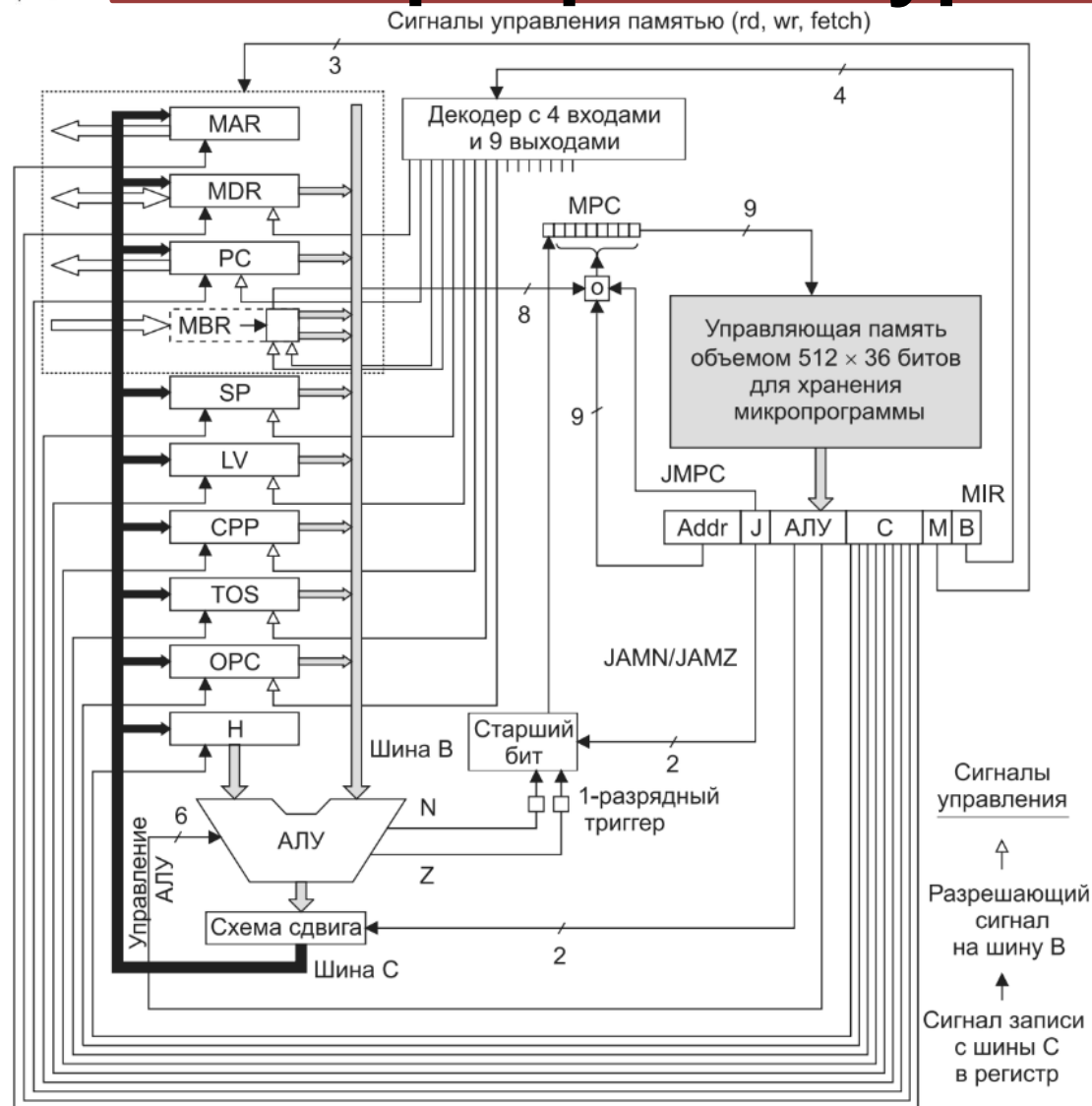


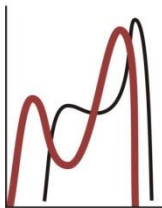
Реализация Mic-1

- Комбинаторные схемы
 - АЛУ
 - схема сдвига
 - декодер
- Схемы памяти ("последовательностные")
 - регистры (параллельные, синхронные)
 - память на 512×36 (бит) \approx 2Кб
 - регистр сдвига (Mic-2)
- Тактовый генератор (УУ)



Полная диаграмма микроархитектуры Mic-1





Декодер

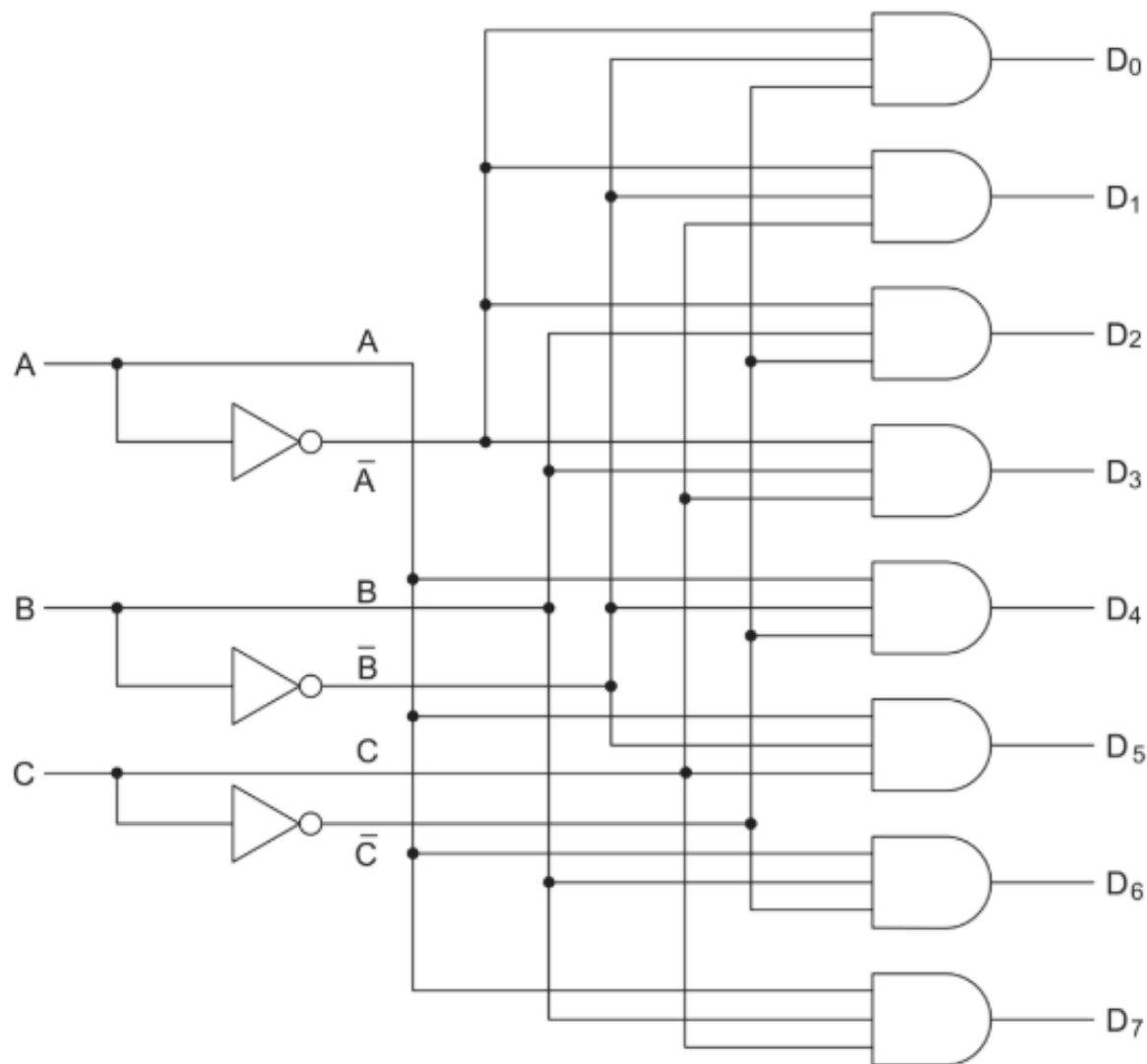
n ВХОДОВ

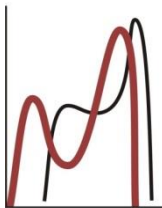
2^n ВЫХОДОВ

пример:

3 входа

8 выходов





Мультиплексор

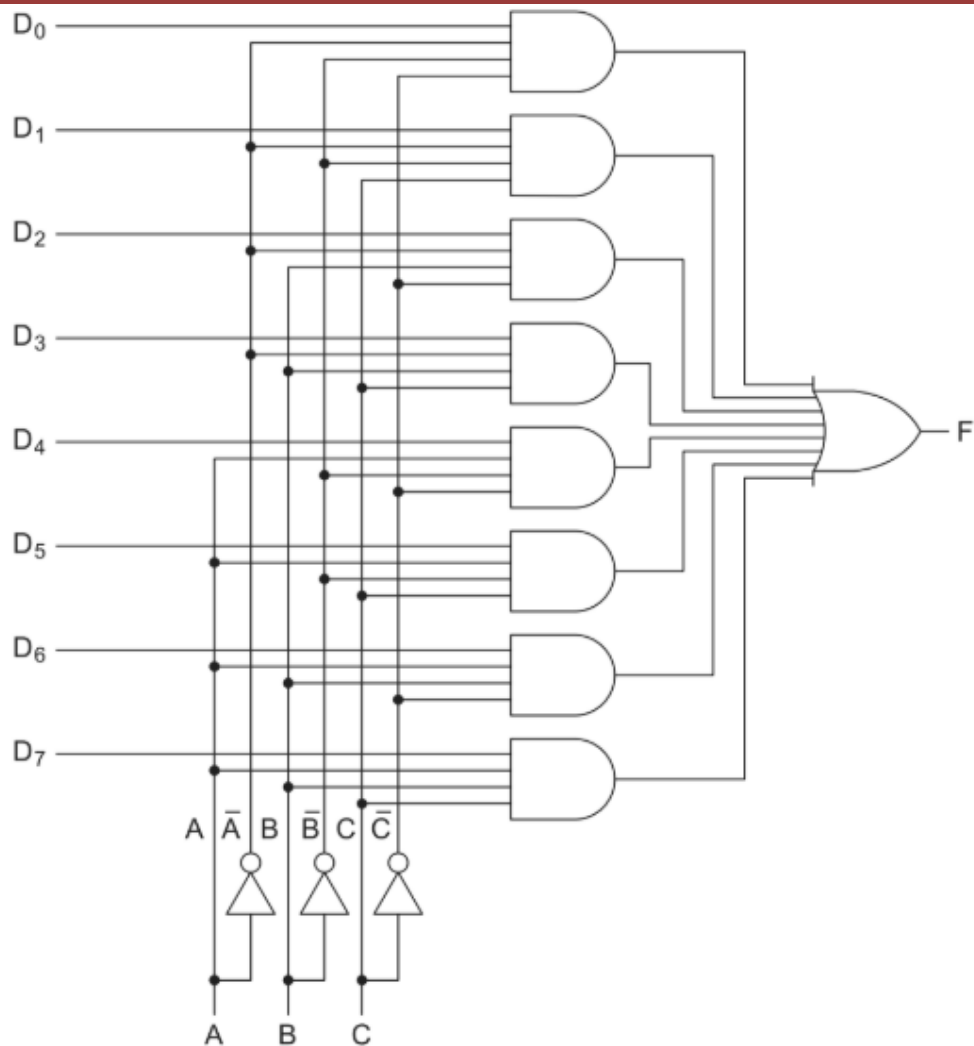
2^n входов

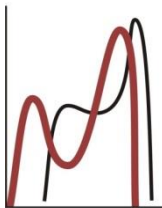
n упр. линий

один выход

пример:

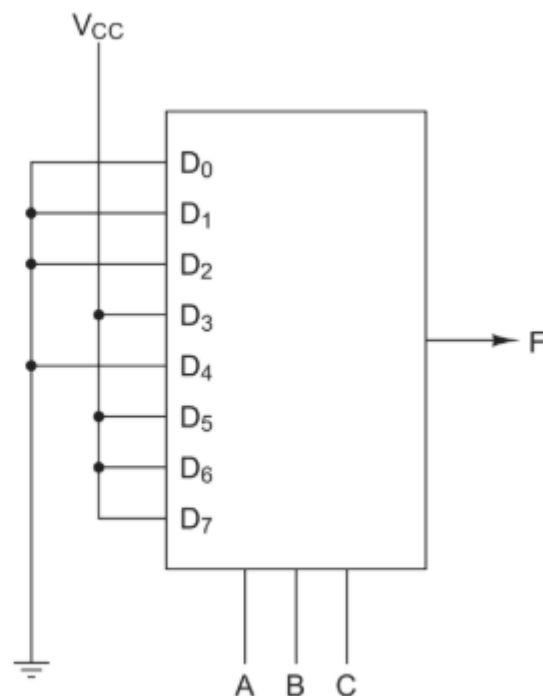
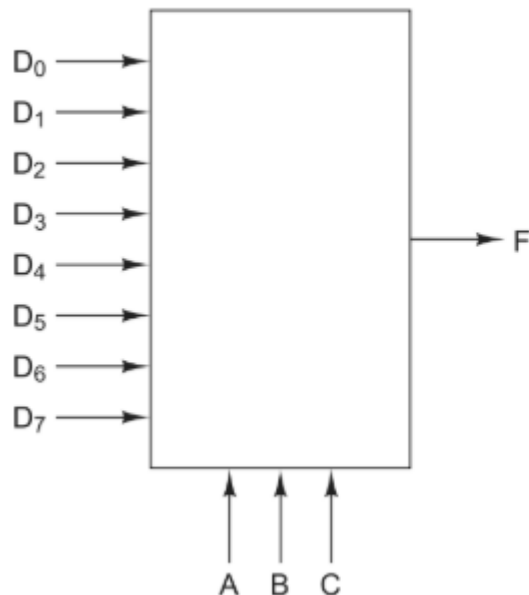
8-мультиплексор

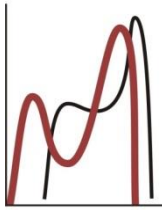




Реализация функции 3-большинства

A	B	C	M
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1





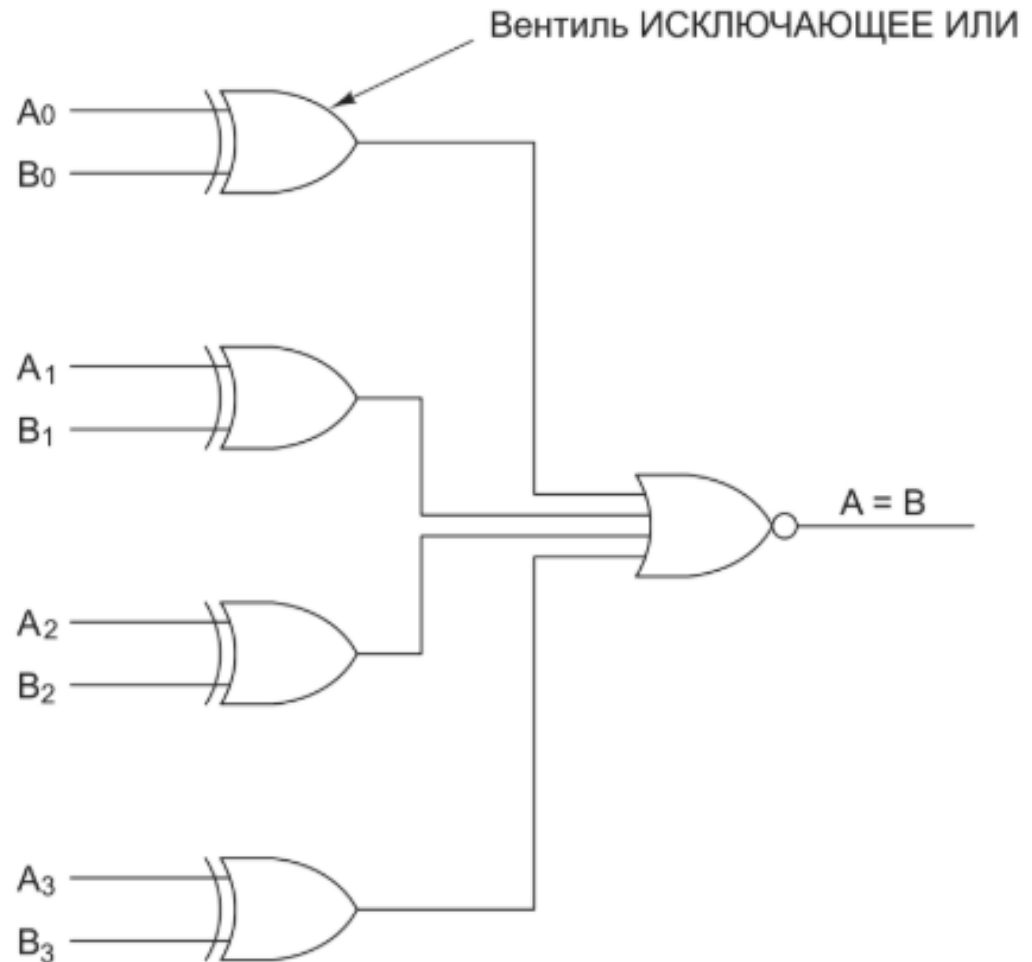
Компаратор

2^n ВХОДОВ

ОДИН ВЫХОД

ПРИМЕР:

4-компаратор

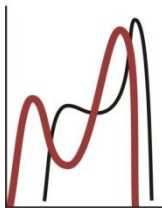




Арифметические схемы

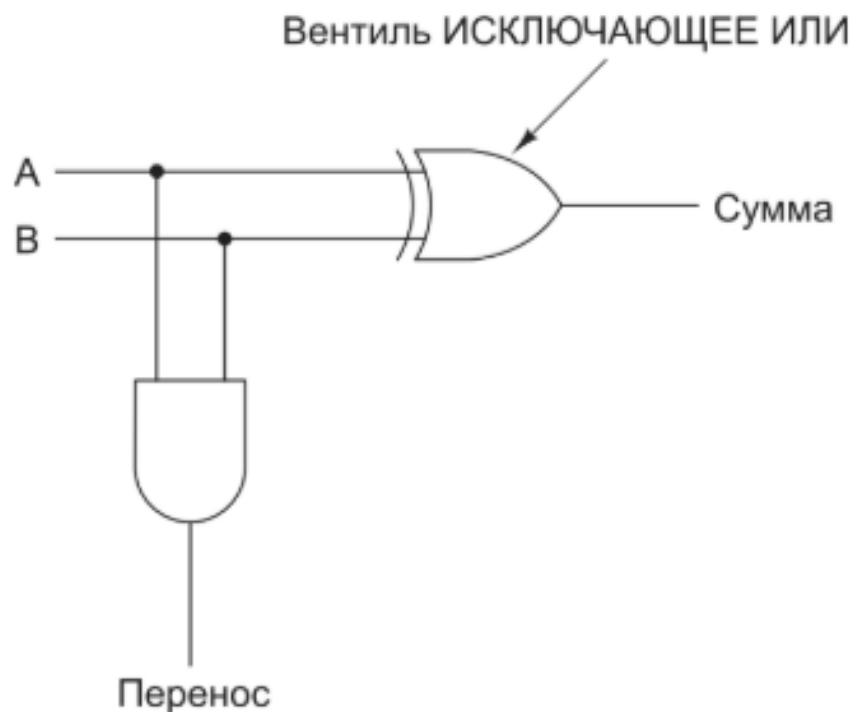
Схема сдвига

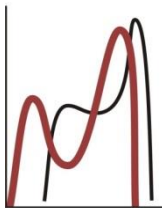




Сумматоры (полусумматор)

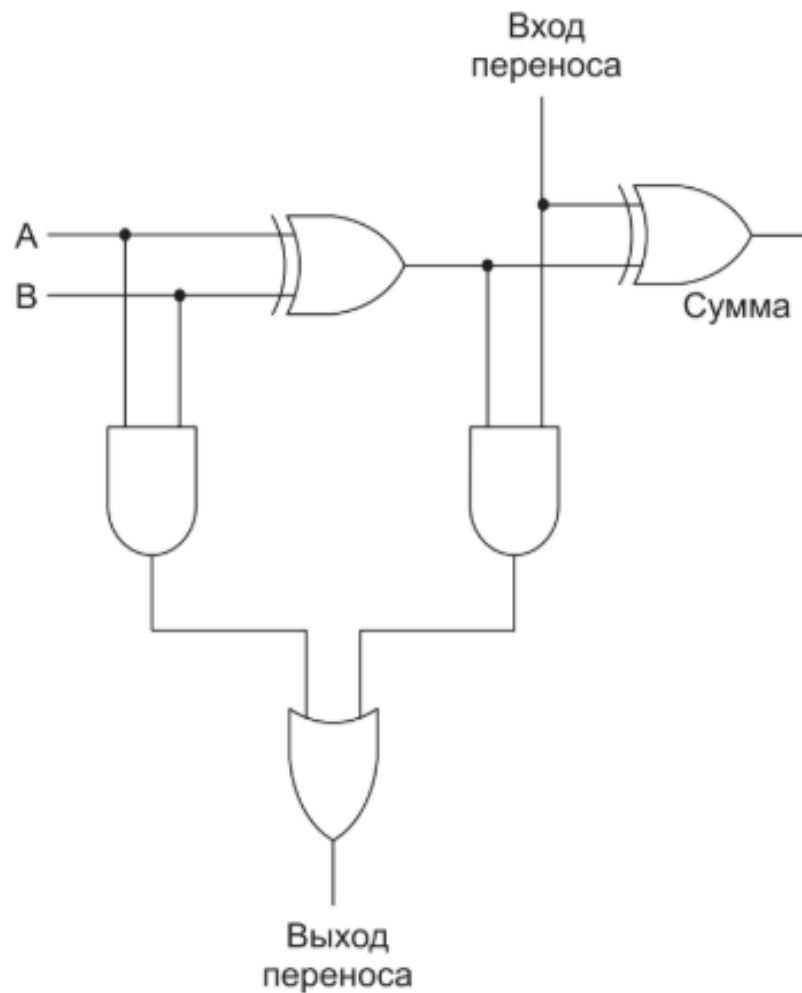
A	B	Сумма	Перенос
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

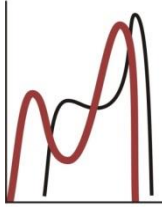




Полный сумматор

A	B	Вход переноса	Сумма	Выход переноса
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1





Одноразрядное АЛУ

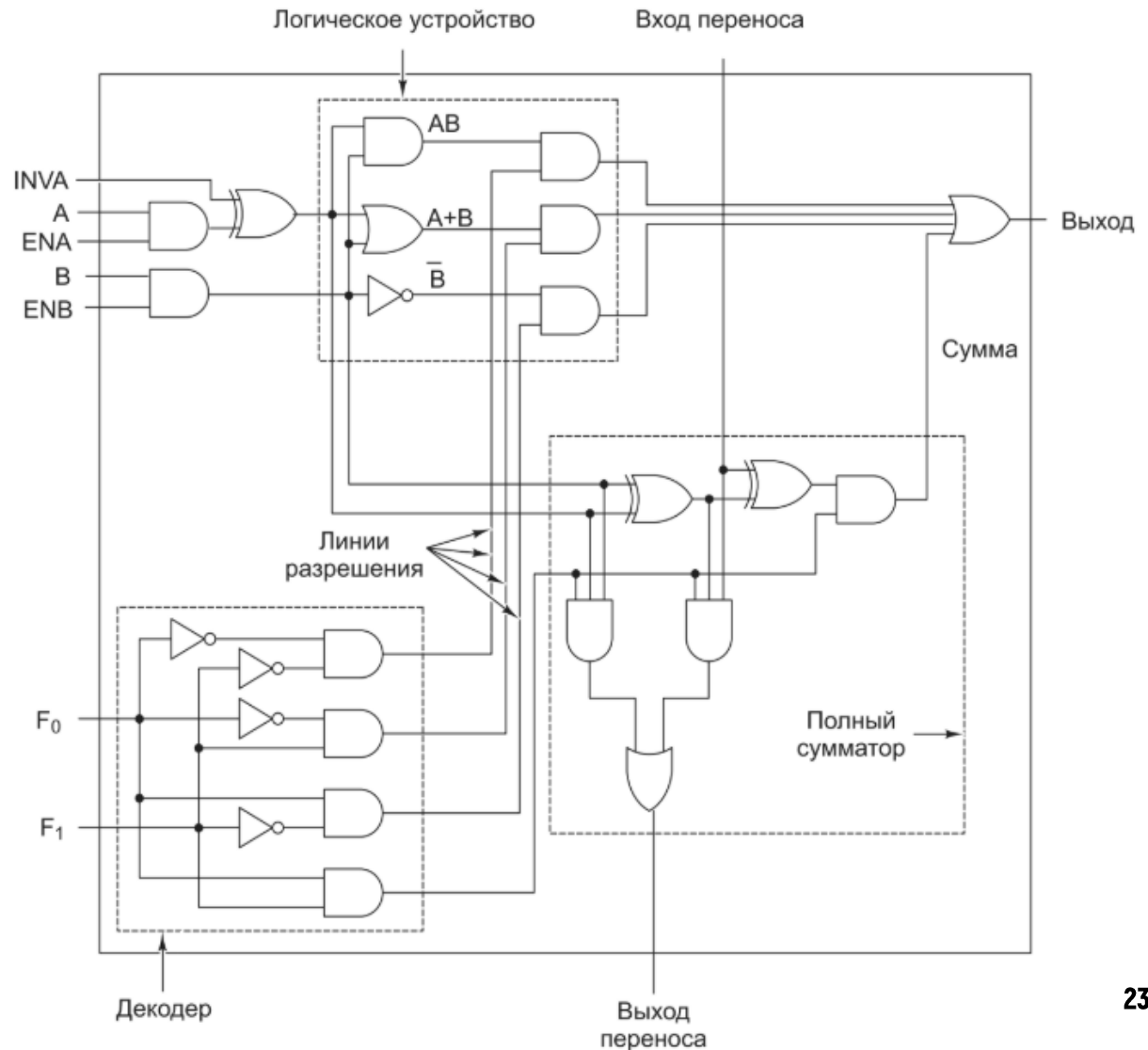
Код команд:

0 A AND B

1 A OR B

2 NOT B

3 A + B





Управляющие входы АЛУ

Код команд:

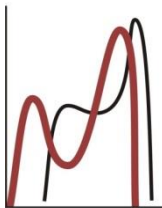
0 A AND B

1 A OR B

2 NOT B

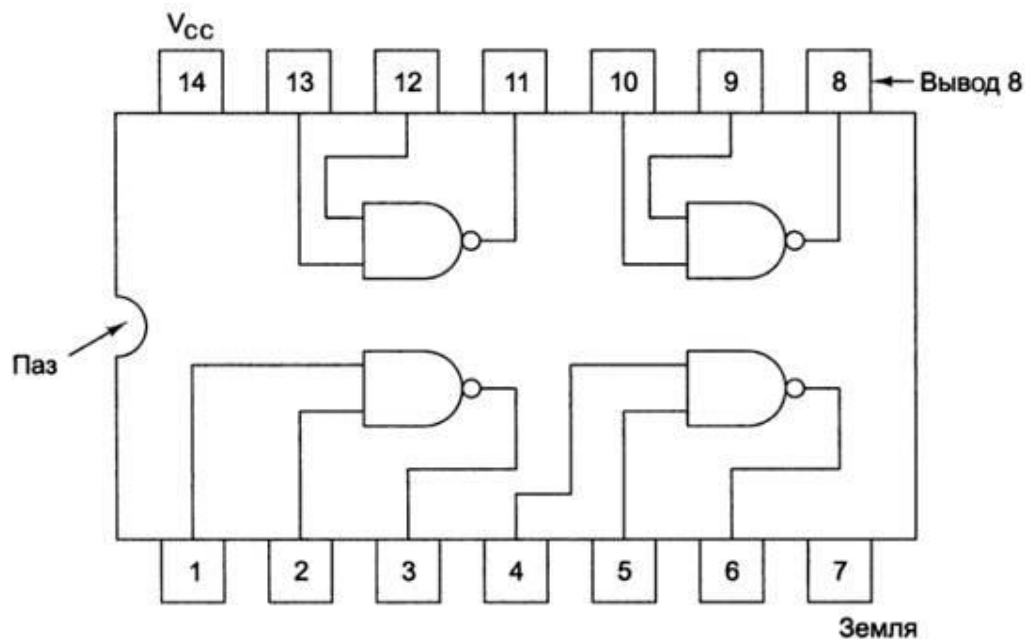
3 A + B

F_0	F_1	ENA	ENB	INVA	INC	Функция
0	1	1	0	0	0	A
0	1	0	1	0	0	B
0	1	1	0	1	0	\overline{A}
1	0	1	1	0	0	\overline{B}
1	1	1	1	0	0	A + B
1	1	1	1	0	1	A + B + 1
1	1	1	0	0	1	A + 1
1	1	0	1	0	1	B + 1
1	1	1	1	1	1	B - A
1	1	0	1	1	0	B - 1
1	1	1	0	1	1	-A
0	0	1	1	0	0	A И B
0	1	1	1	0	0	A ИЛИ B
0	1	0	0	0	0	0
0	1	0	0	0	1	1
0	1	0	0	1	0	-1



Интегральные схемы

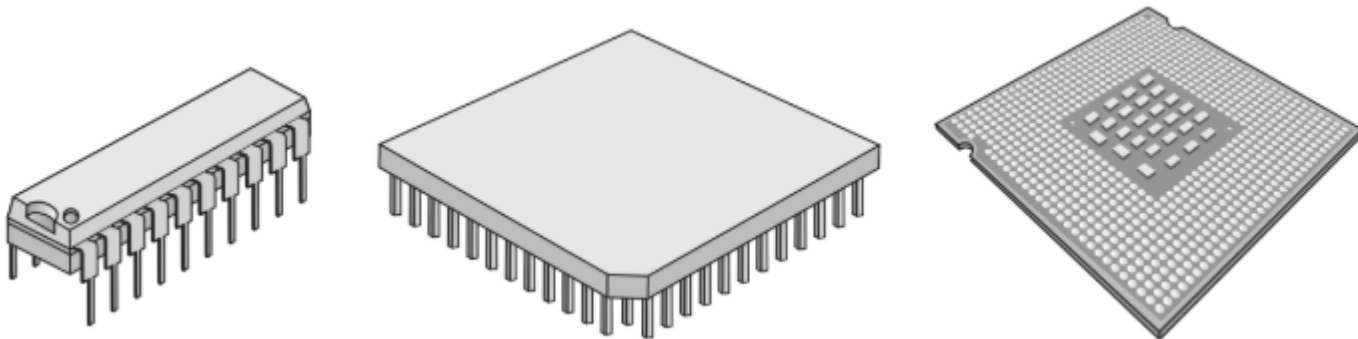
- МИС (малая интегральная схема) — от 1 до 10 выводов;
- СИС (средняя интегральная схема) — от 1 до 100 выводов;
- БИС (большая интегральная схема) — от 100 до 100 000 выводов;
- СБИС (сверхбольшая интегральная схема) — более 100 000 выводов.

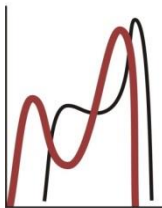




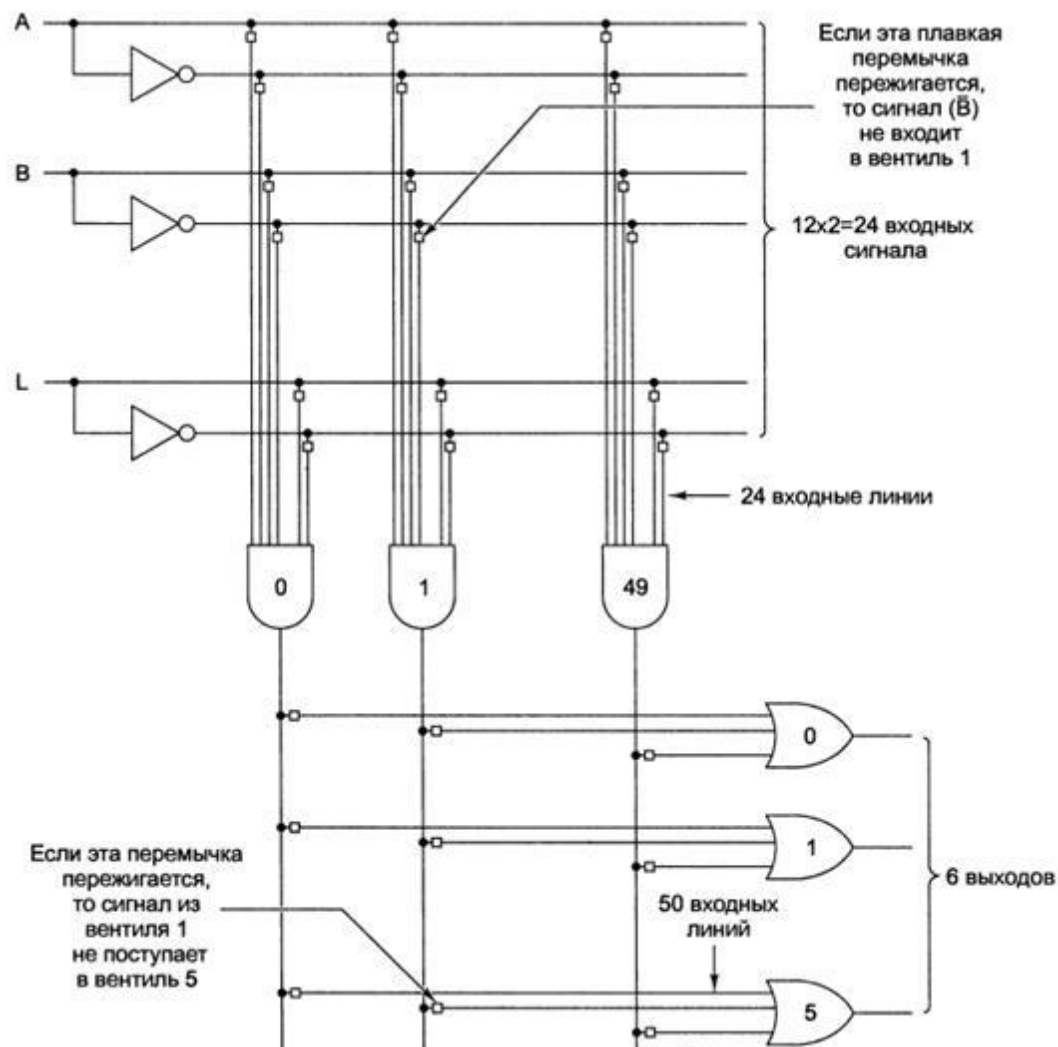
Интегральные схемы

- **DIP** (Dual Inline Package) — корпус с двумя рядами контактов для впайки в отверстия в печатной плате.
- **QFP** (Quad Flat Package) — плоский корпус с четырьмя рядами контактов для поверхностного монтажа.
- **PGA** (Pin Grid Array) — корпус с матрицей выводов. Представляет собой квадратный или прямоугольный корпус с расположенными в нижней части штыревыми контактами.
- **LGA** (Land Grid Array) — представляет собой корпус PGA, в котором штырьковые контакты заменены на контактные площадки.





Программируемая логическая матрица





Домашнее задание

- Подготовка к тесту по лекции
 - раздел книги Таненбаума и Остина – оптимизация Mic1 (стр. 313-357)
 - раздел книги Таненбаума и Остина – цифровой уровень (стр. 172-193).